RÉPUBLIQUE ALGERIENNE DÉMOCRATIQUE ET POPULAIRE

Ministère de l'Enseignement Supérieur et de la Recherche Scientifique

UNIVERSITÉ Dr. YAHIA FARES DE MEDEA

FACULTÉ DES SCIENCES ET DE LA TECHNOLOGIE

Département de Génie Electrique et de l'Informatique

Memoire de Fin d'étude

En vue de l'obtention du diplôme de Master en Génie électrique
Option : Systèmes de Télécommunications

Thème

ETUDE PAR SIMULATION DE LA SYNCHRONISATION DES RECEPTEURS NUMERIQUES

Promoteur:
Dr. KERMEZLI Taïb
Co-Promoteur:
Dr. BATEL Noureddine

Préparé par :
ALITURKI Saadeddine
REBOUH Hichem

ANNÉE UNIVERSITAIRE
2012 - 2013

Remerciements

*Avant tous nous tenons à remercier "**ALLAH** ".*

*A travers ce modeste travail, nous tenons à remercier vivement notre promoteur Dr : **KERMEZLI Taïb**. Et notre Co-Promoteur **Dr : BATEL Noureddine** Pour l'intéressante documentation qu'ils ont mis à notre disposition, pour leurs conseils précieux et pour toutes les commodités et aisances qu'ils nous ont apportées durant notre étude et réalisation de ce projet.*

Nos remerciements les plus vifs s'adressent aussi aux messieurs le président et les membres de jury d'avoir accepté d'examiner et d'évaluer notre travail.

Nous exprimons également notre gratitude à tous les professeurs et enseignants qui ont collaboré à notre formation depuis notre premier cycle d'étude jusqu'à la fin de notre cycle universitaire. Sans omettre bien sur de remercier profondément tous ceux qui ont contribué de près ou de loin à réalisation du présent travail.

Et enfin, que nos chers parents et familles, et bien avant tout, trouvent ici l'expression de nos remerciements les plus sincères et les plus profonds en reconnaissance de leurs sacrifices, aides, soutien et encouragement afin de nous assurer cette formation dans les meilleures conditions.

ملخص

في مجال الراديو الرقمي، تصميم جهاز استقبال أمثل ينطوي على عدة عناصر ومن بينها مزامن المرحلة و مزامن الرمز.

يفترض التكافؤ السليم بحيث أن المرسل والمتلقي تكون لديهم بيانات مزامنة تماما. وبالإضافة إلى ذلك، ينبغي لجميع عناصر المتلقي العمل معا للحصول على نتيجة أفضل.

من خلال هذا العمل الموضح في هذه الأطروحة يقوم بدراسة محاكاة تزامن أجهزة الاستقبال الرقمية. نوقشت فئتين رئيسيتين للتزامن: تزامن المرحلة و تزامن الرمز.

- الفئة الاولى مبنية على صنع حلقات PLL, costas و الحلقات الرباعية.
- الفئة الثانية مبنية على مزامن الحلقة المفتوحة و مزامن الحلقة المغلقة.

إن مرحلة محاكاة الأنظمة المتسقة OOK و PRK باستعمال حلقات PLL, costas و الرباعية, أمكنتنا من تصور و صنع مستقبلات متسقة و مثالية. تقييم نتائج احتمال الخطأ BER للإشارات المدروسة أظهرت كفاءة أنظمة التزامن المستعملة.

الكلمات المفتاحية : تزامن المرحلة , تزامن الرمز, محاكاة, حلقة PLL, حلقة قسطاس, الحلقة الرباعية, الحلقة المفتوحة , الحلقة المغلقة, إشارة OOK, إشارة PRK, احتمال الخطأ.

Abstract

In the field of the digital radiocommunication, the design of an optimal receiver implies several elements of which synchronizers of phase and symbol.

A good equalization supposes that the transmitter and the receiver have perfectly synchronized data. Moreover, all the elements of the receiver must function jointly for a better result.

The work exposed in this memory, is devoted to the study by simulation of the synchronization of the numerical receivers. Two types of synchronization were discussed: in phase and in symbol.

- The first is based on the design and the simulation of PLL loops, Costas and quadratic loops.
- The second is based on the synchronizers of open loops and closed loops.

The simulation level of OOK and PRK coherent systems using quadratic loops, PLL and costas loops, has enabled us to design coherent and optimal receivers. The evaluation of the values of the binary error probability (BER) for the studied signals, showed good performances of synchronization systems used.

Keywords : phase synchronization, symbol synchronization, simulation, phase locked loop, costas loop, quadratic loop, open loop, closed loop, PRK signal, OOK signal, binary error bit.

Résumé

Dans le domaine de la radiocommunication numérique, la conception d'un récepteur optimal implique plusieurs éléments dont les synchroniseurs de phase et de symbole.

Une bonne égalisation suppose que l'émetteur et le récepteur ont des données parfaitement synchronisées. De plus, tous les éléments du récepteur doivent fonctionner conjointement pour un meilleur résultat.

Le travail exposé dans ce mémoire, est consacré à l'étude par simulation de la synchronisation des récepteurs numériques. Deux types de synchronisation ont été discutés : en phase et en symbole.

- Le premier est basé sur La conception et la simulation de boucles PLL, Costas et quadratique.
- Le deuxième est basé sur les synchroniseurs d'horloge en boucle ouverte et ceux en boucle fermée.

L'étape de simulation de synchronisation des systèmes OOK et PRK cohérents par les boucles PLL, costas, et quadratique, nous a permi de concevoir des récepteurs cohérents et optimaux. L'évaluation des valeurs de la probabilité d'erreur de bit BER pour les signaux étudiés a montré l'efficacité des systèmes de synchronisation développés.

Mots clés : synchronisation en phase, synchronisation en symbole, simulation, boucle à verrouillage de phase, boucle de costas, boucle quadratique, boucle ouverte, boucle fermée, signal PRK, signal OOK, probabilité d'erreur binaire**.**

Sommaire

INTRODUCTION GENERALE..... 1

Chapitre I : SYNCHRONISAION DE FREQUENCE ET DE PHASE

I.1 Introduction 3
I.2 Boucles à verrouillage de phase..... 3
I.2.1 Généralités 3
I.2.2 Principe de fonctionnement 4
I.2.3 Comparateurs de phase..... 5
I.2.3.a Comparateur de phase analogique..... 5
I.2.3.b Comparateur de phase numérique..... 5
I.2.4 Oscillateurs commandés en tension (VCO)..... 10
I.2.5 Filtre de boucle..... 11
I.2.6 Simulation de la PLL 12
I.3 Boucles de costas..... 19
I.3.1 Généralités..... 19
I.3.2 Principe de fonctionnement..... 19
I.3.3 Simulation de la boucle de costas..... 21
I.4 Conclusion..... 25

Chapitre II : EXEMPLES DE SYNCHRONISATION DE PORTEUSE DANS LES SYSTEMES DE COMMUNICATION NUMERIQUE

II.1 Introduction 26
II.2 Synchronisation dans un système OOK cohérent 26
II.2.1 Récupération de porteuse par boucle de costas..... 26
II.2.2 Mesure du BER avec récupération de porteuse par boucle de costas.....28
II.2.3 Récupération de porteuse par PLL 30
II.2.4 Mesure du BER avec récupération de porteuse par PLL..... 33
II.3 Synchronisation dans un système PRK (PSK optimal) 34
II.3.1 Récupération de porteuse et données par boucle de costas 34

II.3.2 Premier circuit d'annulation d'ambiguïté de phase 36
II.3.3 Deuxième circuit d'annulation d'ambiguïté de phase 37
II.3.4 Mesure du BER du système muni de la boucle de costas 39
II.3.5 Récupération de porteuse par quadratique associée à une PLL 41
II.3.6 Détection cohérente de données du système PRK synchronisé par boucle quadratique et PLL 42
II.3.7 Mesure du BER du système muni de la boucle quadratique et PLL 44
II.4 Conclusion 46

Chapitre III : SYNCHRONISATION DE SYMBOLE

III.1 Introduction 47
III.2 Synchronisation de symbole en boucle ouverte 47
III.3 Synchronisations de symbole en circuit fermé 49
III.3.1 Synchronisation de porte tôt-tard 50
III.4 Conclusion 52

Chapitre IV : EXEMPLES DE SYNCHRONISATION DE SYMBOLE DANS LES SYSTEMES DE COMMUNICATION NUMERIQUE

IV.1 Introduction 53
IV.2 Synchronisation de symbole en boucle ouverte 53
IV.2.1 Boucle ouverte par intégration et élément quadratique 53
IV.2.2 Boucle ouverte par retardeur et multiplieur 56
IV.2.3 Boucle ouverte par dérivation et élément en quadrature 59
IV.3 Synchronisation de symbole en boucle fermée 61
IV.3.1 Porte tôt-tard en boucle fermée 63
IV.4 Conclusion 64
CONCLUSION GENERALE 65

REFERENCES BIBLIOGRAPHIQUES

ANNEXE

Liste des figures

Figure I.1 : Schéma fonctionnel du système PLL..... 4
Figure I.2 : Détecteur ou comparateur de phase..... 5
Figure I.3 : Multiplieur analogique..... 5
Figure I.4 : Caractéristique sinusoïdale du comparateur de phase..... 6
Figure I.5 : Détecteur de phase numérique (Ou exclusif)..... 7
Figure I.6 : Signaux de la porte XOR au 1^{er} cas..... 8
Figure I.7 : Signaux de la porte XOR au 2^{eme} cas..... 9
Figure I.8 : Caractéristique linéaire du comparateur de phase par segments..... 9
Figure I.9 : Caractéristique du XOR pour le signal d'entrée à rapport cyclique $\alpha/2\pi$..... 10
Figure I.10 : Caractéristique du VCO de la PLL..... 11
Figure I.11 : Boucle à verrouillage de phase sur SystemVue..... 12
Figure I.12 : Tracés de Bode du filtre de boucle H(s)..... 13
Figure I.13 : Superposition entre l'entrée et la sortie du VCO avant et après le verrouillage…..... 14
Figure I.14 : Signal d'erreur en fréquence du système PLL d'essai..... 15
Figure I.15 : Système d'essai symbolique de PLL..... 15
Figure I.16 : Tracés de Bode du filtre Bessel dans le plan fréquentiel logarithmique..... 16
Figure I.17 : Tracés de Bode du filtre Bessel dans le plan fréquentiel..... 17
Figure I.18 : Signaux d'erreur en fréquence et en phase à la sortie de PLL..... 18
Figure I.19 : Superposition entre l'entrée et la sortie du VCO avant et après le verrouillage…..... 18
Figure I.20 : Boucle de Costas..... 19
Figure I.21 : Système d'essai de la boucle de Costas éclatée..... 21
Figure I.22 : Spectre en sortie du multiplicateur de la chaine de retour..... 22
Figure I.23 : Signal d'erreur et signal modulant comparé aux signaux complémentés de sortie..... 23
Figure I.24 : Signal modulé en phase et signal démodulé en quadrature..... 23
Figure I.25 : Système d'essai de la boucle de Costas symbolique de SystemVue..... 24
Figure I.26: Le signal d'entrée, les signaux de la sortie de canal I, I_2 et de la sortie de Q 25
Figure I.27: Retard entre le signal modulant et le signal démodulé..... .25

Figure II.1 : Récupération de porteuse d'un OOK par boucle de costas..... 26
Figure II.2 : Superposition entre l'enntrée et les deux sorties du VCO avant et après verrouillage..... 27
Figure II.3 : Schéma fonctionnel d'un système OOK cohérent synchronisé par boucle de costas..... 27
Figure II.4 : Comparaison entre les données transmises et les données reçues & retard des données reçues..... 28
Figure II.5 : Le BER du système de transmission OOK..... 29

Figure II.6 : Courbes de BER théorique et de BER simulé 29
Figure II.7: Schéma fonctionnel d'un système OOK cohérent synchronisé par PLL..... 30
Figure II.8 : Le signal de filtre de la raie porteuse, et la PSD du signal OOK..... 31
Figure II.9 : Tracés de Bode du filtre passe-bande de la porteuse 31
Figure II.10 : La réponse impulsionnelle du filtre passe-bande (délai d'environ 5ms)..... 32
Figure II.11 : Retard des données reçues & le signal de la sortie du filtre I+D..... 32
Figure II.12 : Banc de mesure du BER avec circuit de synchronisation comme métasystème 33
Figure II.13 : Courbes de BER, théorique et simulée 33
Figure II.14 : Schéma fonctionnel d'un système PRK basé sur la boucle de costas 34
Figure II.15 : La PSD du signal PRK & Retard des données reçues..... 35
Figure II.16 : Le signal d'entrée, les signaux de la sortie du canal I_1 et du canal I_2 35
Figure II.17 : Boucle de costas munie d'un circuit annuleur d'ambiguïté de phase..... 36
Figure II.18 : Comparaison entre les données émises et reçues 36
Figure II.19 : Boucle de costas renforcée par un 2^{eme} circuit d'annulation d'ambigüité de phase 37
Figure II.20 : Données d'entrée et de sortie, horloge de réception validée par le préambule, et signal de sélection de la sortie finale 38
Figure II.21 : Amélioration du système par l'addition d'un filtre de réception..... 39
Figure II.22 : Signal filtré et Retard mesuré par intercorrélation entre données transmises et données reçues 39
Figure II.23 : Banc de mesure du BER du système PRK..... 40
Figure II.24 : Courbes comparés du BER théorique et du BER simulé..... 40
Figure II.25 : Schéma fonctionnel d'un système PRK synchronisé par PLL & boucle quadratique..... 41
Figure II.26 : Porteuse initiale et locale avant et après verrouillage, et mesure du retard de réception 42
Figure II.27 : Détection cohérente par PLL & boucle quadratique..... 43
Figure II.28 : La PSD du signal PRK et celle de son carré..... 43
Figure II.29 : Signal filtré par le filtre passe bande 44
Figure II.30: Comparaison entre les données transmises et les données reçues 44
Figure II.31 : Le système de mesure du BER 45
Figure II.32 : Courbes comparée du BER théorique et du BER simulé 45

Figure III.1 : Trois types de synchronisation en boucle ouverte..... 48
Figure III.2 : Illustration des opérations propres au synchroniseur en boucle ouverte 49
Figure III.3 : Diagramme bloc du synchroniseur par porte tôt-tard 50
Figure III.4 : Synchronisme correct (e = 0), synchronisme en avance (e = –2Δ), et synchronisme en retard (e = +2Δ)..... 51

Figure IV.1 : Extraction d'horloge par intégration et traitement en quadrature 53
Figure IV.2 : Données transmises, et tension de contrôle des retards agissant comme gigue de phase..... 54
Figure IV.3 : Signal de la sortie du filtre I+D et la sortie de l'élément quadratique 54

Figure IV.4 : Spectre de fréquence du signal de sortie de l'élément quadratique..... 55
Figure IV.5: Intercorrélation entre horloge d'émission et de réception 55
Figure IV.6 : Horloge de transmission comparée à celle extraite en réception 56
Figure IV.7 : Extraction d'horloge à partir des données bruitées en amplitude et phase . 56
Figure IV.8 : Extraction d'horloge par multiplication des données avec leur version retardée..... 57
Figure IV.9 : Signaux des données transmises avec et sans bruit de phase, et signal de sortie du multiplieur..... 57
Figure IV.10 : Spectre du signal du multiplieur et intercorrélation entre horloge d'émission et de réception..... 58
Figure IV.11 : Horloge de transmission et horloge extraite en réception 58
Figure IV.12 : Extraction d'horloge à partir des données bruitées en amplitude et en phase 59
Figure IV.13 : Extraction d'horloge par dérivation et double redressement 59
Figure IV.14 : Données bruitées en phase, filtrées, dérivées, puis traitées en double-redressement 60
Figure IV.15 : Spectre du signal doublement-redressé et intercorrélation entre horloge d'émission et de réception..... 60
Figure IV.16 : Horloge de transmission comparée à l'horloge extraite de réception 61
Figure IV.17 : Extraction d'horloge de réception à partir des données bruitées en amplitude et en phase..... 61
Figure IV.18 : Extraction d'horloge en boucle fermée..... 62
Figure IV.19 : Horloge extraite (en rouge) à partir des données bruitées en amplitude et en phase avec signal d'erreur de la boucle (en bleu) 62
Figure IV.21 : Extraction d'horloge par porte tôt-tard en boucle fermée..... 63
Figure IV.21 : Extraction d'horloge (en rouge) à partir des données en amplitude et en phase avec signal d'erreur de la porte (en bleu) 64

Liste des abréviations et symboles

a, b : coefficient du fonction de transfert de Laplace

A_c : l'amplitude de la porteuse

B : la bande passante

BER : Bit Error Rate

CMOS : Complementary Metal Oxide Semiconductor

d : temps de retard du début d'intégration

DSBSC : Dual Band Suppressed Carrier

e : signal d'erreur

ECL : Emitter Common Logic

F_c : fréquence de coupure

F_o : fréquence de repos

F_e : fréquence d'entrée

F_m : frequency Modulation

I (t) : le signal ou la composante en phase

I+D : Integrate and Dump

K : le gain du comparateur

K_f : facteur de déviation de fréquence du VCO

m(t) : la porteuse

N : facteur de division de la PLL

OOK : On off keying

PID : proportional integral derivative

PLL : phase locked loop

PSD : Power Spectral Density

PRK : phase reversal keying

$Q(t)$: le signal ou la composante en quadrature

Sgn : fonction sign

T : durée de symbole

TTL : transistor Transistor Logic

VCO : voltage Controlled Oscillator

V_{osc} : la tension de l'oscillateur

$V_E(t)$: la tension d'entrée

$V_0(t)$: la tension en sortie du filtre

$V_s(t)$: la tension de sortie

ω_{osc} : la pulsation de l'oscillateur

φ_{osc} : la phase de l'oscillateur

φ_E : l'écart de phase

φ_i : la phase du signal d'entrée

$\varepsilon(t)$: signal périodique

Δ : décalage de l'horloge et le symbole d'arrivé

$\Delta\Phi$: le déphasage entre les signaux

φ_e : la pulsation du signal d'entrée

φ_s : la pulsation du signal de sortie

Introduction générale

Dans presque chaque fonctionnement d'un récepteur ou d'un démodulateur, un certain niveau de synchronisation de signal doit être assuré, bien que souvent, un tel besoin n'est pas explicitement énoncé. Par exemple, dans le cas de la démodulation numérique de phase (PSK), on assume que le récepteur peut produire des signaux de référence dont les phases sont identiques à ceux de l'alphabet de signalisation à l'émetteur. Ces signaux de référence sont comparés aux signaux entrants en cours, afin de prendre des décisions à partir des instants, eux-mêmes bien synchronisés.

Afin de pouvoir produire ces signaux de référence. Le récepteur doit être synchronisé avec la porteuse reçue. Ceci signifie qu'il doit y avoir accord de phase entre porteuse entrante et porteuse reproduite dans le récepteur.

La plupart des systèmes de communication numérique utilisant la modulation, exigent chacun des deux niveaux de synchronisation : phase et symbole.

La synchronisation de symbole et la synchronisation de phase sont semblables, du fait que toutes les deux impliquent de produire dans le récepteur, une reproduction d'une partie du signal transmis. Pour la synchronisation de phase, c'est la reproduction précise de la porteuse. Pour la synchronisation de symbole, c'est la reproduction d'un train d'impulsions à la fréquence des transitions de symbole.

Le récepteur doit avoir la connaissance précise, quand un symbole entrant commence et quand il se termine. Cette connaissance est exigée afin de savoir l'intervalle approprié d'intégration de symbole avant de prendre des décisions de symbole. Il est évident que si le récepteur intègre le signal pendant un intervalle d'une longueur inadéquate, ou pendant un intervalle où se suivent deux symboles, la performance de prendre des décisions précises sur les symboles sera dégradée.

Les travaux présentés dans ce memoire, consistent à étudier par simulation sur SystemVue, la synchronisation en fréquence et phase de la porteuse (pour les transmissions par modulations discrètes), et en symbole ou horloge de rythme (pour toutes les transmissions numériques). Cela permet de concevoir des récepteurs cohérents et optimaux. L'acquisition et la traque de l'information de synchronisation en porteuse sont confiées à l'une des boucles, PLL, quadratique, ou de Costas.

Celles liées à la synchronisation de symbole, sont confiées à l'une des boucles ouvertes ou fermées de synchronisation.

L’essentiel du travail effectué est présenté dans quatre chapitres, dont le premier donne un aperçu théorique sur la synchronisation des signaux dans les récepteurs numériques. Suivi de la simulation des boucles PLL et de costas.

Dans le deuxième chapitre, est étudiée par simulation, la synchronisation de porteuse dans les systèmes cohérents OOK et PRK, pris comme exemples.

Dans le troisième chapitre, un aperçu théorique sur la synchronisation en symbole des signaux dans les récepteurs numériques est présenté.

Dans le dernier chapitre la simulation porte sur la synchronisation de symbole, suivant les techniques en boucles ouvertes et boucles fermées.

Chapitre I :

Synchronisation de fréquence et de phase

I.1 Introduction

Tous les systèmes de communication numérique exigent une synchronisation des signaux par les récepteurs. Dans ce chapitre, les différentes techniques de synchronisation de récepteur sont discutées. Les techniques de la synchronisation en fréquence ont été développées en supposant que les caractéristiques de constellation et de signal de modulation sont connues à priori.

Pour synchroniser un oscillateur local à la fréquence porteuse et à la phase du signal reçu quand un composant de porteuse non modulé est transmis avec le signal modulant de l'information, le récepteur utilise une boucle à verrouillage de phase (PLL) pour acquérir et dépister le composant de la porteuse. La PLL est conçue pour avoir une bande étroite de sorte qu'elle ne soit pas sensiblement affectée par la présence des composantes de fréquence du signal modulant de l'information.

La boucle de Costas est une solution qui essentiellement fonctionne avec deux PLL combinés à un VCO commun, ce qui opère mieux qu'une simple PLL dans ces applications.

I.2 Boucles à verrouillage de phase

I.2.1 Généralités

Les boucles à verrouillage de phase (Phase Locked Loop ou PLL), ont été inventées pour faire de la détection synchrone. La mise en œuvre de ce principe était délicate compte tenu des moyens de l'époque, ce qui explique que sa généralisation ait dû attendre les progrès de la technologie.
Après l'apparition des circuits intégrés, l'utilisation des boucles à verrouillage de phase s'est étendue de façon considérable dans tous les domaines des télécommunications, des mesures, etc…
On peut distinguer deux types d'applications:

- L'utilisation de la boucle de phase comme filtre passe-bande très étroit. C'est le cas par exemple pour récupérer un signal porteur noyé dans du bruit.
- L'utilisation de la boucle de verrouillage de phase comme multiplieur de fréquence. C'est le cas de certains synthétiseurs de fréquence.

I.2.2 Principe de fonctionnement

Une boucle à verrouillage de phase est un système bouclé dans lequel la grandeur asservie est la phase d'un signal alternatif. La Figure I.1 représente le schéma fonctionnel d'une PLL. [4].

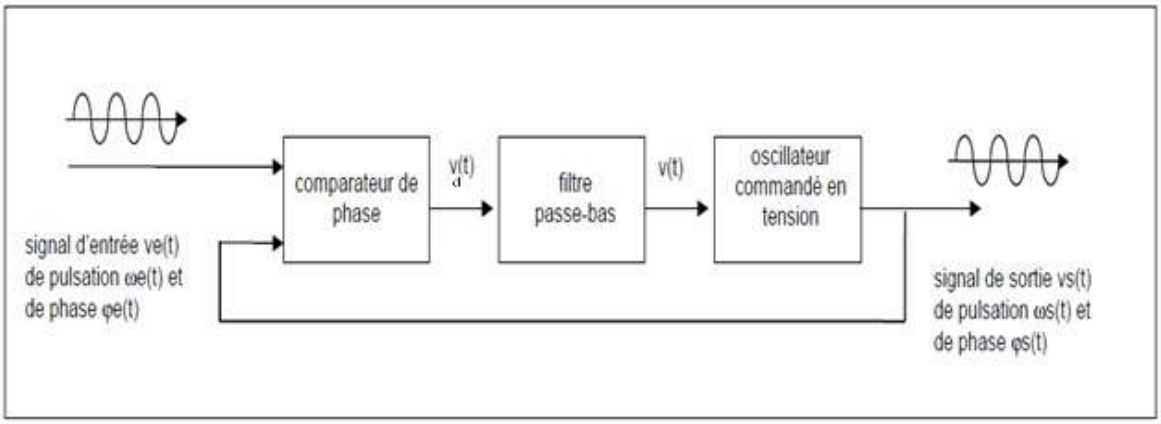


Figure I.1 : Schéma fonctionnel du système PLL

Le rôle de la boucle est d'asservir la pulsation de l'oscillateur sur celle du signal d'entrée, l'oscillateur délivrant un signal de la forme

$$V_{osc}(t) = V_{osc}.\cos(\omega_{osc}.t+\varphi_{osc}) \qquad (I.1)$$

Le principe de l'asservissement est alors le suivant (On suppose ici que la pulsation du signal de l'oscillateur est égale à celle du signal d'entrée).

Le comparateur de phase compare en permanence la phase du signal délivré par l'oscillateur, φ_{osc}, à celle du signal d'entrée, φ_i, et délivre une tension $V_E(t)$ liée directement à l'écart de phase correspondant, $\varphi_E = \varphi_i - \varphi_{osc}$. Cette tension $V_E(t)$ est appliquée à l'entrée du filtre de boucle, de type passe-bas, dont le rôle sera précisé plus loin.
La tension $V_0(t)$, en sortie du filtre, commande la fréquence de l'oscillateur dans un sens tel que la pulsation de sortie soit égale en permanence à celle du signal d'entrée.

Ainsi le rôle de la boucle à verrouillage de phase est de faire en sorte que les fréquences des signaux appliqués sur les deux entrées du comparateur de phase soient identiques, les phases de ces deux signaux pouvant être différentes.

Les éléments constitutifs du circuit PLL sont :

- un comparateur de phase.
- un filtre passe – bas.
- un oscillateur contrôlé en tension (ou VCO: Voltage Controlled Oscillateur).

I.2.3 Comparateurs de phase

Le détecteur ou comparateur de phase doit fournir, après le filtrage, une tension continue ou lentement variable proportionnelle à l'écart de phase existant entre les deux signaux d'entrée et de retour de boucle. La figure I.2 représente un détecteur de phase, avec $\varphi_N = \varphi_{osc.}$

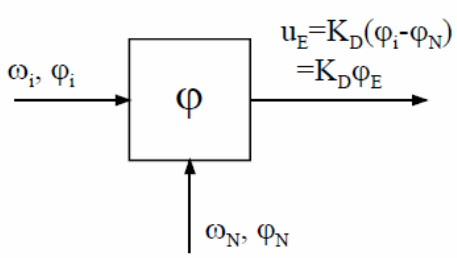


Figure I.2 : Détecteur ou comparateur de phase

Il existe deux familles de détecteurs de phase

1. Les détecteurs de phase analogiques, ce sont les détecteurs les plus utilisés, Ils sont utilisés lorsque le signal d'entrée est sinusoïdal, et en particulier en présence de bruit.

2. Les détecteurs de phase numériques, qui sont de plus en plus utilisés en technologie CMOS, TTL ou ECL. Les signaux d'entrée sont impulsionnels avec des niveaux compatibles. Les plus simples sont de type combinatoire (fonctionnent avec les niveaux 0 et 1. Les plus sophistiqués sont séquentiels (fonctionnent sur les fronts).

I.2.3.a Comparateur de phase analogique

Le détecteur de phase analogique est en fait un multiplieur analogique, aussi connu sous le nom de "mélangeur équilibré".

Le multiplieur analogique est représenté symboliquement par le schéma de la figure I.3. Il est généralement suivi d'un filtre passe-bas pour l'élimination des termes HF indésirables fournis par le multiplieur.

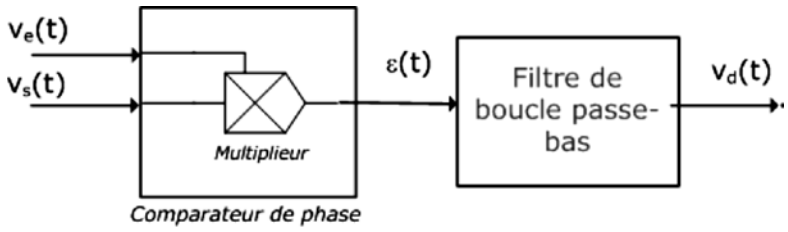


Figure I.3 : Multiplieur analogique

Soient

$$v_e(t)=V_{em}.\cos(\omega_e.t + \varphi_e) \quad \text{et} \quad v_s(t) =V_{sm}.\cos(\omega_e.t + \varphi_s)$$

Alors :

$$\varepsilon(t) = k \frac{Vem.Vsm}{2} [\cos(\varphi_e - \varphi_s) + \cos(2.\omega_e.t + \varphi_e + \varphi_s)] \qquad (I.2)$$

En utilisant un filtre passe-bas de fréquence de coupure très inférieure à $2.\omega_e$, on ne conserve que l'information qui est fonction du déphasage entre $v_e(t)$ et $v_s(t)$: On réalise donc bien un comparateur de phase.

$$v_d(t) = k \frac{Vem.Vsm}{2} \cos(\varphi_e - \varphi_s) \qquad (I.3)$$

On obtient un signal d'erreur qui est fonction uniquement du déphasage entre ve(t) et vs(t), si les amplitudes de ve(t) et vs(t) sont constantes.

La caractéristique de ce comparateur de phase est tracée en figure I.4, où l'on pose $\Delta\Phi = \varphi_e - \varphi_s$ = le déphasage entre les signaux ve(t) et vs(t); et $k.V_{em}.V_{sm}/2=2V$.

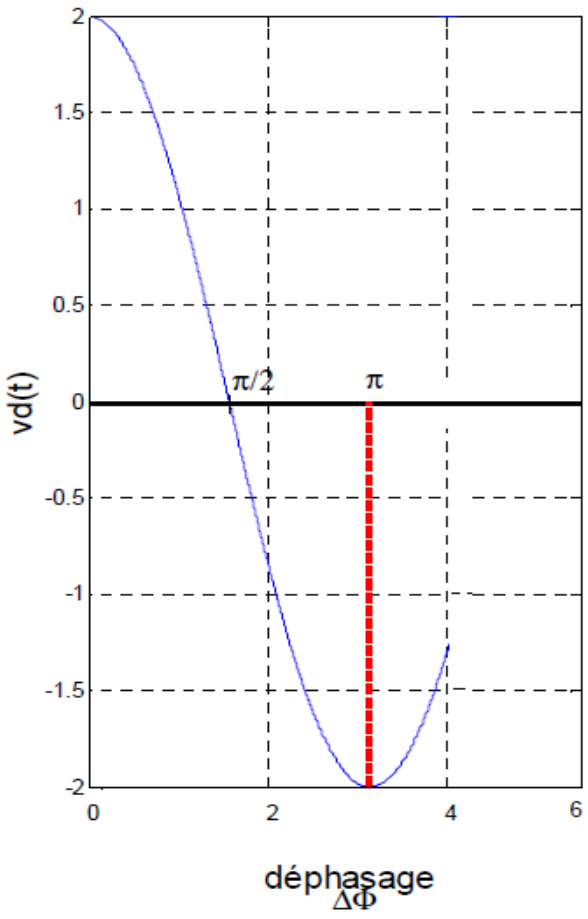


Figure I.4: Caractéristique sinusoïdale du comparateur de phase

I.2.3.b Comparateur de phase numérique

Le OU exclusive joue, dans le domaine numérique, un rôle similaire à celui du multiplieur dans le domaine analogique.

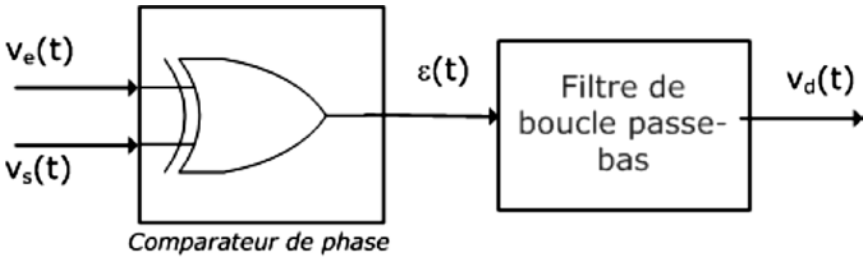


Figure I.5: Détecteur de phase numérique (Ou exclusif)

Ce type de comparateur est très sensible au rapport cyclique des signaux qui le commandent. Nous allons l'étudier dans un premier temps lorsque les deux signaux ont un rapport cyclique de 50%, puis lorsque l'un d'eux a un rapport cyclique différent.

Premier cas : rapport cyclique de 50%
Soient ve(t) et vs(t) des signaux logiques de rapport cyclique 50% et de même fréquence Fe. Ve(t) est le signal de référence et vs(t) est le signal issu du VCO.
La table de vérité d'un circuit ≪ OU exclusif ≫est rappelée dans le tableau. I.1:

Ve	Vs	Ve ⊕ Vs
0	0	0
0	1	1
1	0	1
1	1	0

Tableau I.1 : table de vérité du XOR

On pose $\Delta\Phi = \varphi_e - \varphi_s$ = le déphasage entre les signaux ve(t) et vs(t).

- Cas où $0 < \Delta\Phi < \pi$

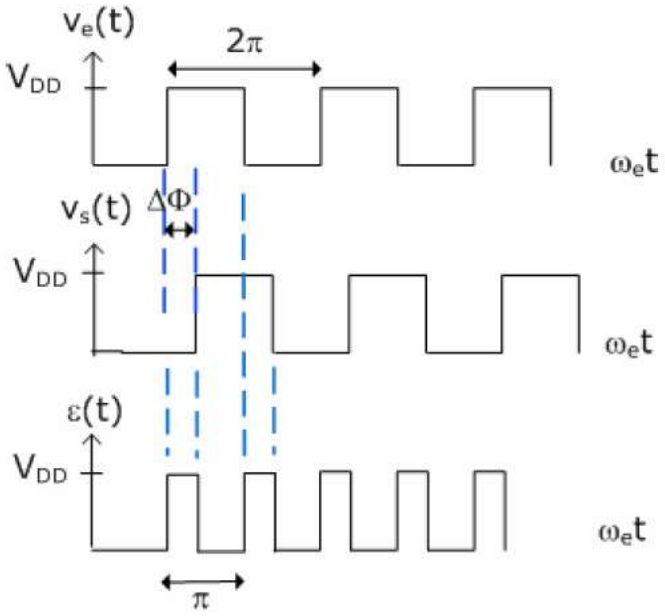


Figure I.6: signaux de la porte XOR au 1er cas

Le signal ε (t) est un signal périodique dont le fondamental est à la fréquence 2.Fe (fréquence double des signaux d'entrée), figure I.6. Si on utilise un filtre passe-bas de fréquence de coupure très inférieure à 2.Fe, on ne conserve que la valeur moyenne <ε (t)> du signal e(t).
La valeur moyenne de ε (t) sur [0 ; π] est:

$$Vd(t) = < \varepsilon\ (t) > = \frac{V_{DD}}{\pi} \Delta\Phi \qquad (I.4)$$

L'information < ε (t)> est proportionnelle au déphasage entre ve(t) et vs(t) ; on réalise donc bien un comparateur de phase.

- Cas où $\pi < \Delta\Phi < 2\pi$

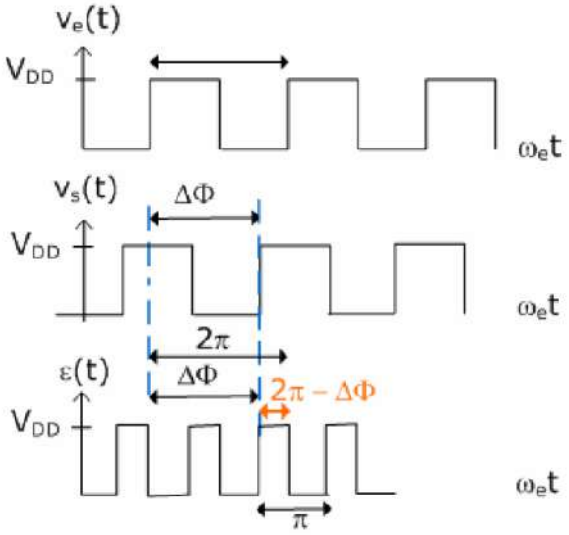


Figure I.7: signaux de la porte XOR au 2eme cas

La valeur moyenne de ε (t) sur [0 ; 2π] est:

$$V_d(t) = < \varepsilon\,(t) > = \frac{V_{DD}}{\pi}\,(2.\,\pi - \Delta\Phi) \qquad \text{(I.5)}$$

Nous pouvons maintenant tracer la caractéristique du comparateur de phase Ou exclusif, suivi de son filtre ; en figure I.8.

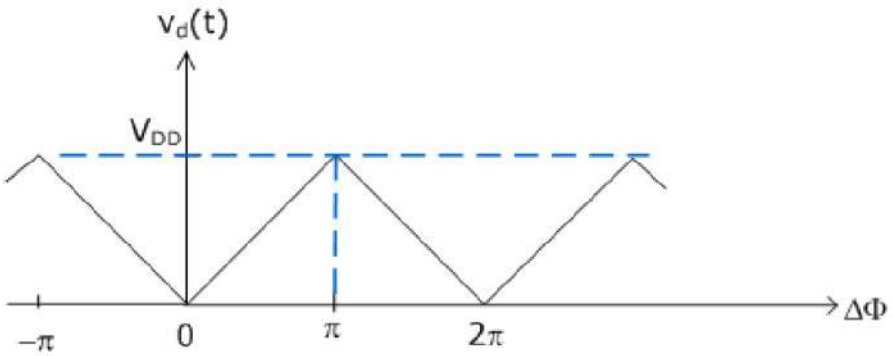


Figure I.8 : Caractéristique linéaire du comparateur de phase par segments

Deuxième cas

L'un des signaux à un rapport cyclique différent de 50%. La caractéristique de transfert du comparateur a alors l'allure suivante :

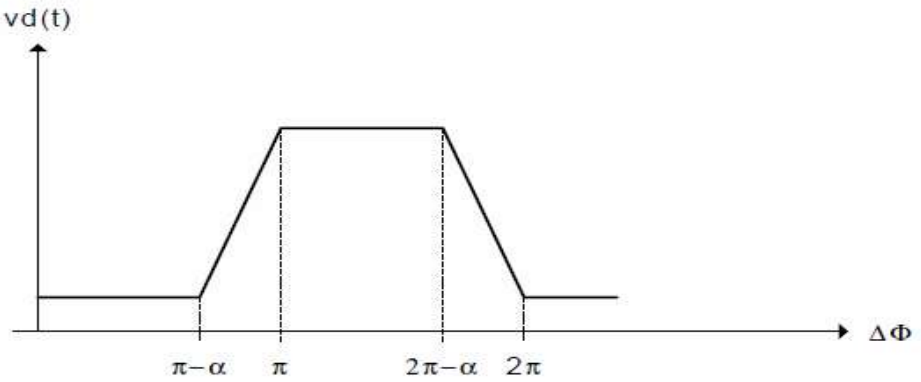


Figure I.9 : caractéristique du XOR pour le signal d'entrée à rapport cyclique α/2π

I.2.4 Oscillateurs commandés en tension (VCO)

Un VCO génère un signal dont la fréquence du signal de sortie F_s peut être modifiée par l'intermédiaire d'une tension de commande V_d.

La loi de commande F_s en fonction de V_d est appelée caractéristique du VCO.

L'intervalle de fréquence [F_{min} - F_{max}] utilisable est appelé gamme de fréquence de l'oscillateur. La fréquence centrale ou fréquence de repos s'exprime par :

$$F_o = (F_{min} + F_{max})/2 \qquad (I.6)$$

On distingue deux grandes familles de VCO:

- les oscillateurs à relaxation (astables),
- les oscillateurs quasi-sinusoïdaux,

Les premiers sont utilisables jusqu'à une dizaine de MHz environ et peuvent délivrer des formes d'ondes carrées ou triangulaires (voir sinusoïdales avec une distorsion de quelques pour cent). Ils sont simples à mettre en œuvre.

En haute fréquence, on utilise des oscillateurs quasi-sinusoïdaux (systèmes à varicap).

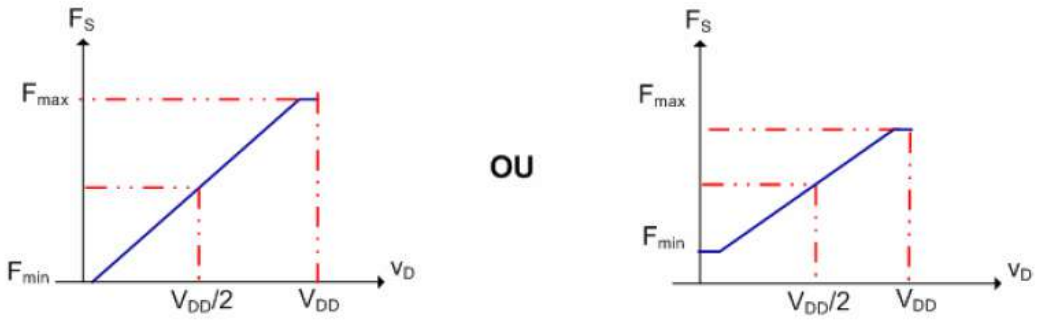


Figure 1.10 : Caractéristique du VCO de la PLL

Le VCO est contrôlé par la sortie du filtre qui le précède, et fournit l'expression :

$$F_0 = K_0.V_d \qquad (I.7)$$

Où K_0 est la sensibilité du VCO.

Le circuit intégré : CD4046 permet de réaliser une PLL et contient :

- Un oscillateur commandé en tension, quasi linéaire une sur grande plage, produisant des signaux carrés.
- Un comparateur de phase à OU Exclusif avec son trigger de mise en forme du signal d'entrée.
- Un suiveur de tension pour une utilisation en démodulateur.

Dans l'expression (I.6) Les valeurs de F_{min} et F_{max} sont réglées à l'aide de résistances et d'une capacité extérieure, c'est à dire que c'est l'utilisateur qui doit choisir correctement les valeurs de résistances et condensateur pour imposer ses valeurs de F_{min} et F_{max}. Le constructeur fournit des abaques permettant de faire ce choix. Le VCO de cette PLL délivre des signaux carrés entre 0 et V_{dd}.

I.2.5 Filtre de boucle

Le filtre de boucle a pour rôle:

- d'assurer les performances de l'asservissement : bande passante, amortissement, etc…
- d'atténuer le plus possible les produits indésirables issus du comparateur de phase.

Il permet de ne conserver que la valeur moyenne de ε (t). Nous avons alors une relation du type :

$$v_d(t) = K_d(\phi_e(t) - \phi_s(t)) \qquad (I.8)$$

Où K_d est la sensibilité du détecteur de phase.

I.2.6 Simulation de la PLL

La boucle à verrouillage de phase (PLL) est employée pour dépister la fréquence et la phase d'un signal de communication numérique passe-bande. La PLL se compose des trois composants classiques, suivant les indications du schéma de la figure I.11.

Le multiplicateur simule un *comparateur de phase. Le filtre de boucle* est issu de la bibliothèque des filtres de systèmes avec opérateur 'Hs' comme fonction de transfert du filtre de Laplace dans le Domaine '*S*'. l'icône du modulateur de fréquence simule un *oscillateur commandé en tension (VCO).* [2].

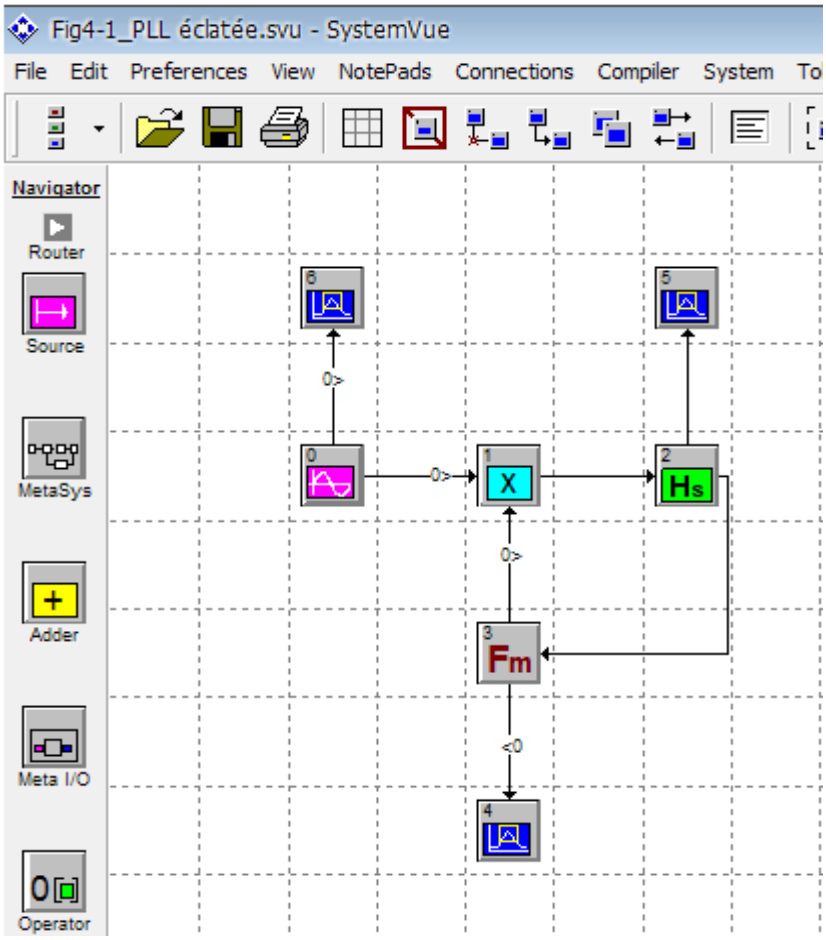


Figure I.11 : boucle à verrouillage de phase sur SystemVue

Le filtre théorique à la fonction de transfert de Laplace est approprié pour le filtre de boucle de cette première description de PLL, avec des paramètres d'une fonction de transfert donnée par 1/ (7.96×10^{-5}s + 1), réalisant un filtre de Butterworth avec la largeur de bande de 2 kilohertz.

Le bloc de modulateur de fréquence simule le VCO, avec des paramètres d'une amplitude A_o = 1V, une fréquence F_O = 19.8 kHz, un gain de modulation ou facteur de sensibilité du VCO, K_0 = 1 kHz/V, et phase 0°. La fréquence initiale du VCO est F_O = 19.8 kHz qui est

délibérément choisie pour être 200 Hz plus basse que celle d'entrée, et avec une phase différente de celle de la source sinusoïdale d'entrée.

L'icône ''Sinusoid'' de la bibliothèque source, fournit à l'entrée un signal d'essai d'amplitude A_I = 1 V, et de fréquence *fi* = 20 kHz, et de phase 30°.

La configuration du système : La fréquence d'échantillonnage est placée à 500 kHz, bien au-dessus de la fréquence de l'entrée sinusoïdale, et le temps d'arrêt de système est arbitrairement placé à 20 millisecondes.

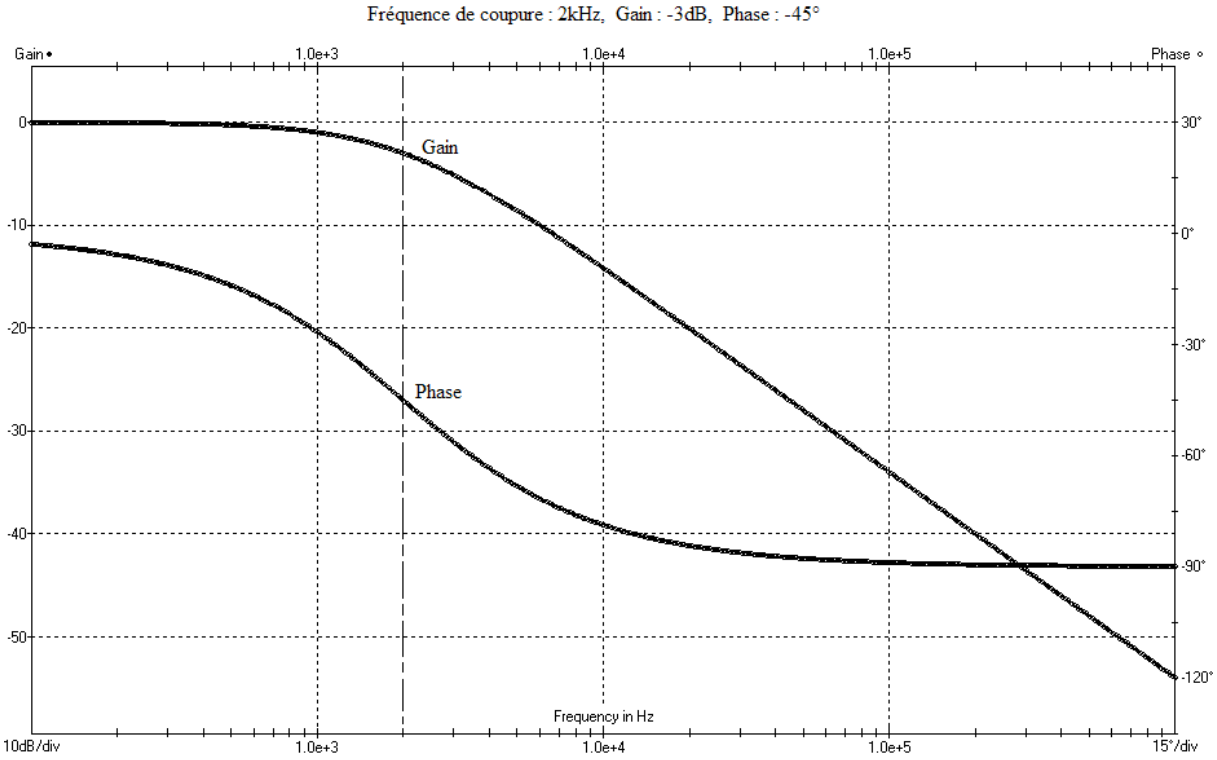


Figure I.12 : Tracés de Bode du filtre de boucle H(s)

La fréquence de coupure est mesurée lorsque le filtre produit une atténuation de -3 dB sur le signal d'entrée. Pour ce filtre, le curseur du traceur de Bode est placé à - 3 dB. Sa position nous indique une fréquence de coupure de 2 kHz, lui correspondant un déphasage de - 45°, figure I.12.

Après comparaison de la tension de consigne et celle du VCO avant et après le verrouillage, il y a un déphasage de $\pi/2$ entre les deux signaux synchrones en fréquence, figure I.13.

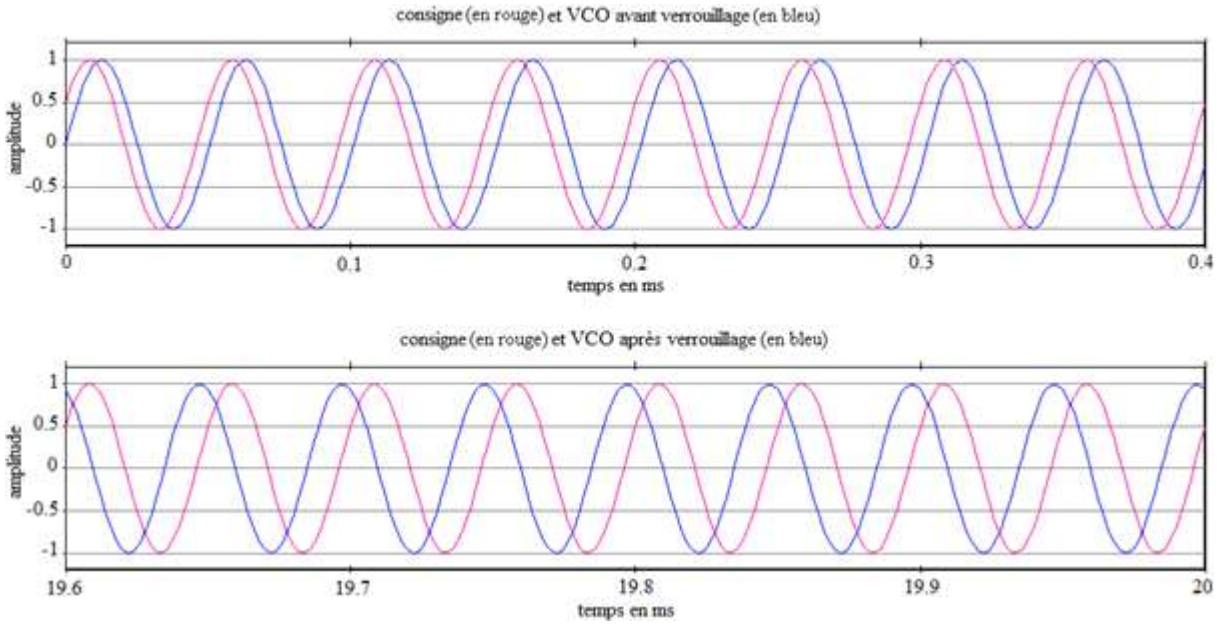


Figure I.13 : Superposition entre l'entrée et la sortie du VCO avant et après le verrouillage

Le schéma de la figure I.14 montre le signal d'erreur de fréquence à la sortie du filtre de la boucle de PLL ou entrée du VCO.

Le signal d'erreur se stabilise à approximativement 3 milliseconde avec une tension moyenne de 0.2V. Ce qui augmente la fréquence moyenne du VCO à 19.8 kHz +0.2×1000 (Hz/V)= 20 kHz. La fréquence nominale de l'entrée de signal sinusoïdal d'essai est donc atteinte.

Cependant cette PLL simple avec un filtre de boucle limité, montre une ondulation sur le signal d'erreur de fréquence, approximativement de ± 25 mv d'amplitude.

C'est équivalent à une déviation de fréquence Δf = ±0.025 V × 1000 Hz/V = ±25 Hz ou approximativement 1% de la fréquence d'entrée.

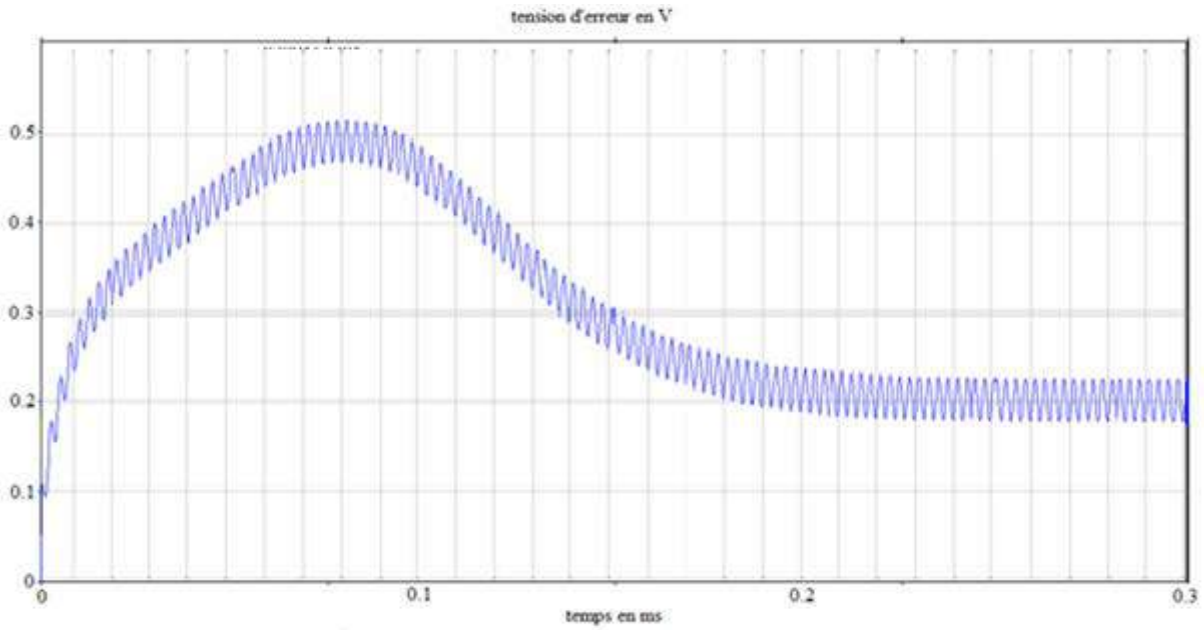


Figure I.14 signal d'erreur en fréquence du système PLL d'essai

SystemVue fournit un bloc PLL de la bibliothèque de communications. Suivant les indications du schéma de la figure I.11. Les paramètres de PLL sont, fréquence de VCO f_{VCO} = 19.8 kHz, phase de VCO 0°, et un gain de modulation de 1 kHz/V, qui sont identiques au cas de la PLL simple du schéma de la figure I.15. La fréquence initiale du VCO de PLL symbolique f_{VCO} = 19.8 kHz encore délibérément choisie pour être à 200 hertz plus basse en fréquence, avec une phase différente de celle de la source sinusoïdale d'entrée. Le filtre de boucle est de fréquence de coupure, 2 kHz.

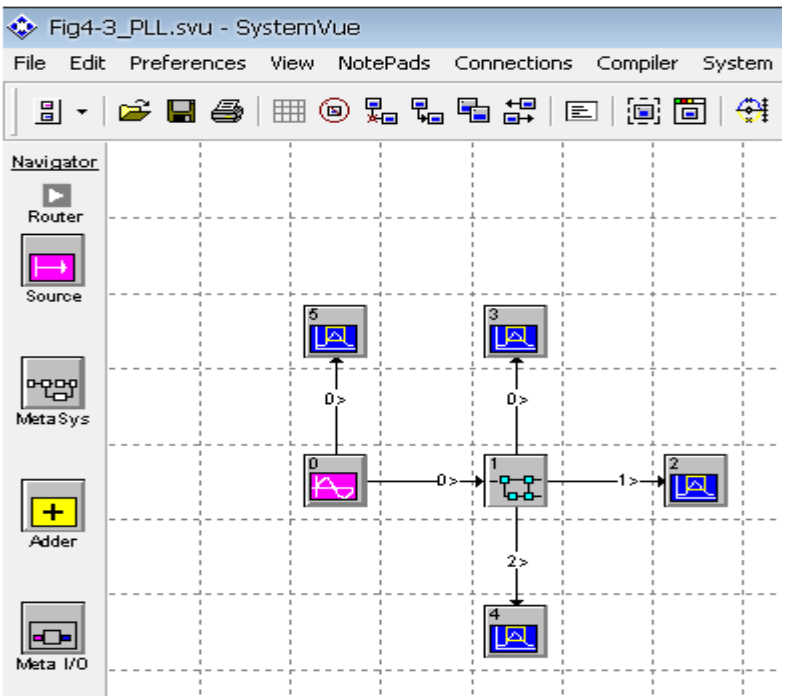


Figure I.15 système d'essai symbolique de PLL

L'icône ''Sinusoid'' de la bibliothèque source fournit à l'entrée un signal d'essai d'amplitude *Ai* = 1 V, une fréquence *fi* = 20 kHz, et de phase 30°.

La configuration de l'horloge du système: La fréquence d'échantillonnage est placée à 500 kHz, bien au-dessus de celle de l'entrée sinusoïdale, et le temps d'arrêt de système est arbitrairement placé à 20 millisecondes.

Un Filtre passe-bas du 9ème ordre de type Bessel à f_c = 2kHz précède le filtre de boucle réel, ce dernier est défini par une fonction de transfert de Laplace donnée par :

$$H(S) = 1 + a/s + b/s^2 = (s^2 + as + b)/s^2 \qquad (I.8)$$

Systemvue définit le filtre de Bessel par donne une transmittance subdivisée en 5 sections :

$$H(S) = \left(\frac{582.5}{79{,}6.10^{-6}\ S + 1{,}9}\right).\left(\frac{1}{6{,}3.10^{-9}\ S^2 + 287{,}8.10^{-6}\ S + 3{,}5}\right).$$
$$\left(\frac{1}{6{,}3.10^{-9}\ S^2 + 263{,}1.10^{-6}\ S + 3{,}8}\right).\left(\frac{1}{6{,}3.10^{-9}\ S^2 + 217{,}8.10^{-6}\ S + 4{,}3}\right). \qquad (I.9)$$
$$\left(\frac{1}{6{,}3.10^{-9}\ S^2 + 139{,}8.10^{-6}\ S + 5{,}4}\right)$$

La figure I.16 donne les tracés de Bode dans le plan fréquentiel logarithmique.

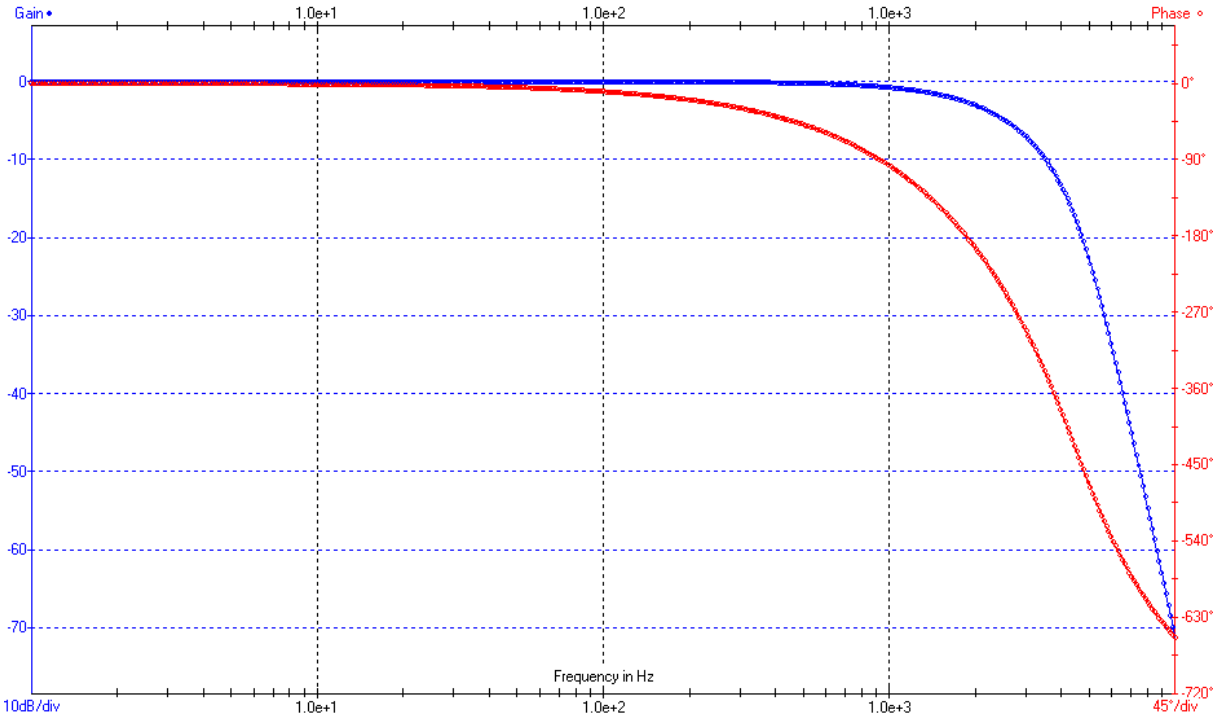


Figure I.16 : Tracés de Bode du filtre Bessel dans le plan fréquentiel logarithmique

Les filtres de Bessel ont une atténuation au-delà de la fréquence de coupure, mois rapide que celle de Tchebychev. Pour cette raison, ils sont rarement utilisés sauf lorsque la linéarité de la phase est essentielle, comme ici.

Dans le plan fréquentiel Linéaire, la phase est linéaire jusqu'à 4kHz ($2 \times f_c$) avec cependant, une atténuation de 1/5 (–13,5dB) seulement. Car théoriquement, on devrait atteindre -9*6=-54dB par octave, soit -3-54=-57dB à 4kHz. C'est l'inconvénient du type Bessel même avec un ordre élevé et dont l'intérêt est la phase linéaire.

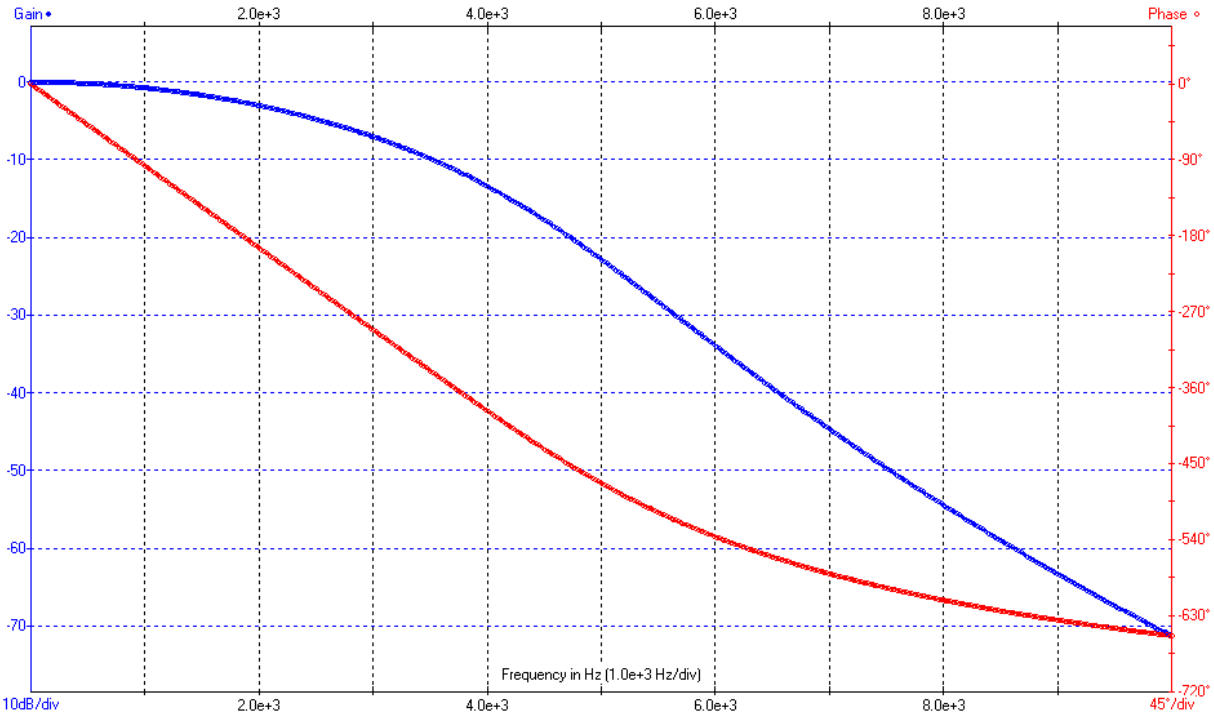


Figure I.17: Tracés de Bode du filtre Bessel dans le plan fréquentiel linéaire

Les paramètres de filtre de boucle sont choisis avec $a = 0$ et $b = 0$ (pas employés ici, puisque le filtre de Bessel est disponible dans le bloc de PLL).

La fréquence de sortie du VCO peut également être divisée par un facteur *N de* nombre entier, qui est utilisé quand la PLL est un synthétiseur de fréquence, mais ici, N =1. L'entrée au comparateur de phase de PLL peut être *''hard-limited''* pour enlever des variations d'amplitude éventuelles.

L'icône de PLL fournit un signal d'erreur de fréquence qui peut démoduler un signal à fréquence modulée, et un signal d'erreur de phase de porteuse qui peut démoduler un signal à modulation de phase, en plus du signal de sortie VCO.

Le schéma de la figure I.18 montre le signal d'erreur de fréquence en sortie de l'icône de PLL. Le signal d'erreur stabilise à approximativement 5 millisecondes avec une tension de 0.2 V, sans ondulation appréciable. La fréquence moyenne de la PLL est 19.8 kHz + 0.2 × 1000 (Hz/V) = 20 kilohertz, qui est la fréquence nominale du signal sinusoïdale d'essai de l'entrée, comme prévu. Le signal d'erreur de phase en sortie de la PLL est une rampe en régime permanent car c'est la primitive du signal d'erreur de fréquence.

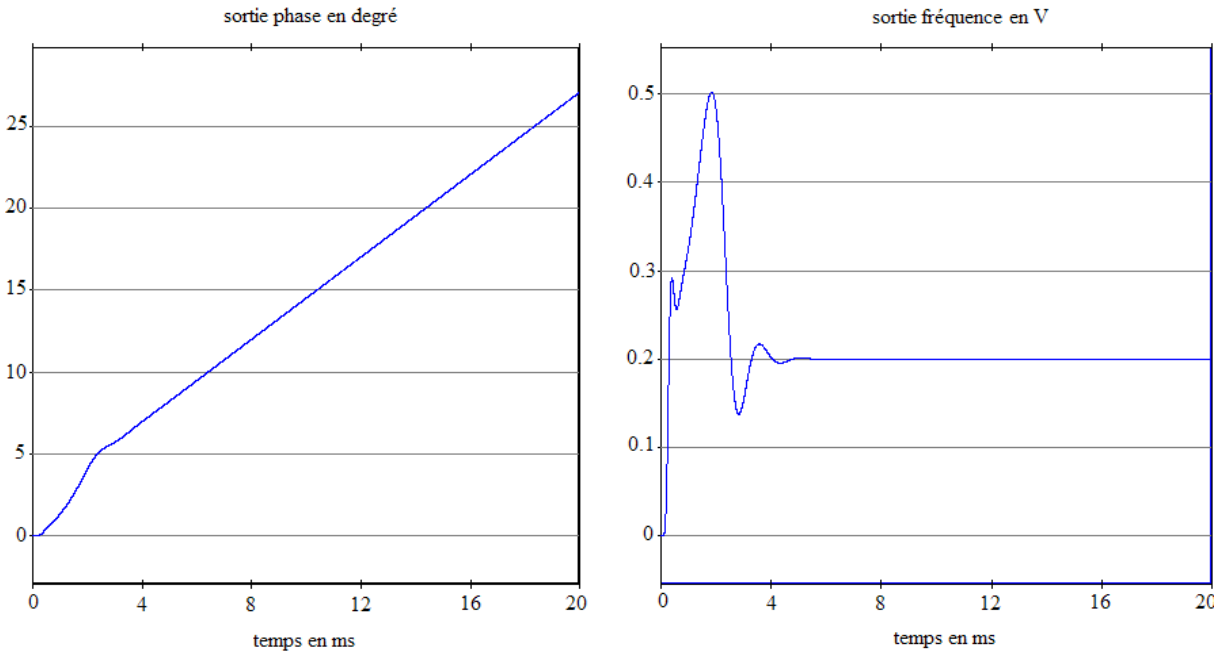


Figure I.18: signaux d'erreur en fréquence et en phase à la sortie de la PLL

La simulation montre qu'après verrouillage de la PLL, les signaux d'entrée-sortie sont en quadrature de phase, figure I.19.

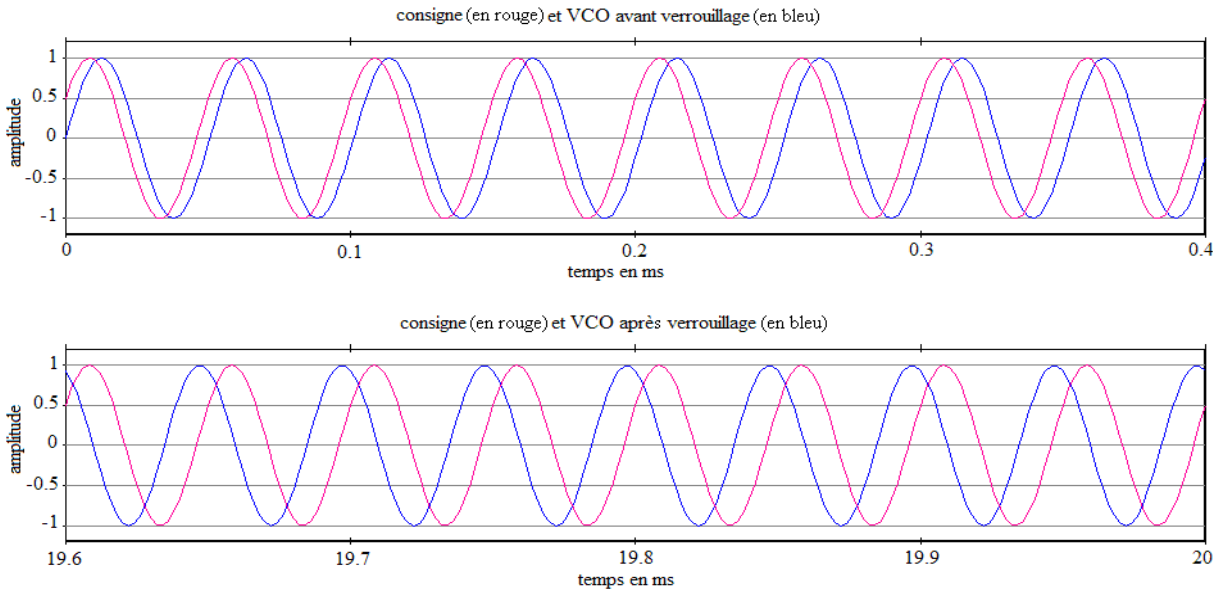


Figure I.19: Superposition entre l'entrée et la sortie du VCO avant et après le verrouillage

I.3 Boucles de costas

I.3.1 Généralités

La boucle de Costas est un récepteur dont le but est d'assurer une réception ou démodulation cohérente du signal reçu. Son schéma bloc est donné à la figure I.20.
L'oscillateur local produit une porteuse et sa version en quadrature. Il fonctionne à la bonne fréquence qui est supposée connue à priori .La partie supérieure du récepteur s'occupe du *signal en phase, ou* canal I, et la partie inférieure, du *signal en quadrature Q*. Ces deux parties sont couplées entre elles de manière à produire une réaction négative dont le but, est de maintenir la bonne phase.

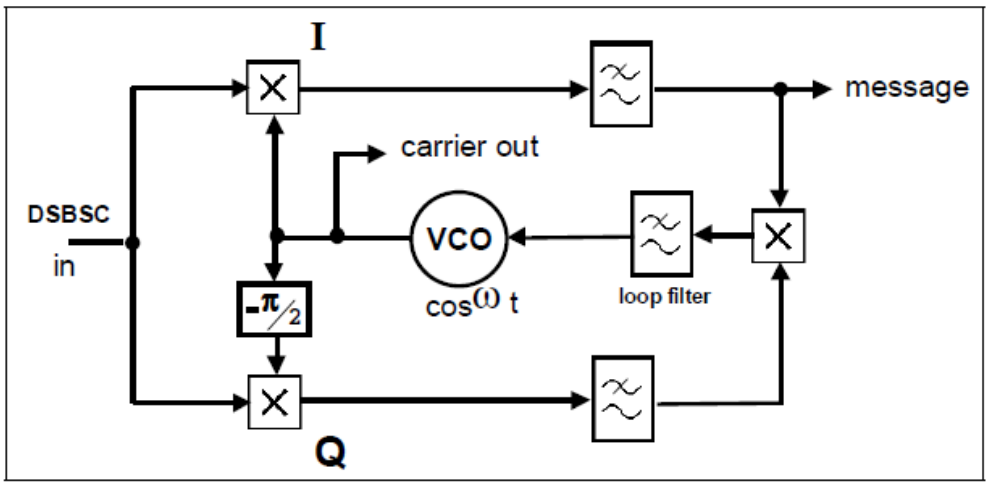


Figure I.20 : Boucle de Costas

I.3.2 Principe de fonctionnement

Supposons que la boucle fonctionne sur un signal modulé, reçu sans porteuse et sans bruit. Le signal modulé reçu est donné par :

$$s(t) = A_C\, m(t) \cos(2\pi f_C t) \qquad \text{(I.10)}$$

Les signaux correspondant à la porteuse en phase, $I(t)$, et en quadrature, $Q(t)$, sont donnés par :

$$I(t) = A'_C \cos(2\pi f_C t + \Phi)$$
$$Q(t) = A'_C \sin(2\pi f_C t + \Phi) \qquad \text{(I.11)}$$

- La modulation de la porteuse en phase $I(t)$ produit :

$$s(t)\ I(t) = A_C A'_C\, m(t) \cos(2\pi f_C t) \cos(2\pi f_C t + \Phi)$$

$$= \frac{A_C A'_C}{2} [\cos(\Phi) + \cos(4\pi f c t + \Phi)] \quad \text{(I.12)}$$

- Et après le filtre passe-bas éliminant les hautes fréquences, il reste :

$$\hat{m}_I(t) = \frac{A_C A'_C}{2} m(t) \cos(\Phi) \quad \text{(I.13)}$$

- La modulation de la porteuse en quadrature $Q(t)$ produit :

$$s(t)\ Q(t) = A_C A'_C\, m(t) \cos(2\pi f_C t) \sin(2\pi f_C t + \Phi)$$

$$= \frac{A_C A'_C}{2} [\sin(\Phi) + \sin(4\pi f_C t + \Phi)] \quad \text{(I.14)}$$

- Et après le filtre passe-bas éliminant les hautes fréquences, il reste :

$$\hat{m}_Q(t) = \frac{A_C A'_C}{2} m(t) \sin(\Phi) \quad \text{(I.15)}$$

- L'estimation du décalage de phase peut se faire par exemple en calculant le produit $\hat{m}_I(t) \times \hat{m}_Q(t)$ et en intégrant ce produit .On obtient :

$$\hat{m}_I(t) \times \hat{m}_Q(t) = \frac{A_C A'_C}{2} m(t) \cos(\Phi) \ \frac{A_C A'_C}{2} m(t) \sin(\Phi)$$

$$= \frac{(A_C A'_C)^2}{4} m^2(t) \cos(\Phi) \sin(\Phi)$$

$$= \frac{(A_C A'_C)^2}{8} m^2(t) \sin(2\Phi) \quad \text{(I.16)}$$

Après intégration temporelle, on obtient un signal proportionnel à sin (2Φ). L'on voit donc que si Φ=0 la boucle n'opère pas de correction, ce qui est bien souhaité .Par contre, s'il y a une erreur de phase, considérée comme suffisamment petite, le sinus peut être linéarisé et le signal d'erreur est proportionnel à Φ.Ce signal attaque un VCO. Cet oscillateur a une fréquence naturelle, qui peut être accélérée ou décélérée par application du signal d'erreur. Ce dernier agit pour compenser l'écart de fréquence entre celle du VCO et celle d'entrée.

I.2.3 Simulation de la boucle de costas

Bien que la PLL puisse acquérir et se verrouiller sur une sinusoïde continue, les systèmes de communication numérique peuvent comporter une fréquence porteuse qui est disponible seulement par intermittence, comme ‘’OOK‘’. Dans les systèmes de communication à porteuse supprimée comme ‘’PRK’’, la boucle de Costas reste la solution, qui essentiellement fonctionne avec deux PLL combinés à un VCO commun, ce qui opère mieux qu’une simple PLL dans ces applications.

Le schéma de la figure I.20 montre un système d'essai de boucle de Costas éclatée, qui est utilisée simultanément dans la récupération synchrone de la fréquence porteuse et la détection des données reçues à partir d’une modulation PRK. [2].

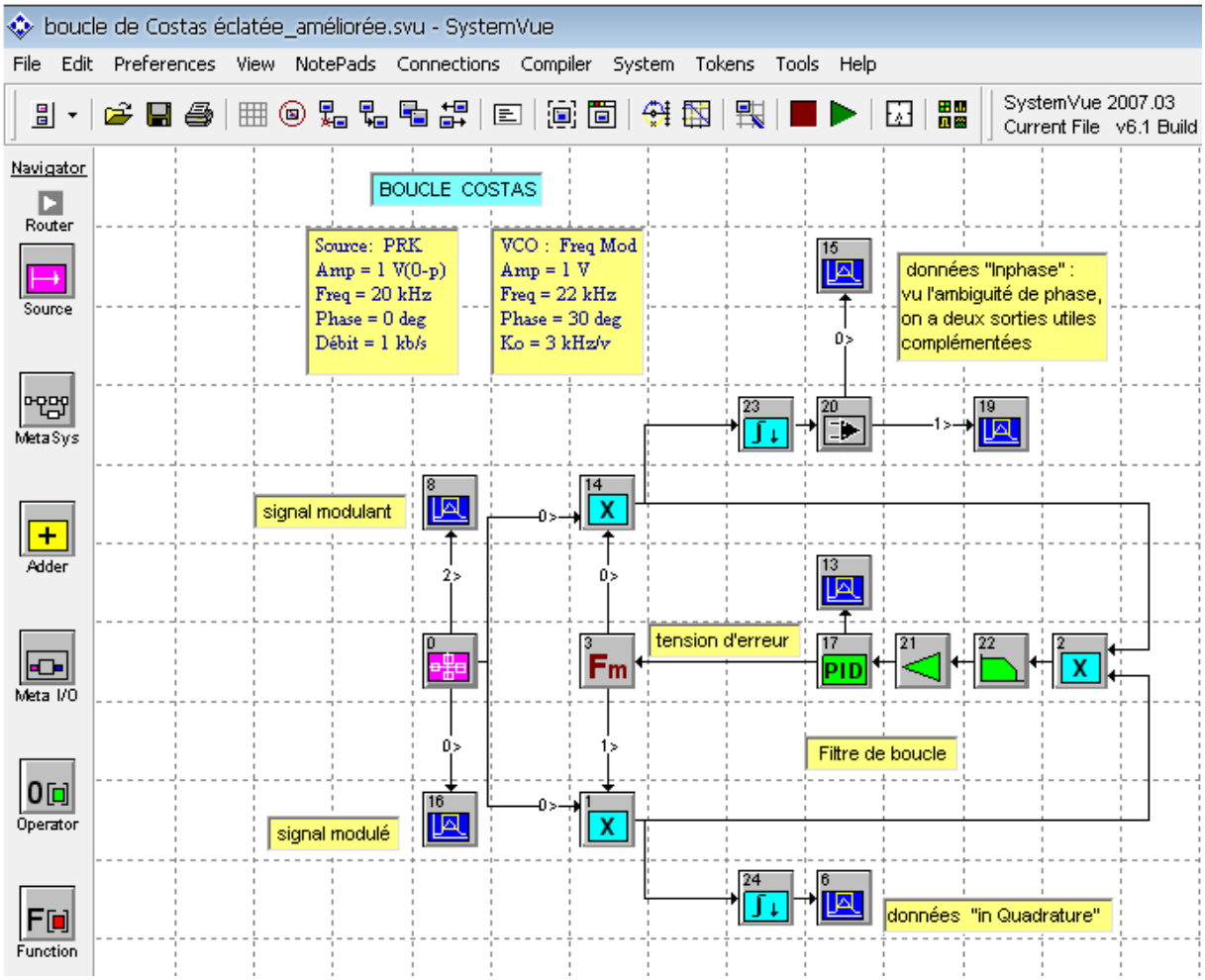


Figure I.21: système d'essai de la boucle de Costas éclatée

L’icône ‘’PRK’’ de la bibliothèque source fournit à l'entrée, un signal d'essai d’amplitude *A*= 1 V, une fréquence porteuse de 20 kHz, modulée en phase par des données aléatoires au débit de 1kb/s.

Les paramètres de la boucle de Costas sont une fréquence de départ du VCO, f_{VCO} = 22 kHz (différente de la porteuse), une phase VCO de 30° (différente de la porteuse), et un gain de modulation de 3 kHz/V.

La boucle de Costas fournit les signaux de sortie en bande de base (démodulée) en phase (I) et en quadrature (Q), après multiplication de la PRK avec les deux signaux en quadrature du VCO puis filtrage adapté et mise en forme par comparateur.

La figure I.22 montre le spectre à la sortie du multiplieur dans la chaîne de retour de la boucle, montrant le signal BF utile centré sur ±9 kHz, dont on la récupère par le filtre passe-bas avec une fréquence de coupure double (10 kHz).

La correction de la boucle est confiée au correcteur PI de fonction de transfert ajustée par tâtonnement à 0,67+2155/S.

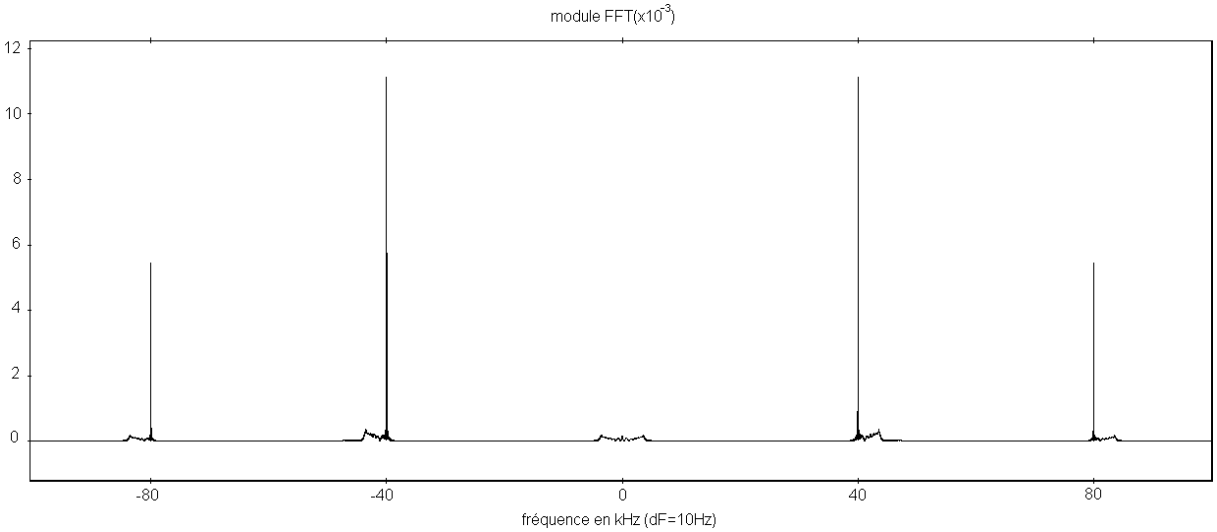


Figure I.22: spectre en sortie du multiplieur de la chaîne de retour

La figure I.23 réunit plusieurs tracés dont l'un est propre à la tension d'erreur issue du filtre de boucle (PID). Les autres tracés constituent une comparaison entre données transmises (signal modulant) et données reçues dans la voie I. les deux signaux complémentés de la sortie sont disponibles afin de choisir le bon signal, suite au problème d'ambiguïté de phase lié à la boucle de costas.

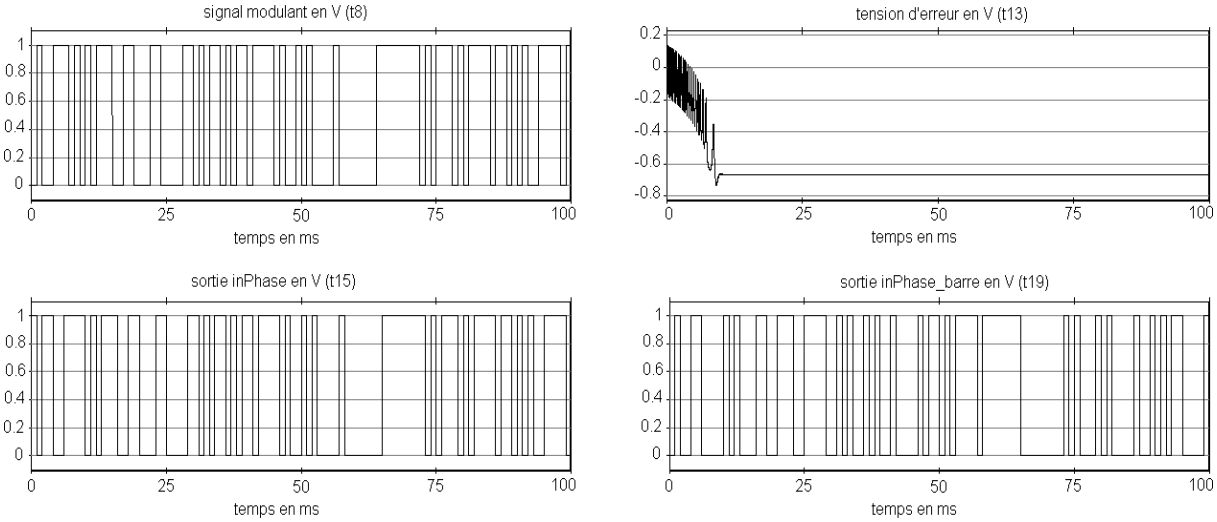


Figure I.23 signal d'erreur et signal modulant comparé aux signaux complémentés de sortie

La figure I.24 montre le signal modulé en PSK, dit PRK, présentant un saut de phase entre 0 et 180 ° en fonction des données binaires modulantes.

Sur la même figure est porté le signal démodulé sur la voie Q, qui sert dans la correction de la boucle de costas et non comme voie de récupération des données.

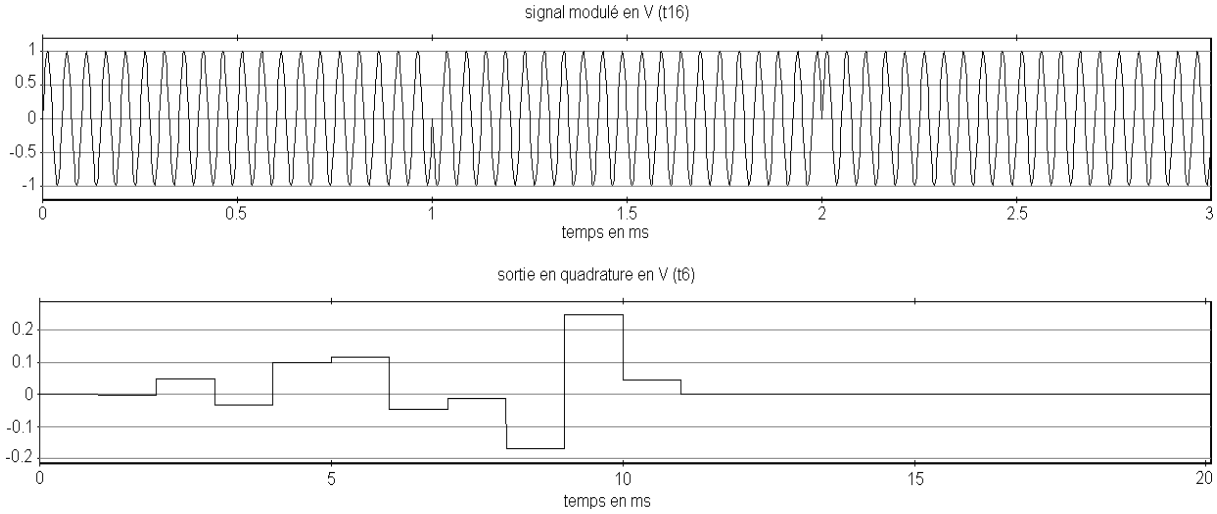


Figure I.24 signal modulé en phase et signal démodulé en quadrature

Le figure I.21 peut être simplifiée en figure I.25 dont le schéma montre une boucle de Costas basée sur un bloc tiré de la bibliothèque ‘’communication’’.

Les mêmes configurations de la modulation PSK et du signal VCO initial de la figure I.21, sont gardées dans l'obtention des résultats de la figure I.24.

L'icône de la boucle de Costas fournit aussi les signaux de sortie en bande de base (démodulée) en phase (I) et en quadrature (Q).

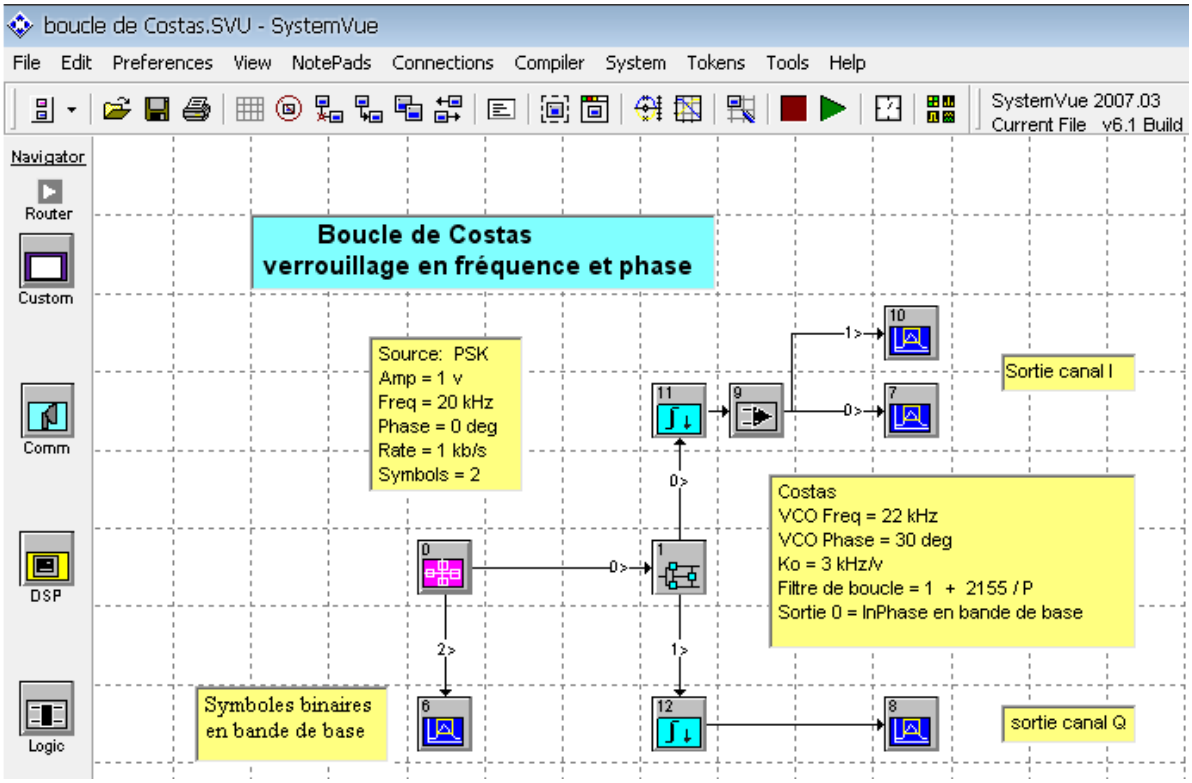


Figure I.25 : système d'essai de la boucle de Costas symbolique de SystemVue

La première sortie de la boucle de costas fournit un signal de sortie en phase (I) qui est précédé d'un filtre I+D de temps d'intégration 1ms, et où le comparateur de sortie présente deux sorties complémentées.

La deuxième sortie de la boucle fournit un signal de sortie en quadrature (Q) fourni par un deuxième filtre I+D ayant les mêmes paramètres que le premier.
Le filtre de la boucle garde la même configuration que celle du filtre PI de la figure (la constante 0,67 étant remplacée par la valeur 1 par défaut)

Le schéma de la figure I.26 représente le signal d'entrée, les deux signaux complémentés de la sortie du canal I et la sortie du canal Q. Comme précédemment, la sortie Q n'est pas utilisée mais sert dans la construction du signal de retour de la boucle.

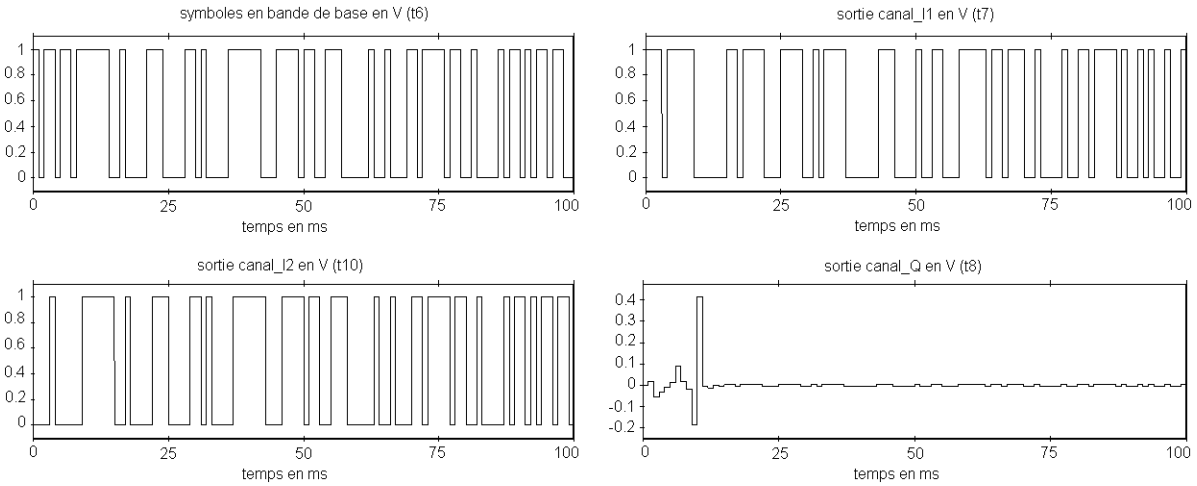


Figure I.26 Le signal d'entrée, les signaux de la sortie de canal I, I_2 et de la sortie de Q

L'intercorrélation entre les symboles d'entrée et de sortie du canal I_2 renseigne sur un retard de 1ms. figure I.27

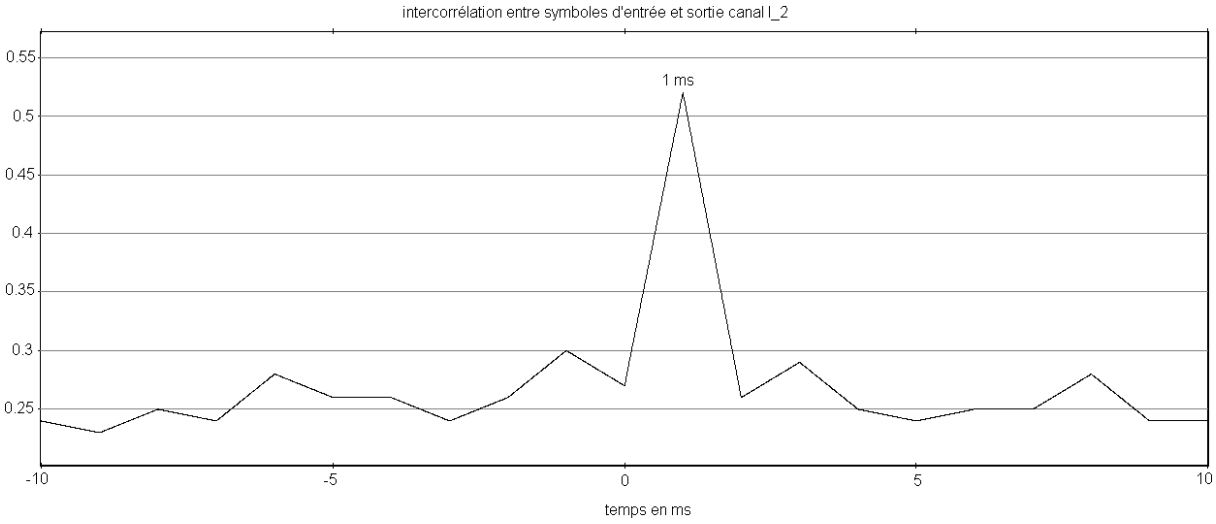


Figure I.27. Retard entre le signal modulant et le signal démodulé

I.4 Conclusion

Dans ce premier chapitre, nous avons introduit les moyens de synchronisation de porteuse et les principales caractéristiques de ces moyens.

Nous avons distingué essentiellement deux tâches de synchronisation :

- La PLL récupère la fréquence porteuse du signal modulé émis.
- La boucle de costas récupère en plus de la porteuse, la donnée dans les systèmes de communication à porteuse supprimée.

Chapitre II :

Exemples de synchronisation de porteuse dans les systèmes de communication numérique

II.1 Introduction

Ce chapitre est consacré à la synchronisation de deux systèmes de communication binaire (OOK, PSK) en utilisant les boucles PLL, costas et quadratique. La mesure de la probabilité d'erreur binaire (BER) permet de juger de la qualité de synchronisation apportée à ces deux systèmes.

II.2 Synchronisation dans un système OOK cohérent

II.2.1 Récupération de porteuse par boucle de costas

Dans la figure II.1, la boucle de Costas est utilisée uniquement dans la récupération de la porteuse et n'est pas donc impliquée dans la détection des données. [2].

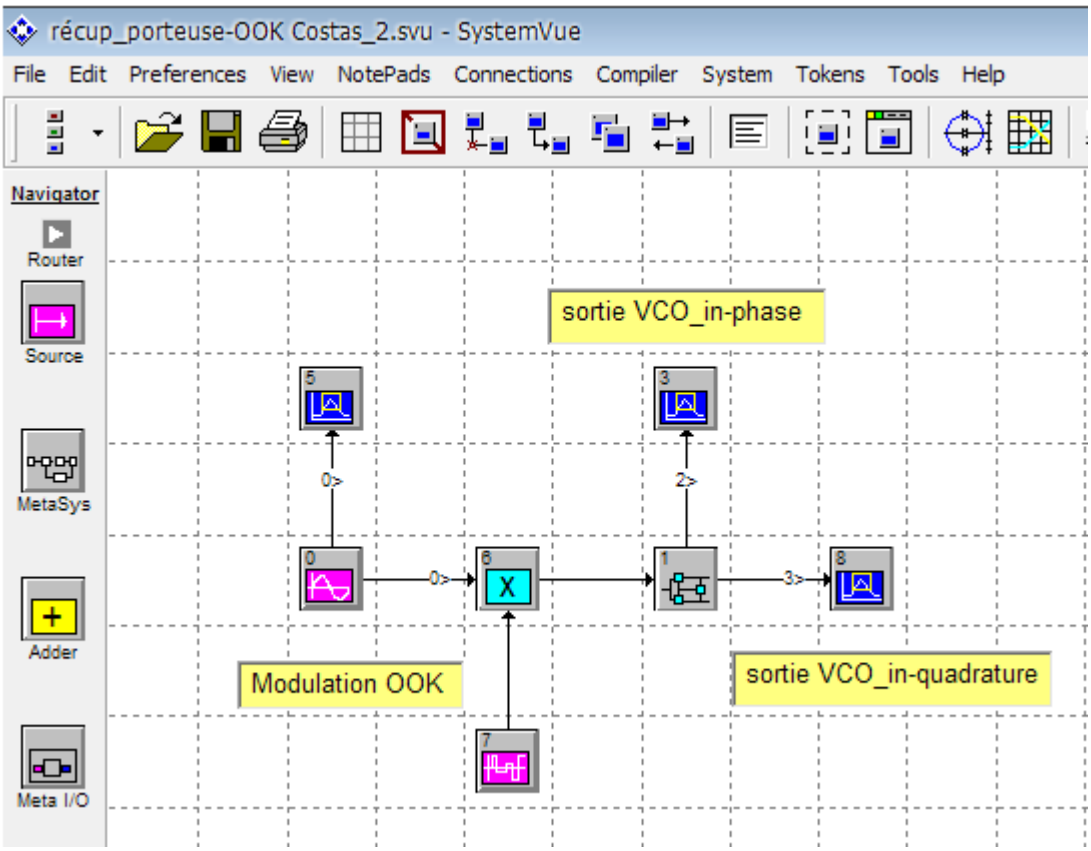


Figure II.1 : récupération de porteuse d'un OOK par boucle de Costas

La modulation OOK est assurée par multiplication des données unipolaires aléatoires au débit de 200b/s, avec une porteuse sinusoïdale de fréquence 20kHz avec phase initiale de 30°.
La boucle de costas quant-à-elle, est configurée avec un VCO initial de 19,5kHz (différente de la porteuse) avec une sensibilité de 1kHz/v. le filtre de boucle fixé par défaut à la forme ($a/s + b/s^2$), est choisi à simple intégration, soit a=1000, b=0.

L'icône de la boucle de Costas fournit les signaux de sortie en bande de base (démodulée) en phase (I) et en quadrature (Q).

La figure II.2 donne la superposition entre l'entrée et les deux sorties du VCO, I et Q.

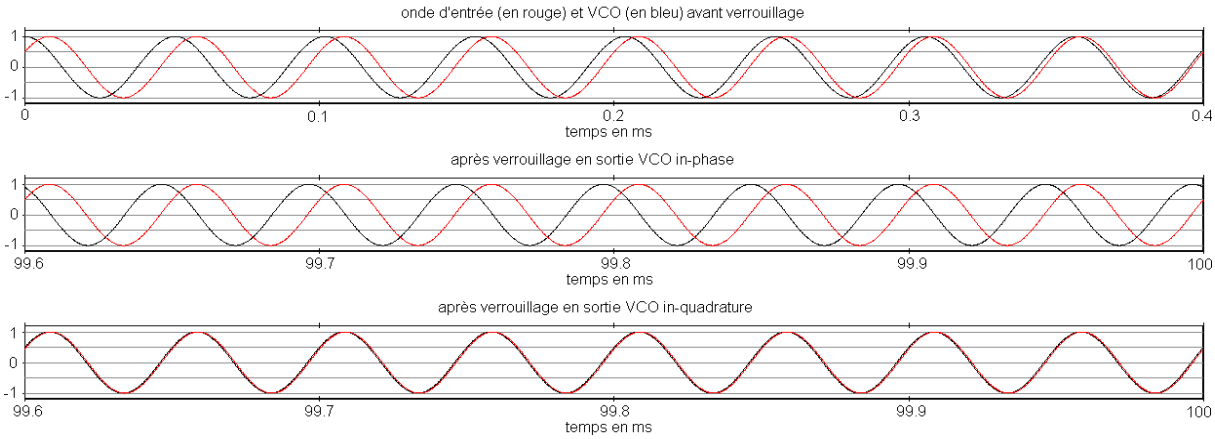


Figure II.2 : Superposition entre l'entrée et les deux sorties du VCO avant et après le verrouillage

On remarque qu'après verrouillage, la sortie du canal I est en quadrature de phase avec la porteuse, en raison de l'action du multiplicateur. La sortie du canal Q est en parfait synchronisme avec la porteuse. Cependant, la sortie Q du VCO peut aussi montrer un verrouillage avec déphasage de 180°. La sortie I est alors déphasée de ±90°. Cette deuxième possibilité de verrouillage montre le problème d'ambiguïté de phase lié à la boucle de costas.

Le système de communication formé d'un transmetteur OOK et son récepteur séparé par un canal AWGN, est montré en figure II.3.

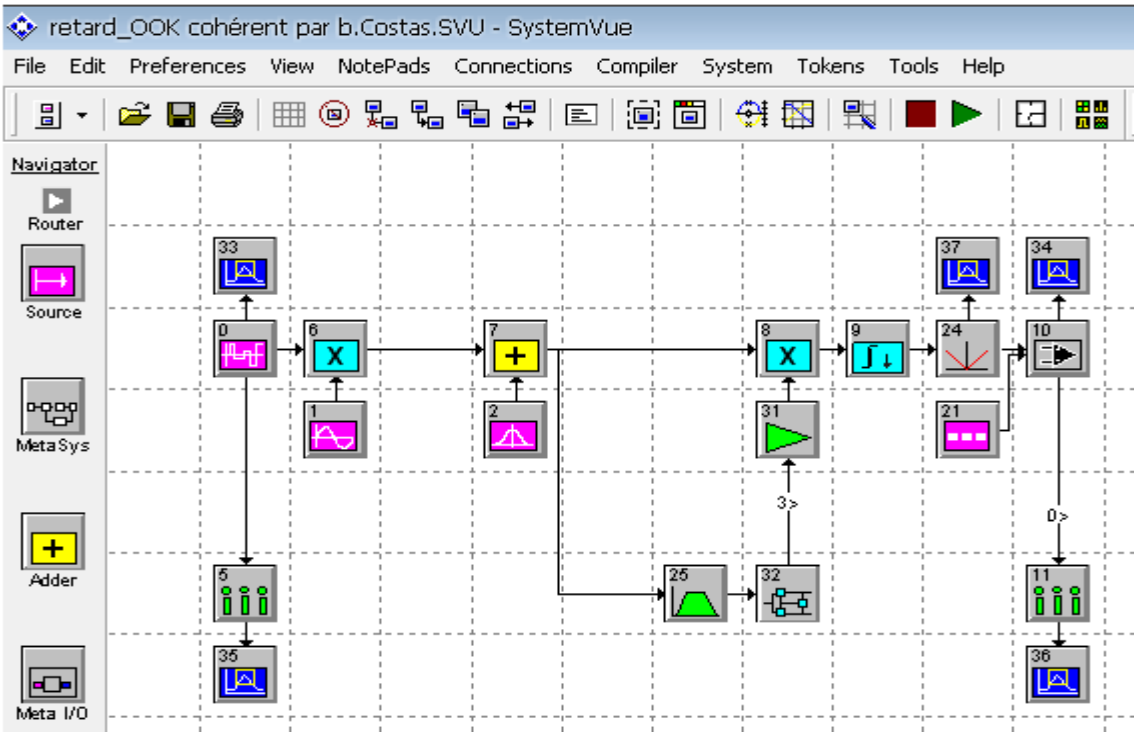


Figure II.3 Schéma fonctionnel d'un système OOK cohérent synchronisé par boucle de costas

Les données unipolaires aléatoires (m(t) = 0,1) au débit de 1kb/s modulent en amplitude, une porteuse $\omega_c = 2\pi.20kHz$ et d'amplitude A=5v.
Dans le récepteur, la boucle de costas est précédée d'un filtre passe-bande de type Butterworth du 4eme ordre, dont les fréquences de coupure sont 19,5kHz et 20,5kHz. La bande passante du filtre est choisi de manière à ne privilégier que la raie porteuse dans le traitement de la boucle. La détection cohérente est suivie d'un filtre I+D de temps d'intégration de 1ms, ne retenant que la BF du produit :

$$s(t) = m(t)\, A^2\cos^2(2\pi f_C t) = \frac{A^2\, m(t)}{2}\,(1+\cos(2\pi f_C t)) \qquad \text{(II.1)}$$

Soit $\frac{A^2\, m(t)}{2} = 0$ ou $12.5v$. Le seuil de décision du comparateur de sortie est donc $12.5/2 = 6.25v$.
Le filtre de boucle de costas choisi comme un PI : 1+58/S, tandis que le VCO est avec sensibilité de 19 Hz/v.

La figure II.4 montre une comparaison entre les données d'entrée et celles de sortie, tout en calculant leur intercorrélation. Cette dernière permet de tirer un retard de réception de 1ms.

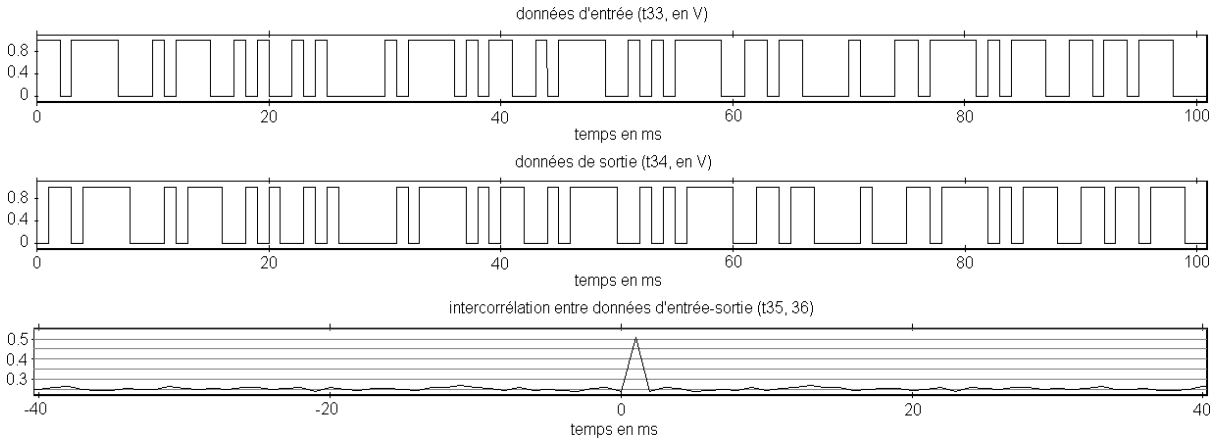


Figure II.4 comparaison entre les données transmises et les données reçues & retard des données reçues

II.2.2 Mesure du BER avec récupération de porteuse par boucle de costas :

Le système de la figure II.3 est repris avec un banc de mesure du BER, dont les données transmises à comparer avec celles reçues par le bloc BER, sont retardées de 1 ms, figure II.5.

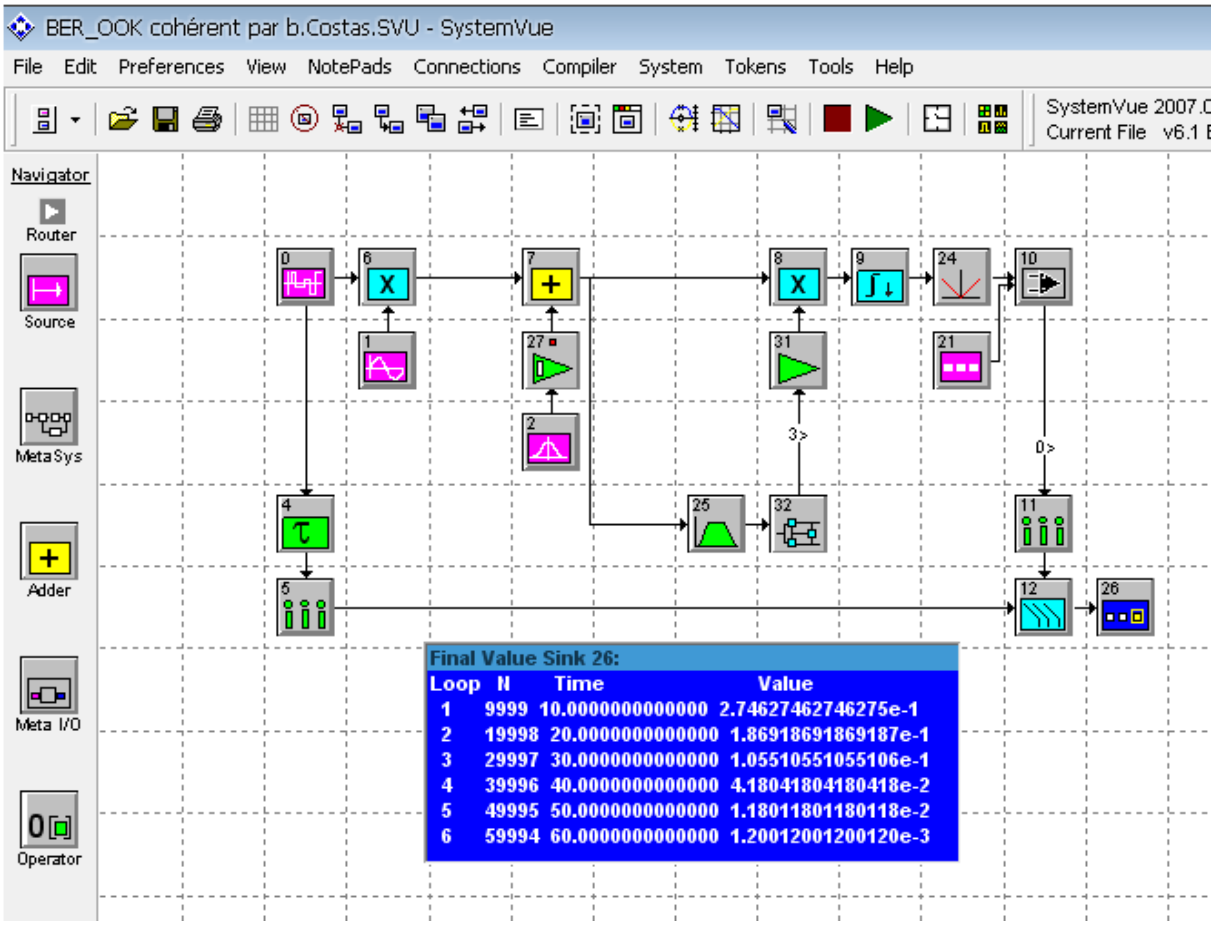


Figure II.5 Le BER du système de transmission OOK

On observe sur la figure II.6 deux courbes semblables ayant la même allure mais avec un écart qui diminue lorsque le SNR augmente. La courbe en noir est celle simulée, alors que celle en rouge est celle d'un système unipolaire optimal.
Pour atteindre le tracé théorique, voire le dépasser, on met en jeu un codage de canal ou code correcteur d'erreur.

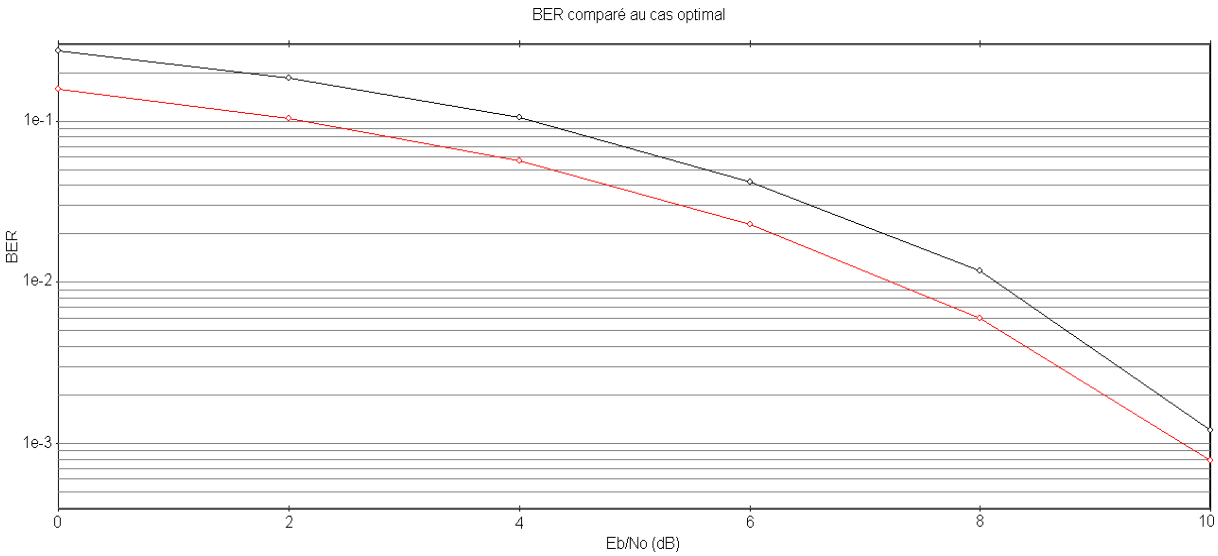


Figure II.6 Courbes de BER théorique et de BER simulé

II.2.3 Récupération de porteuse par PLL

Le transmetteur-récepteur du système OOK est donné en figure II.7. Un canal gaussien les sépare. La synchronisation de la porteuse de réception est assurée par une boucle PLL.

L'étage suivant est une PLL qui est constituée de trois éléments : un multiplieur, un bloc 'PID' et un bloc FM en guise de VCO.

Détection cohérente : l'icône multiplieur réalise le produit du signal OOK avec la porteuse régénérée localement. La régénération de la porteuse est obtenue par circuit PLL qui doit se verrouiller sur la porteuse discrète du signal OOK reçu.

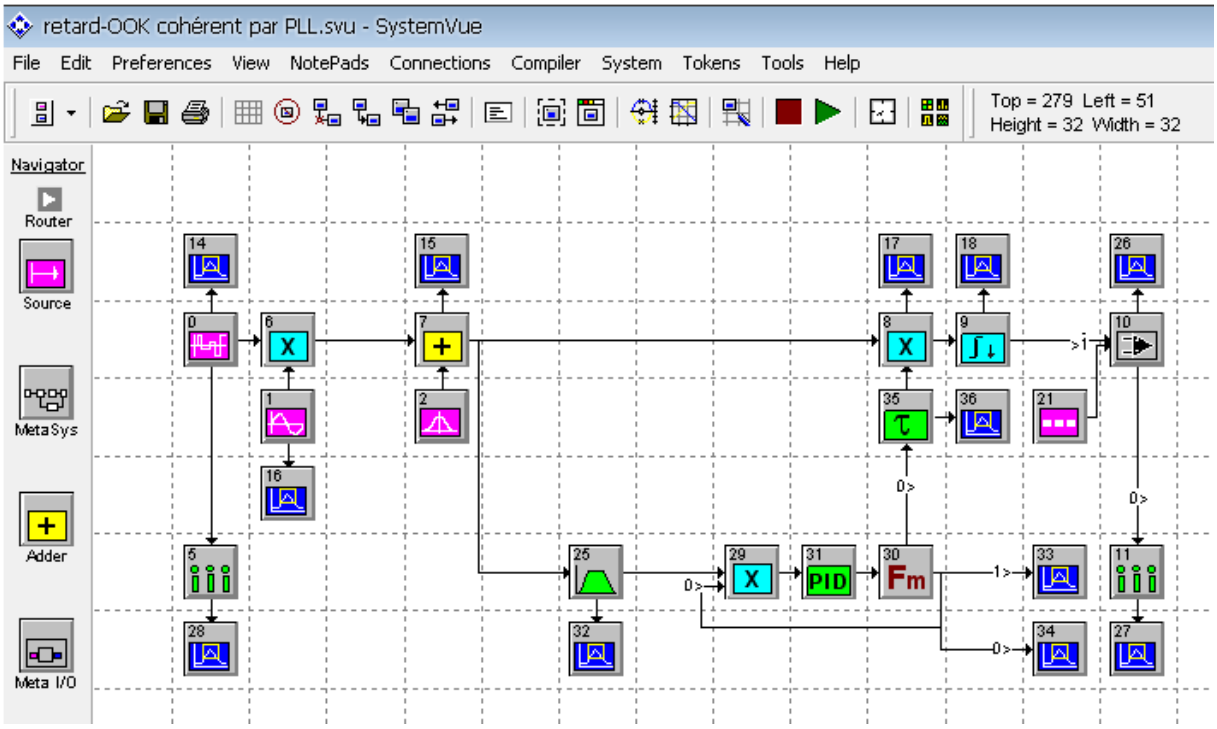


Figure II.7. Schéma fonctionnel d'un système OOK cohérent synchronisé par PLL

La densité spectrale de puissance (PSD) du signal OOK, présente une seule raie superposée au $sinc^2$ centrée, sur 20 kHz et deux passages par zéro (19 kHz, 21 kHz), limitant la bande passante pratique à 2khz, figure II.8.

Au niveau de la réception, Le filtre Butterworth du $4^{ème}$ ordre et de bande passante [19.5kHz à 20.5kHz] ne garde que l'onde sinusoïdale de la raie porteuse. La simulation de cet étage donne un signal filtré représenté sur la figure II.8.

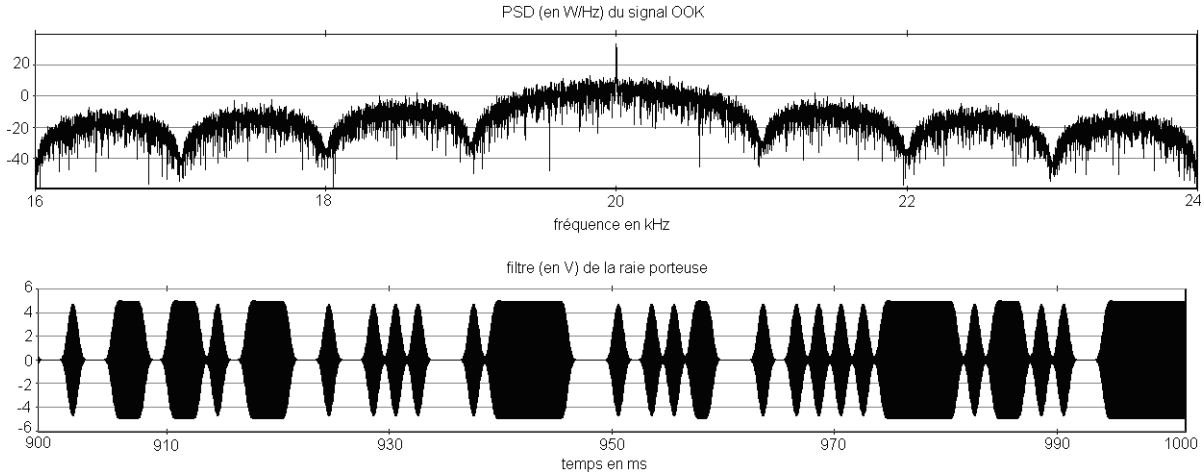


Figure II .8 PSD du signal OOK et le signal filtré de la raie porteuse

Les tracés de Bode du filtre passe-bande de la raie porteuse sont donnés en figure II.9, et sa réponse impulsionnelle en figure II.10. Celle-ci dure environ 5ms.

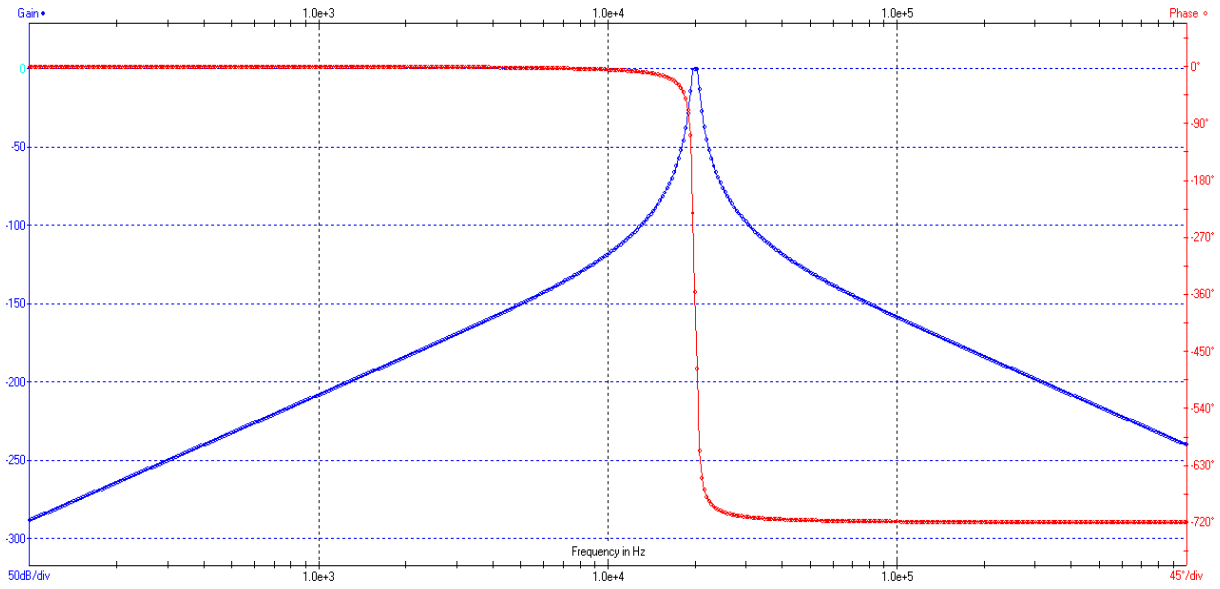


Figure II .9 tracés de Bode du filtre passe-bande de la porteuse

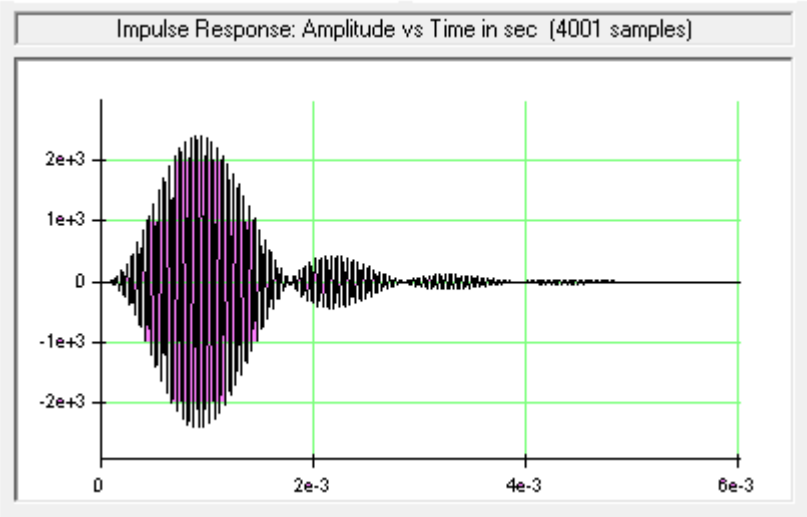


Figure II .10 La réponse impulsionnelle du filtre passe-bande (délai d'environ 5ms)

L'intercorrélation entre données transmises et celles reçues permet de mesurer un retard de réception de 1ms, figure II.11.
Le filtre I+D élimine le terme en cosinus qui varie au double de la fréquence de la porteuse, pour ne conserver que $\pm \frac{1}{2} A^2$ qui varie à la même fréquence que le signal binaire.

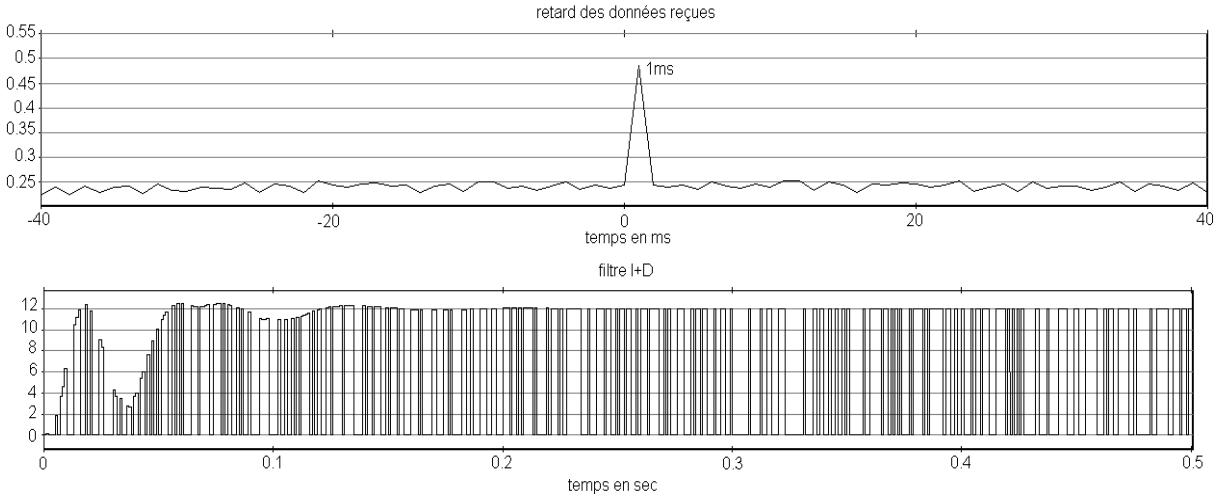


Figure II.11. Retard des données reçues & le signal de la sortie du filtre I+D

On remarque à partir de la figure II.11 qu'en régime permanent, l'amplitude du filtre I+D est de 12.5V, ce qui fixe le seuil du comparateur à 6.25V.

La PLL montre un temps de réponse d'environ 0.3s, qui est ajouté au temps de simulation fixé à 1s. Soit un temps de simulation total de 1.3sec. La porteuse en quadrature issue de la PLL est corrigée en la retardant de $-\pi/2$. Soit $t = ¼ \times (1 / 20kHz) = 1 / 80kHz = 12.5\mu s$.

II.2.4 Mesure du BER avec récupération de porteuse par PLL

Le circuit de la figure II.7 est muni d'un banc de mesure du BER en figure II.12, où la PLL est assemblée en un bloc métasystème.

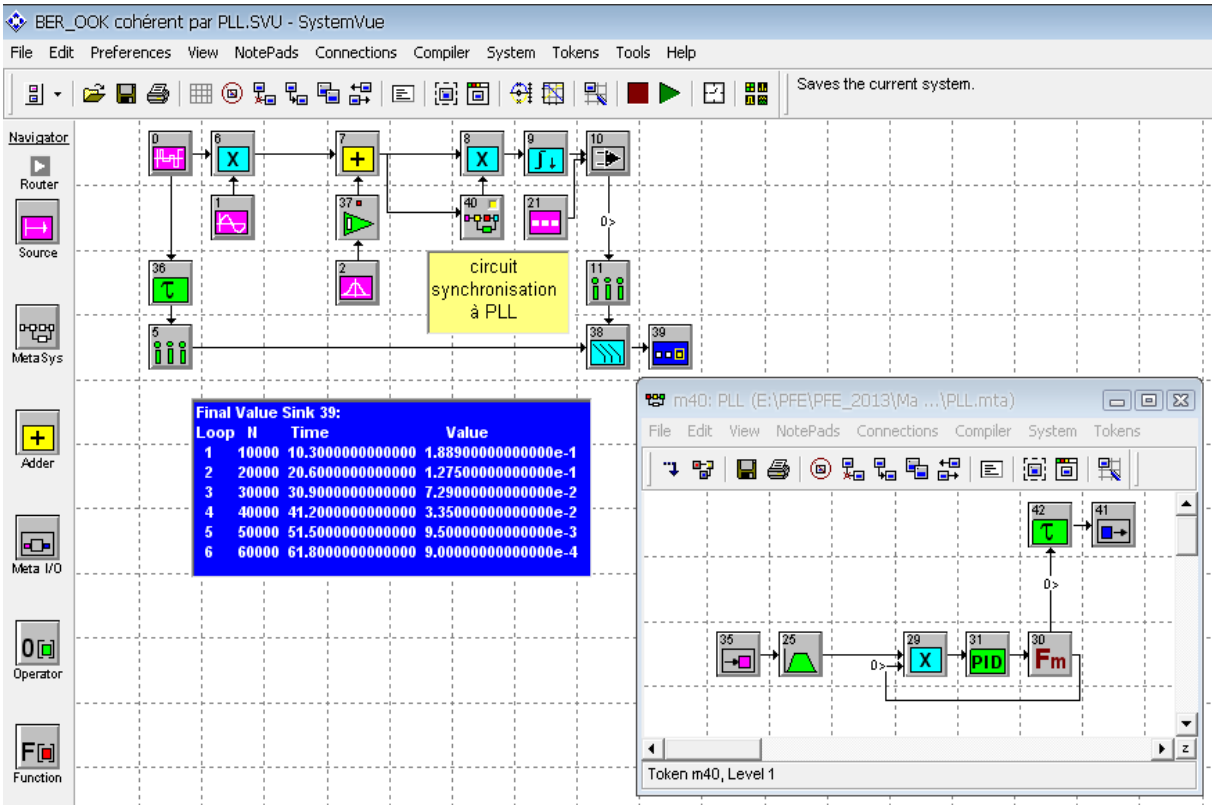


Figure II.12. Banc de mesure du BER avec circuit de synchronisation comme métasystème

La PLL ayant un temps de réponse de 0.3s, il faudra l'ajouter au temps de simulation minimal (ce dernier est fixé à 10s pour un $BER_{min} = 10^{-3}$). Soit un temps de simulation majoré à 10.5sec. De même, un temps mort pour le composant BER doit être égal au minimum à 0.3s + 1ms ≈ 0.3s, qu'on a majoré à 0.5s.

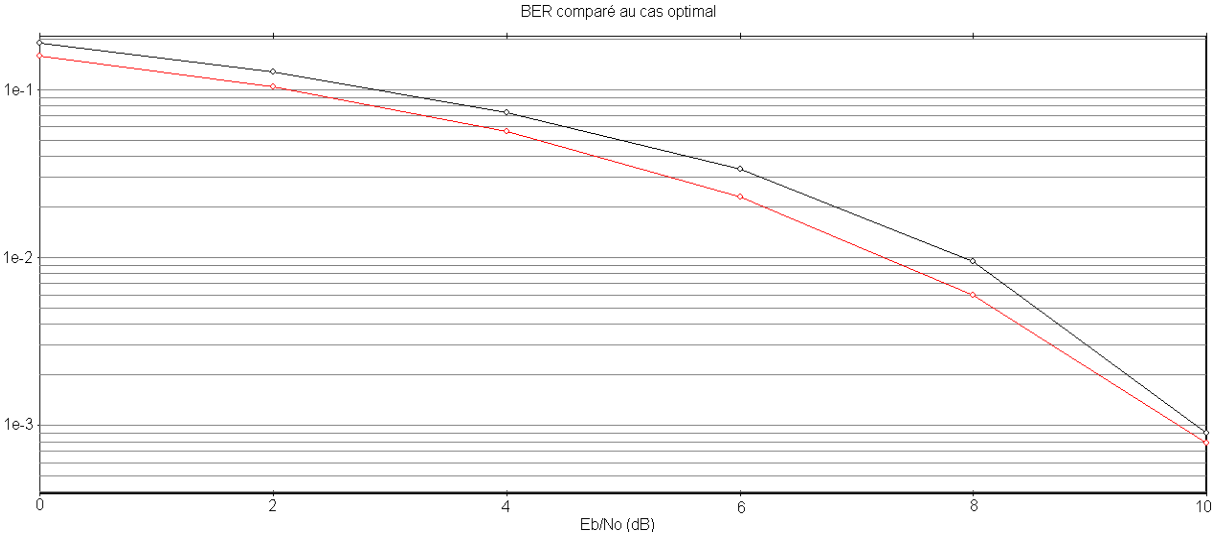


Figure II.13 Courbes de BER, théorique et simulée

D'après la comparaison entre la simulation du BER expérimental et celui théorique dans la figure II.13, on observe un plus faible écart entre les courbes que celui mesuré en figure II.6.

II.3 Synchronisation dans un système PRK (PSK optimal)

II.3.1 Récupération de porteuse et données par boucle de costas

La boucle de Costas est utilisée dans la récupération de la porteuse et également la récupération des données. Le schéma de la figure II.14 montre un système d'essai d'un système de communication basé sur la boucle de costas.

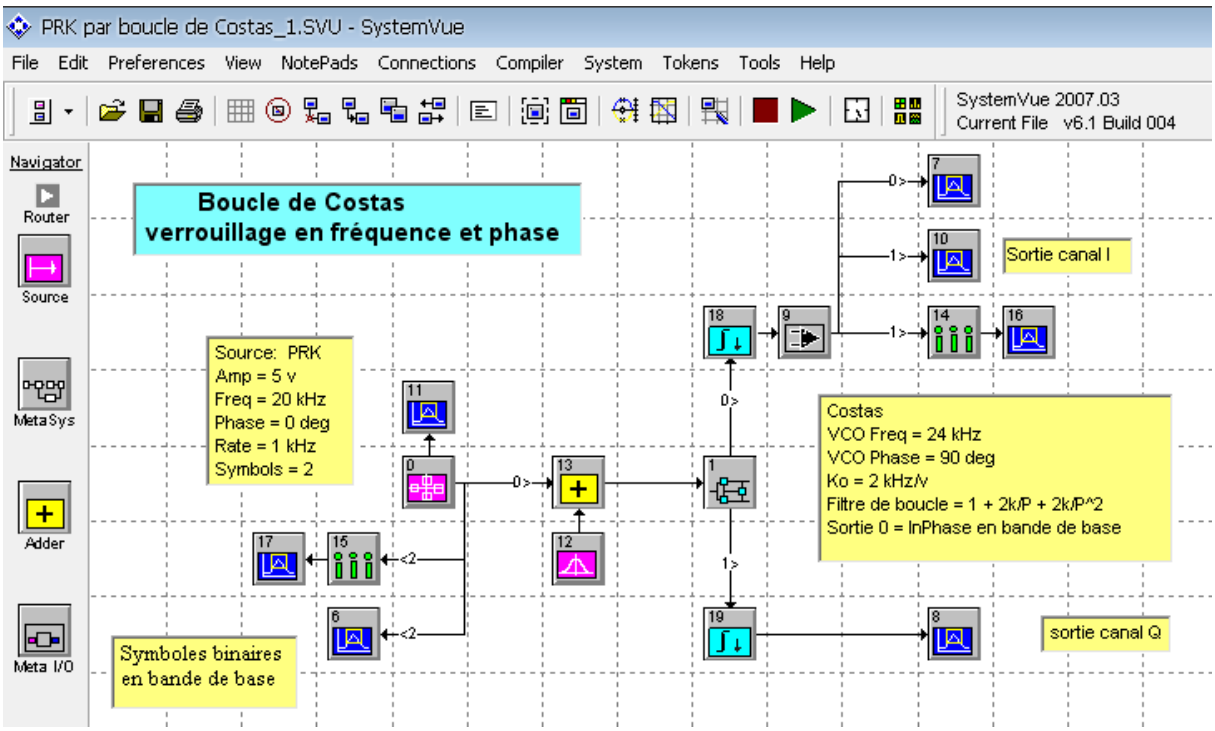


Figure II.14 Schéma fonctionnel d'un système PRK basé sur la boucle de costas

L'icône ''PSK'' de la bibliothèque source fournit à l'entrée un signal PRK d'amplitude *A*= 5 V, une fréquence porteuse de 20 kHz (assez basse pour réduire le temps de simulation), modulée par des données aléatoires au débit de 1kHz. Le signal PRK est appliqué à l'entrée de la boucle de Costas, après sa traversée du canal AWGN.

Configuration de l'horloge-système : La fréquence d'échantillonnage est prévue à 5 MHz, bien au-dessus de la fréquence de 20 KHz de la porteuse. Le temps d'arrêt de système est arbitrairement placé à 20 millisecondes.

Les paramètres de la boucle de Costas sont, une fréquence de VCO 24kHz (bien différente de la porteuse), une phase VCO de 90° (en quadrature avec celle de la porteuse), et un gain de modulation de 2 kHz/V. La transmittance du filtre de boucle est choisie être de la forme

$1+2000(1/s + 1/s^2)$.

L'icône de la boucle de Costas fournit les signaux de sortie en bande de base (démodulée) en phase (I) et en quadrature (Q).

La densité spectrale de puissance PSD du signal PRK s'obtient par translation du spectre en bande de base vers la fréquence porteuse, on remarque qu'il n'existe aucune raie, figure II.15.
La bande centrale est délimitée par les deux passages par zéro (19 kHz, 21 kHz), donc la bande passante est B= 21khz - 19khz = 2khz.

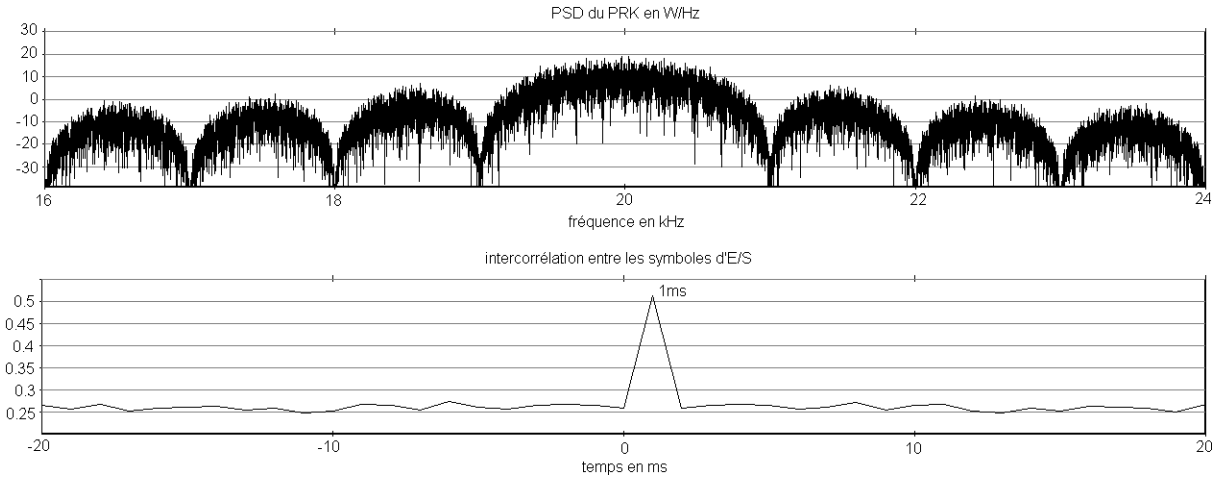


Figure II.15 La PSD du signal PRK & Retard des données reçues

L'intercorrélation entre les symboles d'entrée et de sortie du canal I complémentée affirme un retard de 1ms.

Les données transmises et celles reçues sur le canal I (deux sorties complémentés), sont comparés sur la figure II.16.
L'une des deux sorties du canal I est valable (I_2), et il se peut qu'au cours d'une seconde simulation, l'autre sortie (I_1) soit valable.

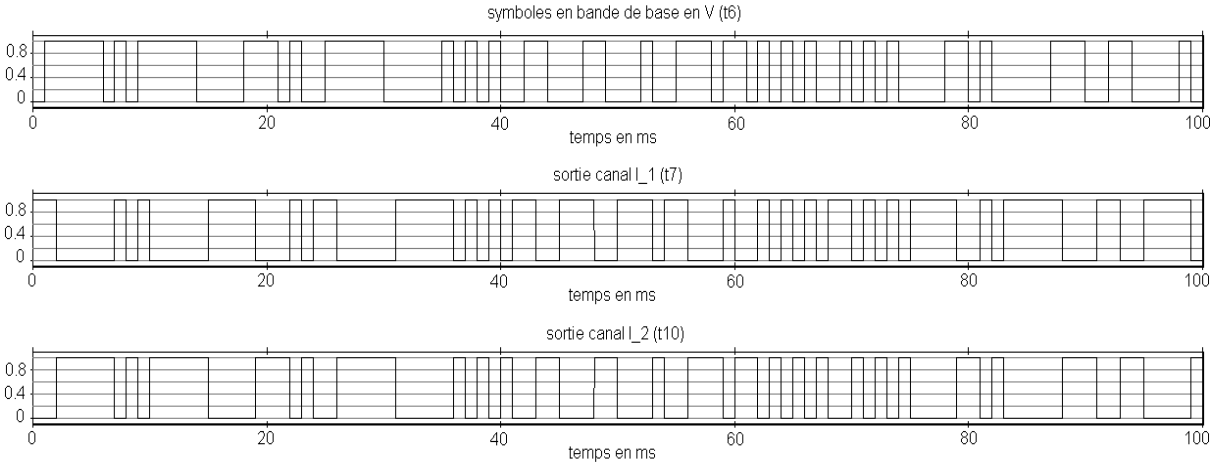


Figure II.16 Le signal d'entrée, les signaux de la sortie du canal I_1 et du canal I_2

II.3.2 Premier circuit d'annulation d'ambiguïté de phase

Le problème rencontré dans le circuit de la figure II.14 est l'ambiguïté de phase de π, cette dernière peut être annulée par l'addition d'un circuit annuleur d'ambigüité de phase, comme proposé dans la figure II.17.

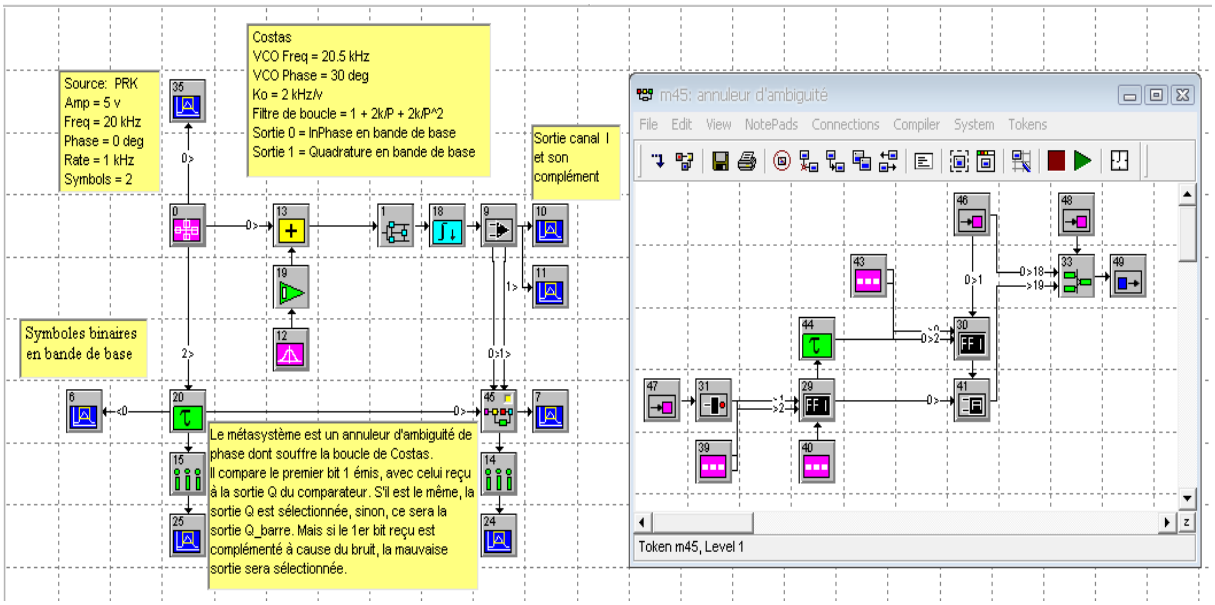


Figure II.17 boucle de costas munie d'un circuit annuleur d'ambiguïté de phase

Le circuit est simple puisqu'il compare le premier bit émis et retardé de 1ms, avec celui reçu à la sortie Q du comparateur. S'il est le même, la sortie Q est sélectionnée, sinon ce sera la sortie Q_barre. Mais si le 1er bit reçu est complémenté à cause du bruit, la mauvaise sortie sera sélectionnée. Le résultat de simulation de ce procédé est positif comme montré en figure II.18.

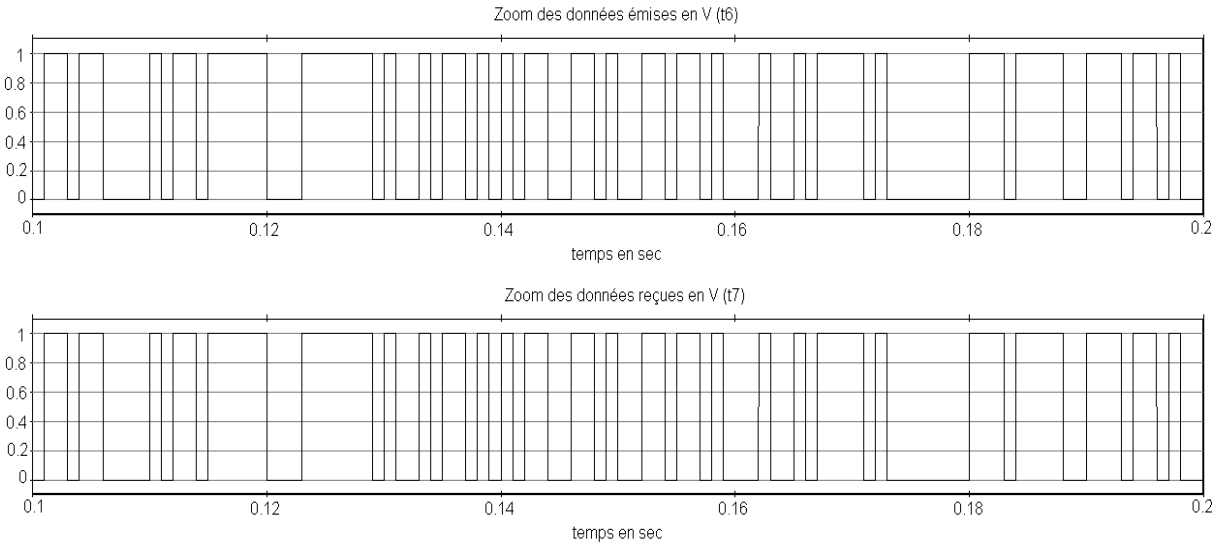


Figure II.18 Comparaison entre les données émises et reçues

D'après le zoom des deux signaux (données émises et reçues), on constate la superposition des données, ou d'une autre maniére, les deux signaux sont identiques (aucun retard).
Le problème du circuit annuleur d'ambiguïté de phase proposé est qu'il n'est pas pratique, car il suppose être connu à priori, les données émises à comparer à celles détectées. Donc on va proposer un 2ème circuit, figure II.19.

II.3.3 Deuxième circuit d'annulation d'ambiguïté de phase

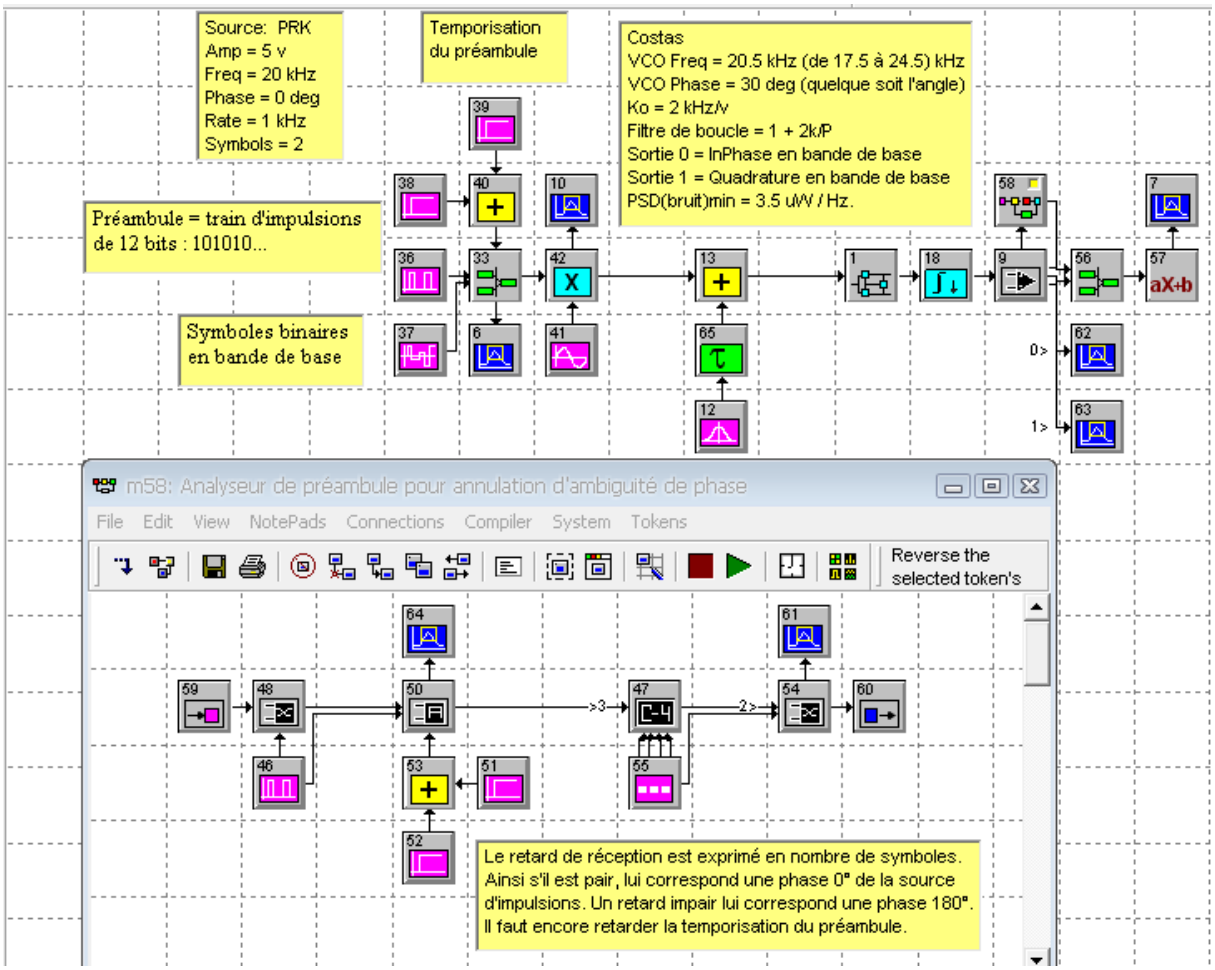


Figure II.19 boucle de costas renforcée par un 2eme circuit d'annulation d'ambigüité de phase

Le préambule est contrôlé par deux icônes de temporisation du préambule, avec l'un indiquant le début et l'autre la fin. Le préambule est un signal de six impulsions d'amplitude A = ±1v et de fréquence 500Hz, de manière à former 12 bits alternés (1010….) au débit de 1 kb/s. Après le préambule, les données aléatoires sont sélectionnées par le bloc n°33 pour moduler la porteuse en PRK.

Le signal ''PRK'' fourni est un signal d'amplitude 5 V, de fréquence porteuse 20 kHz, et de phase 0°.

Au niveau du canal gaussien, on ajoute un bruit gaussien retardé de 13 ms (afin de ne pas bruiter le préambule dans un premier essai). Le signal de sortie est un signal PRK bruité et dont la PSD du bruit est fixée à 3.5 µw/Hz.
En réception, le filtre de la boucle de Costas est ajusté dans sa transmittance, comme 1+2000/s. Après le filtre optimal, le circuit de décision présente sa sortie Q pour traitement avec le circuit d'annulation d'ambigüité de phase, mis en bloc Métasystème.

Dans le cas sans bruit, la porte $\overline{XOR}$ d'entrée du métasystème compare les six tops d'horloge

locale, de fréquence 500Hz, avec le préambule reçu. Si cela coïncide, les 6 tops d'horloge sont récupérés à la sortie de la porte AND, figure II.20, sinon un zéro est fourni. Dans le cas de présence de bruit, les tops d'horloge validés peuvent ne pas être au nombre total six. C'est pour cela qu'un compteur hexadécimal (à 4 sorties binaires) alimenté par la sortie du pote AND, fourni une mesure de probabilité de la bonne acquisition du préambule. Ceci est accompli par la $3^{éme}$ sortie binaire du compteur (au poids 2^2), qui est mise à 1 lorsque le compte dépasse 3 tops d'horloge. Dans ce cas, la sortie Q du comparateur est sélectionnée par le Switch de sortie, figure II.20, sinon la sortie Q_barre est sélectionnée.
L'icône ''poly'' permet de convertir les données unipolaires de sortie en polaires comme celles transmises.

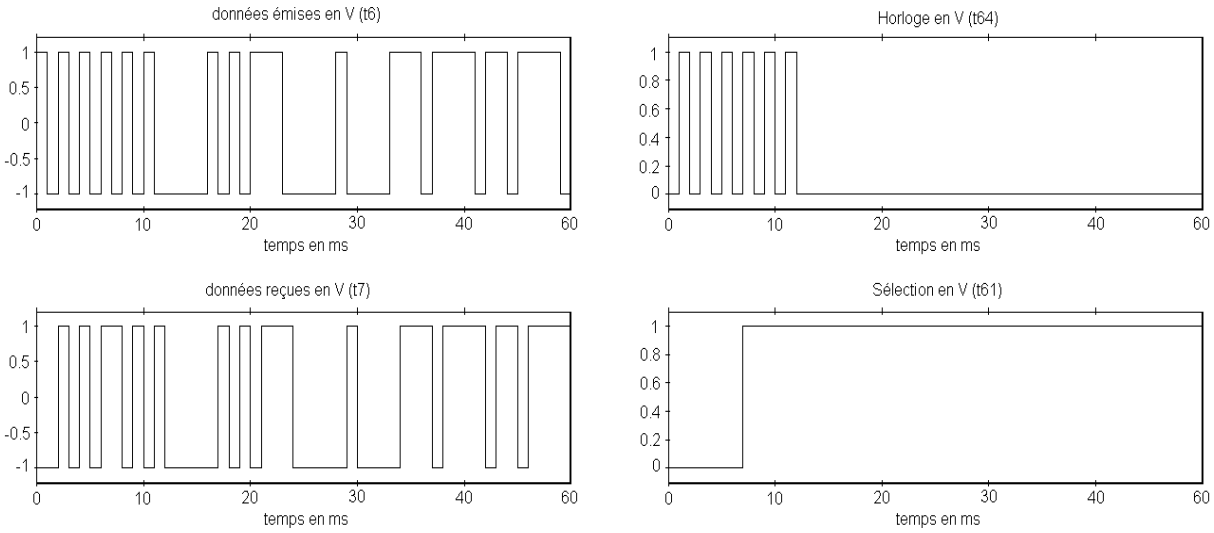


Figure II.20 données d'entrée et de sortie, horloge de réception validée par le préambule, et signal de sélection de la sortie finale

Une fois l'efficacité du système de la figure II.19 vérifiée, le système est amélioré par l'addition d'un filtre passe-bande de réception, figure II.21.

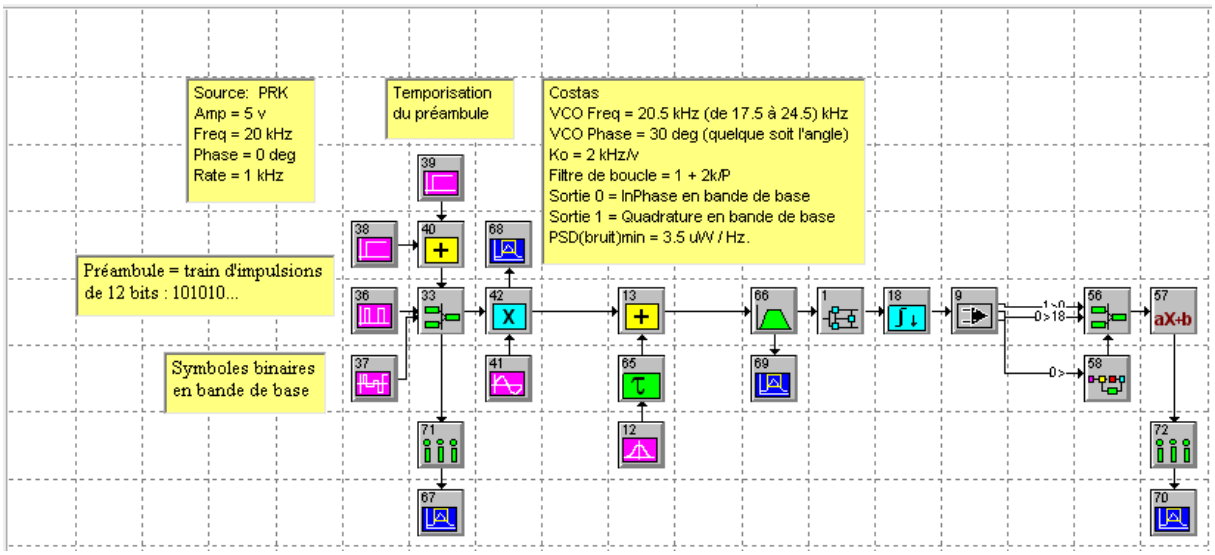


Figure II.21 Amélioration du système par l'addition d'un filtre de réception

Le signal filtré à l'aide du filtre passe-bande de type Butterworth du 9^{éme} ordre et de fréquences de coupure 19.5kHz et 20.5kHz, est présenté en figure II.22.

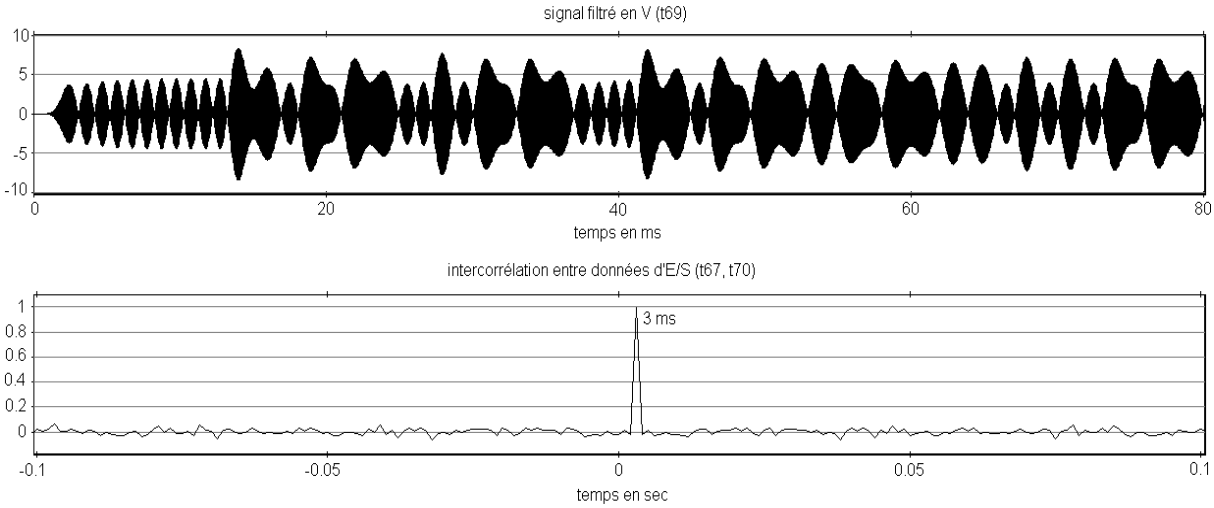


Figure II.22 Signal filtré et Retard mesuré par intercorrélation entre données transmises et données reçues

D'après l'intercorrélation entre les données d'entrée et de sortie, figure II.22, on trouve un retard de 3ms.

II.3.4 Mesure du BER du système muni de la boucle de costas

Le schéma de la figure II.23 montre la simulation de la mesure de la probabilité d'erreur binaire (BER) pour le système PRK de la figure II.21. Le retard de réception de 3ms est pris en compte.

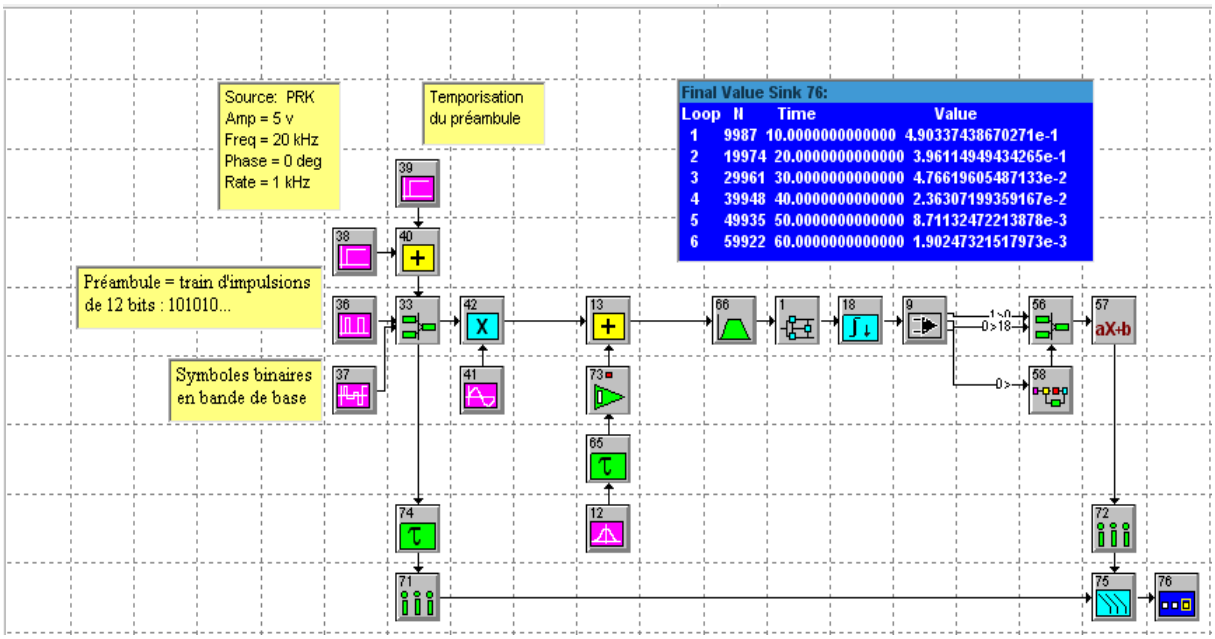


Figure II.23 banc de mesure du BER du système PRK

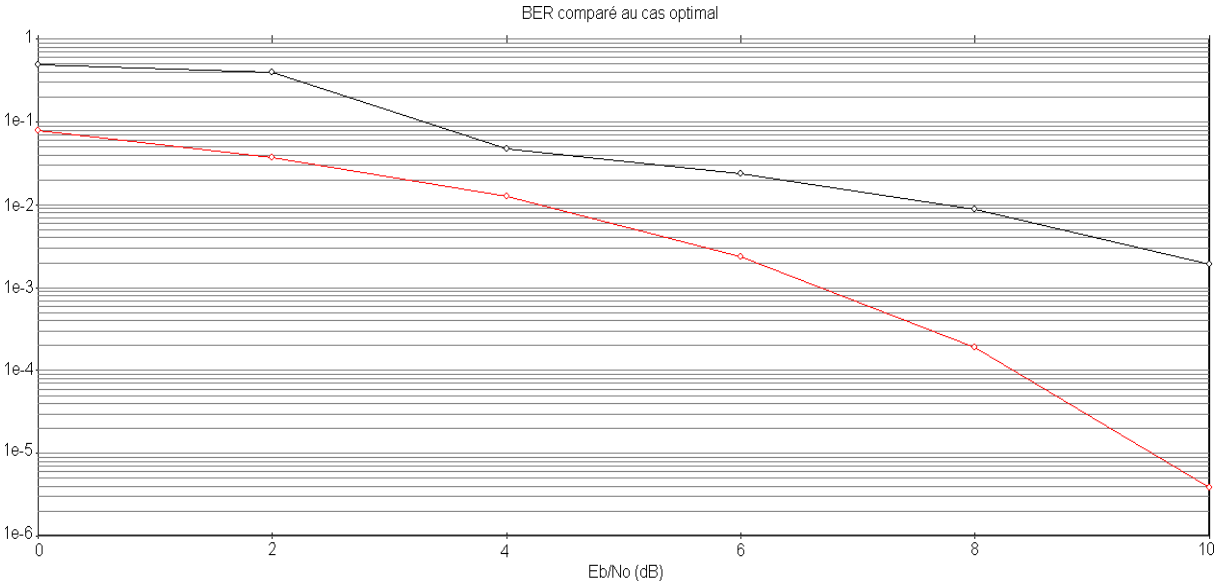


Figure II.24 Courbes comparés du BER théorique et du BER simulé

D'après la comparaison entre le BER expérimental et le BER théorique optimal, figure II.24, les deux courbes sont assez éloignées l'une de l'autre. Nous essaierons d'avoir un meilleur résultat avec un nouveau récepteur PRK, muni d'un autre type de boucle de synchronisation.

II.3.5 Récupération de porteuse par quadratique associée à une PLL

Dans le circuit de synchronisation est utilisée maintenant une boucle quadratique suivie d'une boucle PLL, figure II.25.

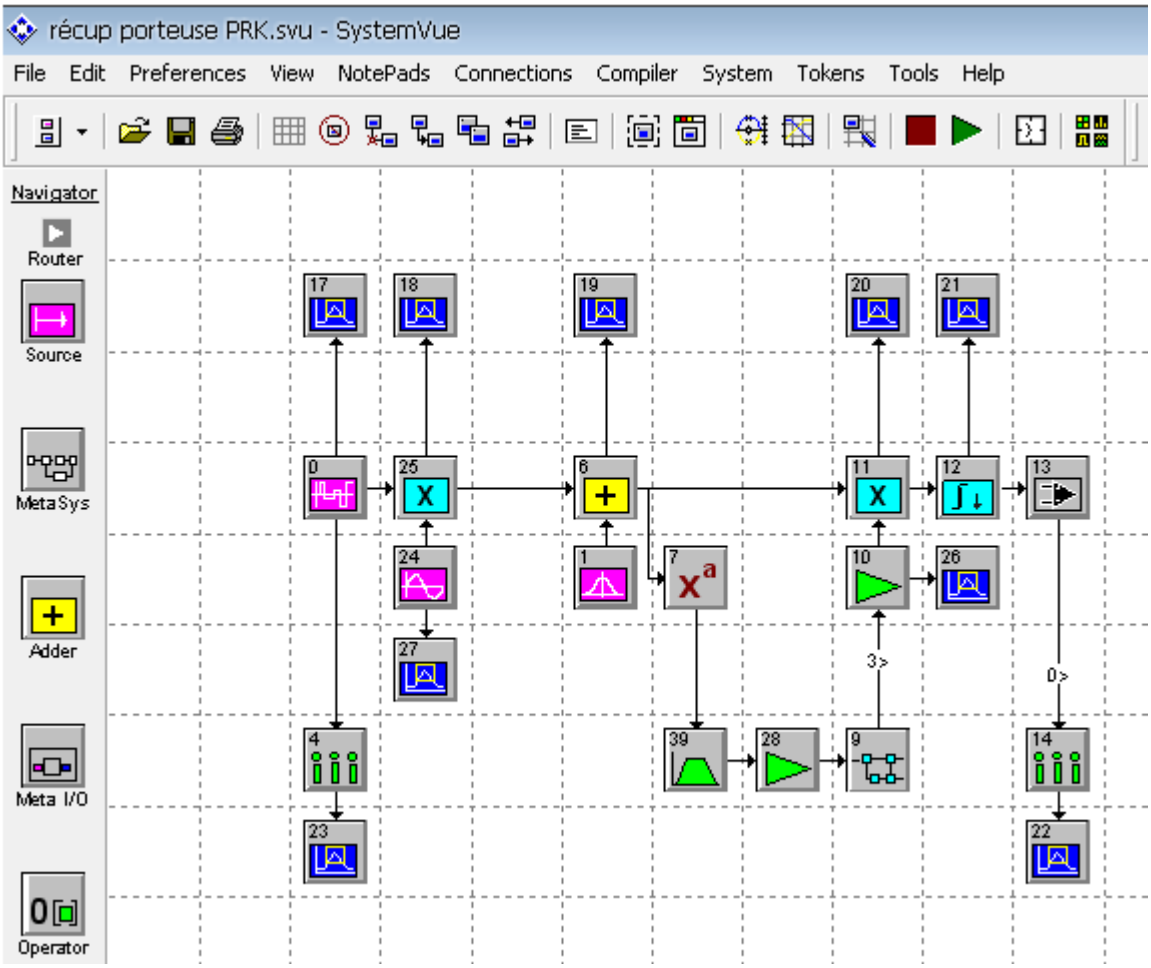


Figure II.25 Schéma fonctionnel d'un système PRK synchronisé par PLL & boucle quadratique

La modulation PRK est toujours obtenue en multipliant le signal d'information polaire unitaire par la porteuse d'amplitude 5v et de fréquence 20khz.

Après le canal gaussien, la démodulation cohérente ne peut s'effectuer qu'après la restitution de la porteuse. Cette opération peut être effectuée en doublant d'abord la fréquence du signal reçu, en utilisant l'icône ''power'' avec l'exposant 2. Ceci s'explique par le fait que le signal PRK de la forme ± cos $(2\pi f_0 t)$, est multiplié par lui-même pour aboutir à son carré. La valeur du carré est toujours la même, peu importe que le signal PRK soit positif ou négatif.

En plus d'une composante continue, le signal du carré comporte une composante au double de la fréquence porteuse, qui sera traquée par une PLL.

La PLL permet de se verrouiller sur le double de la porteuse. La fréquence du signal de sortie du VCO de la PLL est divisée par un facteur de nombre entier $N = 2$ pour fournir un signal de référence de 20 kHz qui est la porteuse synchrone régénérée, figure II.26.

L'intercorrélation entre données d'entrée et de sortie, permet la mesure d'un retard de 1ms.

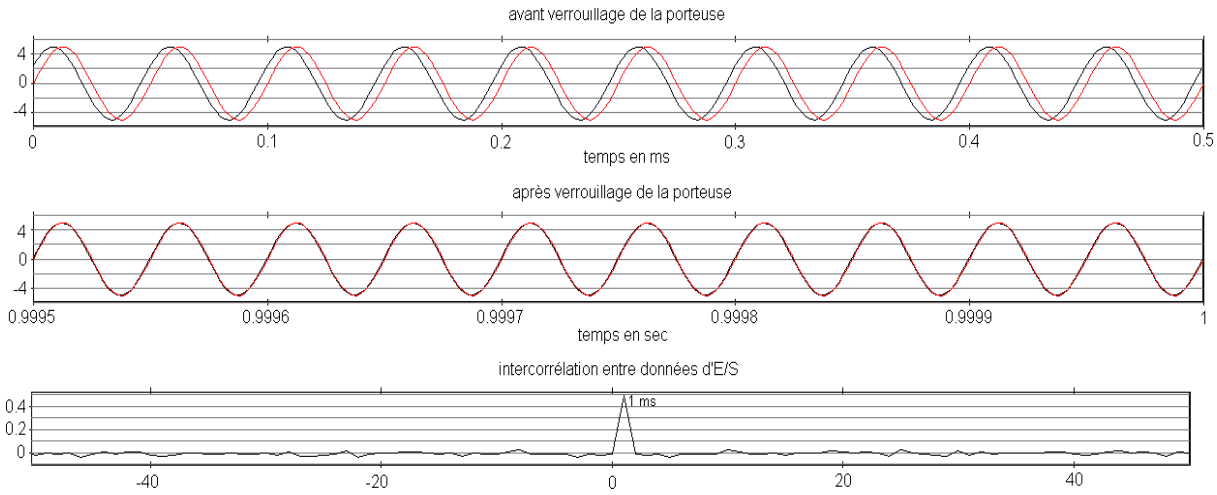


Figure II.26 Porteuse initiale et locale avant et après verrouillage, et mesure du retard de réception

II.3.6 Détection cohérente de données du système PRK synchronisé par boucle quadratique et PLL

Le même système de la figure II.25 est repris dans la figure II.27 mais avec une nouvelle version du modulateur PRK. L'icône PM est configuré avec la porteuse 20kHz associée au gain de modulation π/v, de manière qu'à l'arrivée d'un bit '0' (d'amplitude 0v) la phase et nulle, et à l'arrivée du bit '1' (d'amplitude 1v), et la phase devient π.
La synchronisation de porteuse est toujours assurée par la boucle quadratique (élément quadratique + filtre passe-bande) suivie de la boucle PLL.

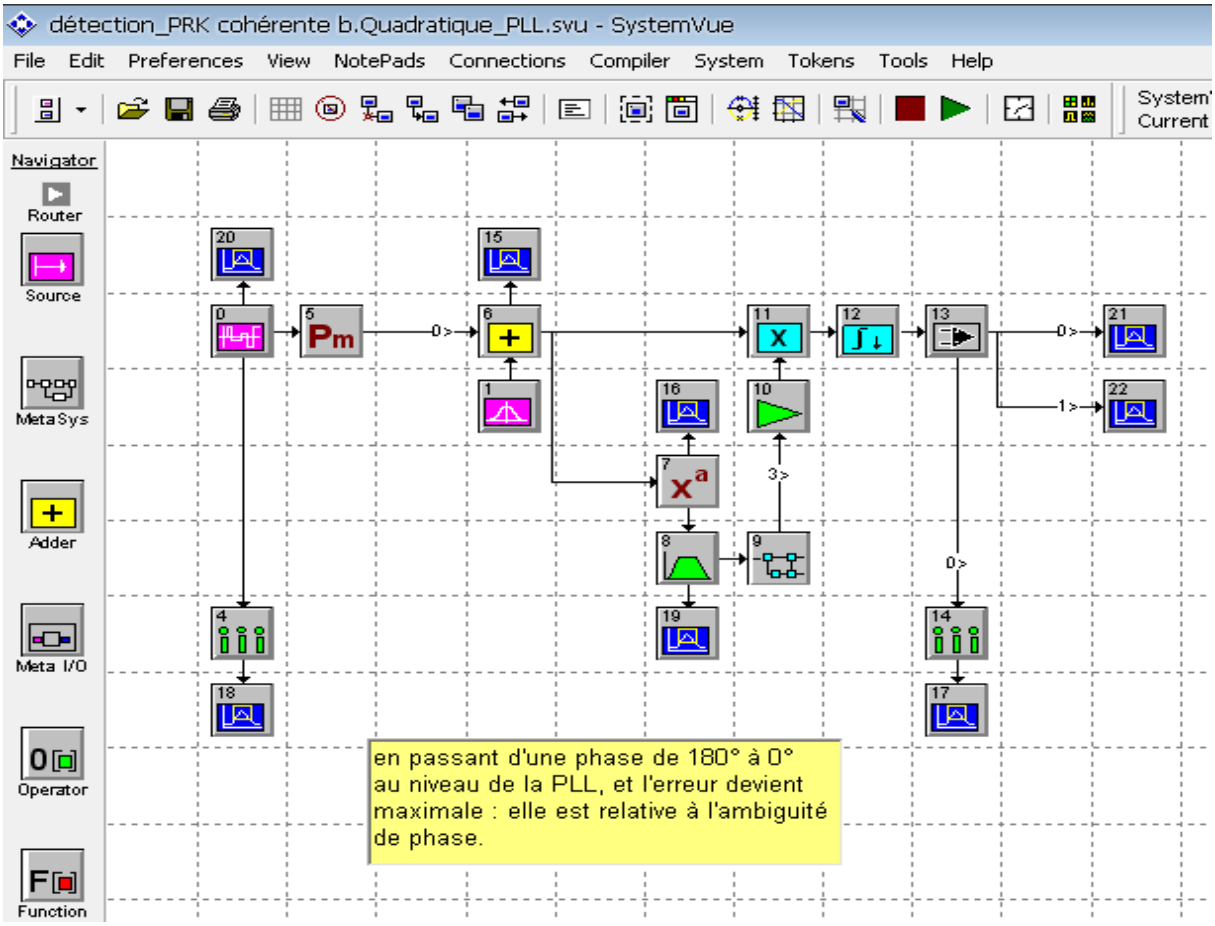


Figure II.27 Détection cohérente par PLL & boucle quadratique

La PSD du signal PRK obtenue par translation du spectre en bande de base vers la fréquence porteuse, est comparée à cette de son carré en figure II.28. On remarque qu'il n'existe aucune raie dans la PSD du signal PRK, mais on trouve une raie utile située à 40kHz dans la PSD du carré de la PRK.

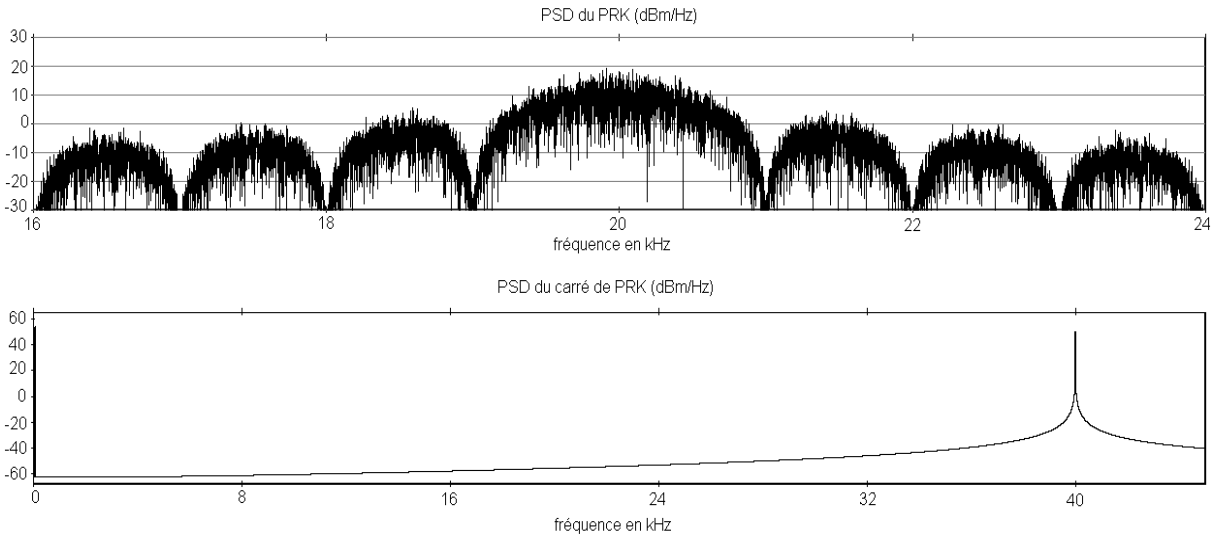


Figure II.28 La PSD du signal PRK et celle de son carré

Le filtre Butterworth du 9ème ordre, de bande passante [39,8kHz à 40.2kHz] élimine la composante continue pour ne garder que l'onde sinusoïdale du double de la raie porteuse, figure II.29.

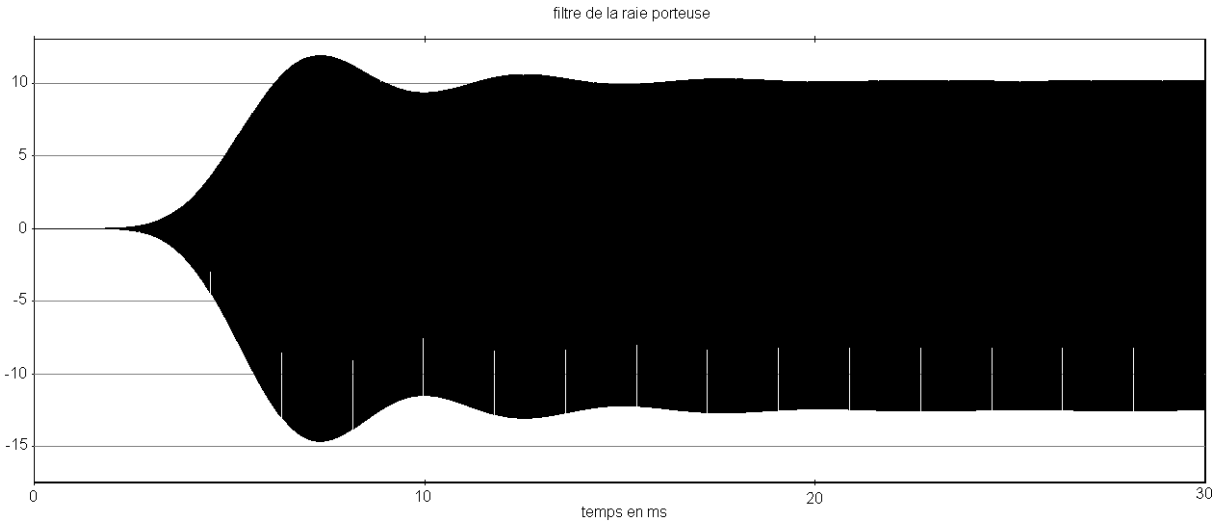


Figure II.29 Signal filtré par le filtre passe bande

Après détection cohérente, figure II.27, le filtre ''I+D'' élimine le terme en cosinus variant au double de la fréquence porteuse, pour ne conserver que $\pm \frac{1}{2} A^2$ qui varie à la même fréquence que le signal binaire transmis. Un comparateur permet la mise en forme du signal de sortie.
Les données transmises et celles reçues sont comparées dans la figure II.30.

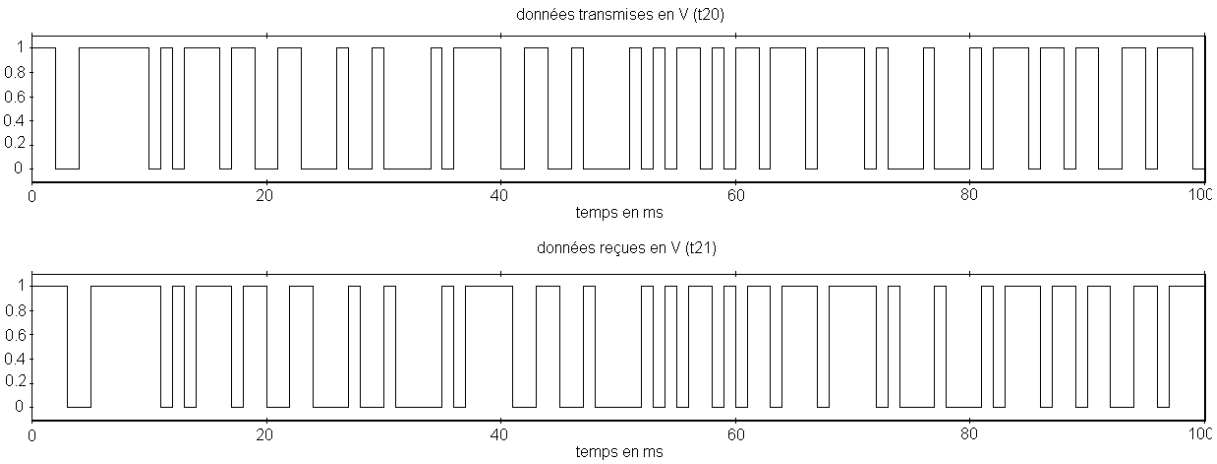


Figure II.30 comparaison entre les données transmises et les données reçues

II.3.7 Mesure du BER du système muni de la boucle quadratique et PLL

Le système de la figure II.27 est muni d'un banc de mesure du BER dans le schéma de la figure II.31. Le retard de réception mesuré en figure II.26 est pris en compte dans la mesure du BER.

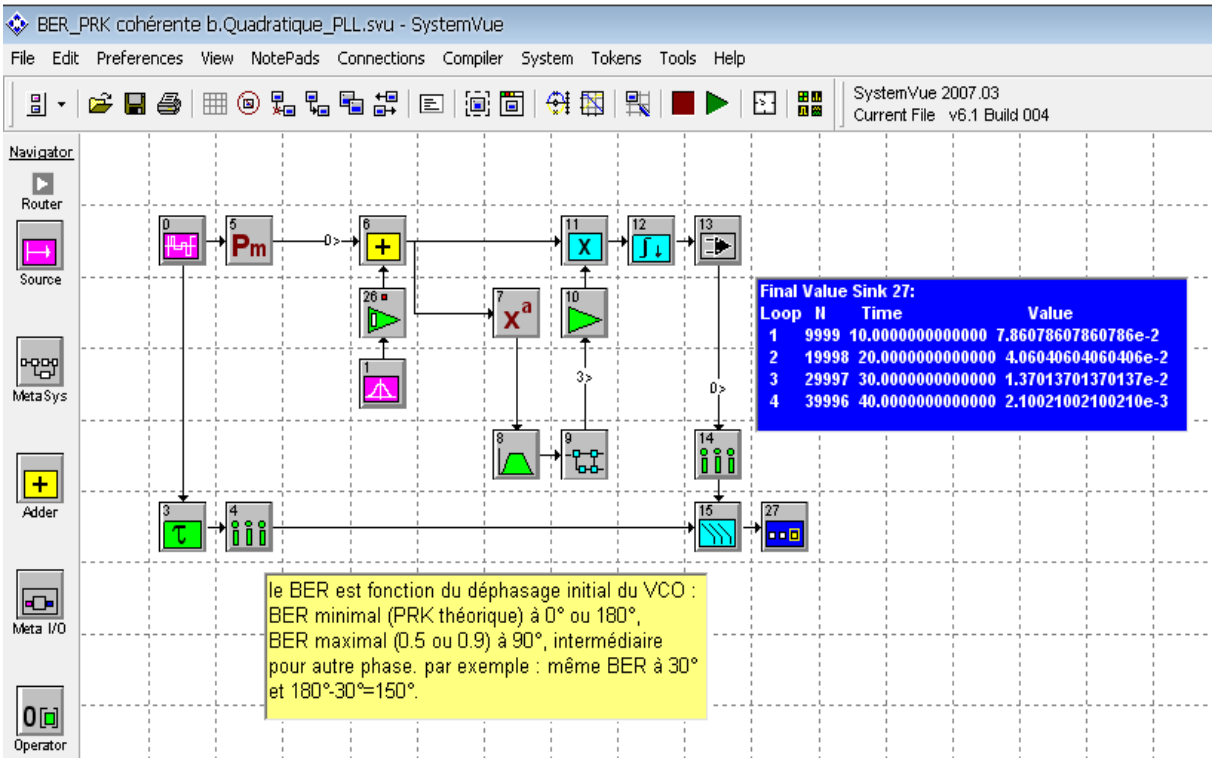


Figure II.31 Le système de mesure du BER

Le BER expérimental et le BER théorique du cas polaire optimal, sont quasiment superposés en figure II.32. La détection synchrone est bien réussie dans ce cas.

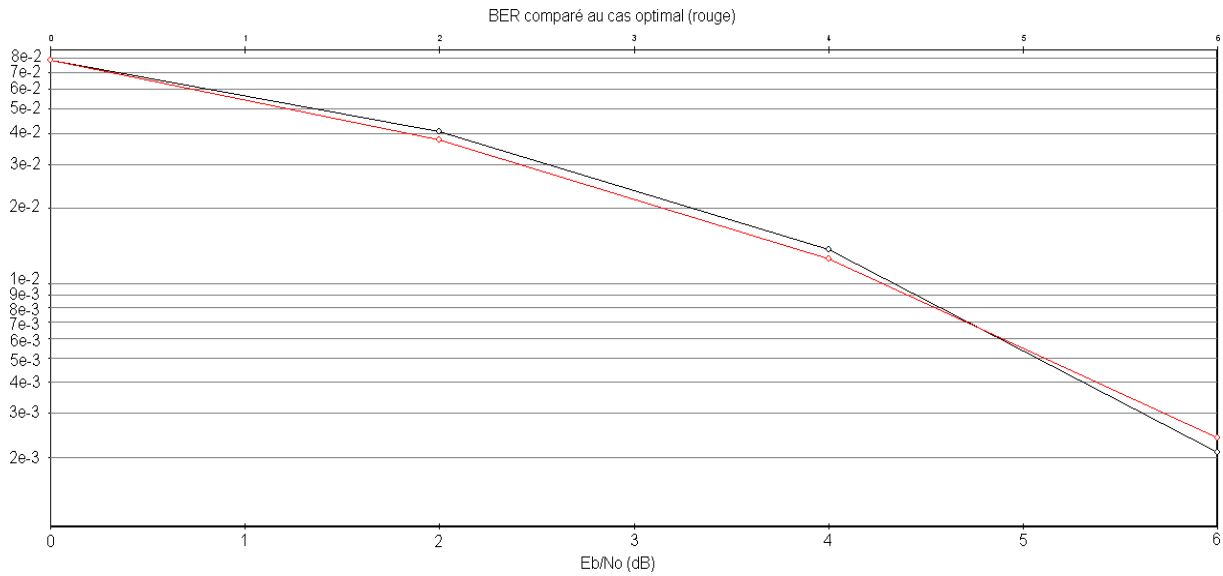


Figure II.32 Courbes comparée du BER théorique et du BER simulé

II.4 Conclusion

La boucle PLL est utilisée efficacement pour récupérer la porteuse dans les systèmes dont la modulation nécessite l'existence de cette dernière. Dans le cas des systèmes à porteuse supprimée (PRK par exemple), on doit ajouter un élément quadratique qui va générer la porteuse et donc assurer sa récupération.

La boucle de Costas est utilisée pour la récupération de la porteuse (OOK), mais également dans la récupération des données dans le cas du système PRK.

La mesure de la probabilité d'erreur de bit (BER) pour les signaux étudiés, a montré que les écarts entre les résultats expérimentaux et théoriques ne sont pas importants, sinon nuls.

Chapitre III :

Synchronisation de symbole

III.1 Introduction :

Dans les systèmes de communication numérique, la sortie du démodulateur doit être périodiquement échantillonnée, une fois par intervalle de symbole, dans le but de retrouver l'information transmise. Comme le délai de propagation du transmetteur vers le récepteur est généralement inconnu, l'horloge de rythme des symboles doit être dérivée à partir du signal reçu afin d'échantillonner en synchronisme la sortie du démodulateur.

Les synchroniseurs de symbole peuvent être classifiés en deux groupes de base. Le premier groupe consiste en des synchroniseurs à boucles ouvertes. Ces circuits font extraire une réplique de l'horloge de transmission des données, directement à partir d'opérations sur le flux de données d'arrivée. Le second groupe comprend des synchroniseurs en boucle fermée, qui tentent de verrouiller une horloge locale de donnée au signal d'arrivée en utilisant des mesures comparatives sur les signaux, d'arrivée et local. Les méthodes en boucle fermée sont plus précises mais sont plus coûteuses et plus complexes.

III.2 Synchronisation de symbole en boucle ouverte

Les synchroniseurs en boucle ouverte sont aussi appelés des synchroniseurs à filtres non-linéaires. Cette classe de synchroniseurs produit une composante de fréquence au débit de symbole, en opérant sur la séquence en bande de base d'arrivée, une combinaison de filtrage et traitement non-linéaire. La composante de fréquence désirée, au débit de symboles, est isolée avec un filtre passe-bande et mise en forme avec un amplificateur à gain élevé saturant. Cette mise en forme récupère l'onde élevée au carré du signal d'horloge de données, [3] [1].

Trois exemples de synchroniseurs de bits en boucle ouverte, sont présentés dans la figure III.1.

- **Premier cas**

Dans le premier exemple, de la figure III.1.a, le signal d'entrée s(t) est filtré avec un filtre adapté. La sortie de ce filtre est la fonction d'autocorrélation de la forme du signal d'entrée. Pour la forme rectangulaire par exemple, la sortie sera la forme triangulaire isocèle familière.
La séquence de bits de la forme d'onde d'autocorrélation est ensuite redressée par un élément non linéaire à loi quadratique. La forme d'onde résultante des pics d'amplitudes positives qui correspondent, aux transitions des symboles d'entrée. Cette séquence de traitement est illustrée dans la figure III.2. La forme d'onde de sortie de l'élément quadratique contient une composante de Fourier à la fréquence fondamentale de l'horloge des données, qui est isolée par le filtre passe-bande est mise en forme par l'ampli de saturation à fonction de transfert.

$$\text{Sgn } x=\begin{cases} 1 & pour\ x > 0 \\ -1 & ailleurs \end{cases}$$

- **Deuxième cas**

Le deuxième exemple sur la figure III.1.b, fournit une composante de Fourier à la fréquence d'horloge de données au moyen d'un retard et d'une multiplication. Le retard est une demi-période de bit, qui est la meilleure valeur car elle fournit constitue la plus forte composante de Fourier. La forme d'onde m (t) sera toujours positive dans la seconde moitié de chaque période de bit, mais sera négative durant la première moitié de bit s'il y a eu un changement d'état dans le flux de bits entrant, s (t). Cela produit un signal carré avec raies spectrales à la cadence de données en plus de toutes les harmoniques.

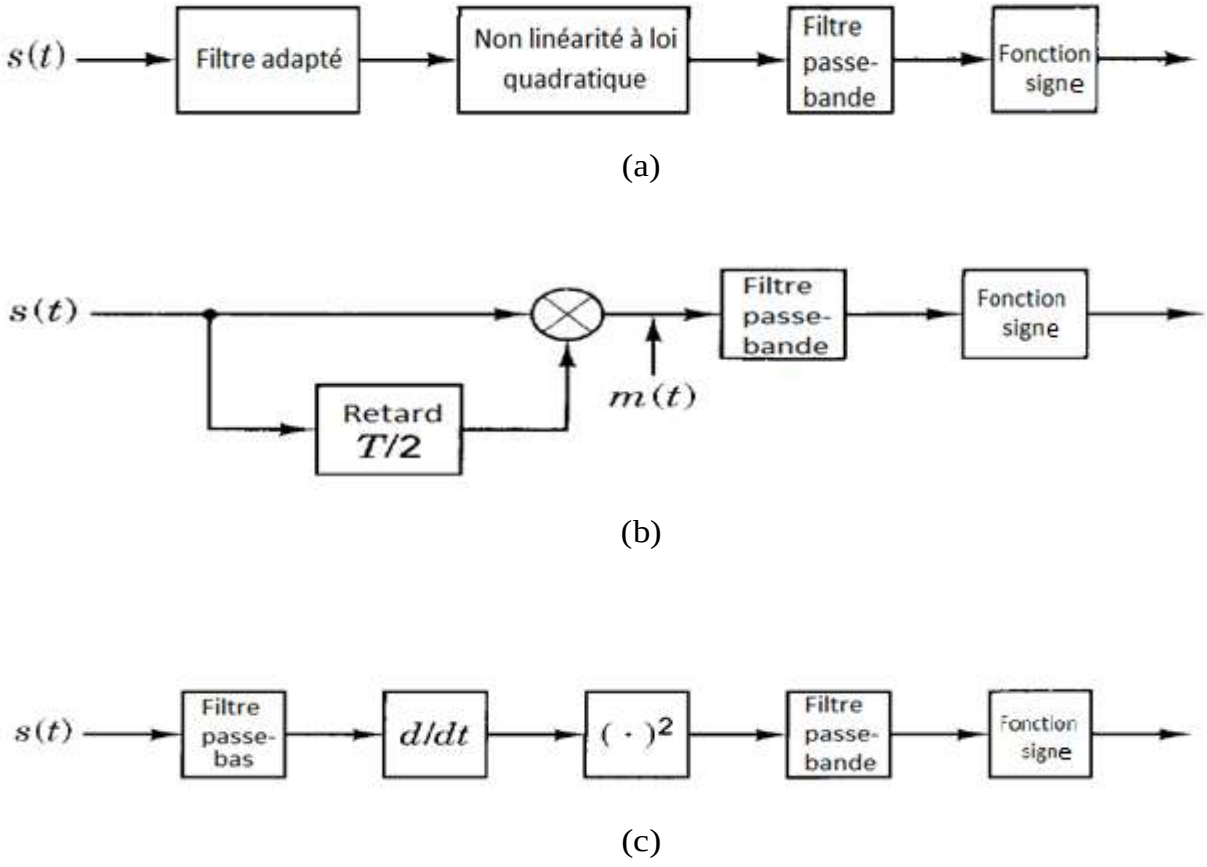


Figure III.1 Trois types de synchronisation en boucle ouverte

Comme au paravent, la composante spectrale appropriée peut être isolée avec un filtre passe-bande puis mise en forme.

- **Troisième cas**

La figure III.1.c utilise des opérations de différenciation et de redressement par l'utilisation d'une loi quadratique.
Pour une entrée carrée, le différentiateur produit des pointes positives ou négatives, à toutes les transitions de symbole. Une fois redressée, la succession des pics positifs résultants auront une composante de Fourier au débit de symbole. Un problème potentiel avec ce système, est que les différentiateurs sont généralement très sensibles au bruit à large bande. Ceci nécessite le filtre passe-bas qui précède le différentiateur dans la figure III.2. Le filtre passe-bas cependant, allonge les temps de montée et de descente des pics en sortie du différentiateur.

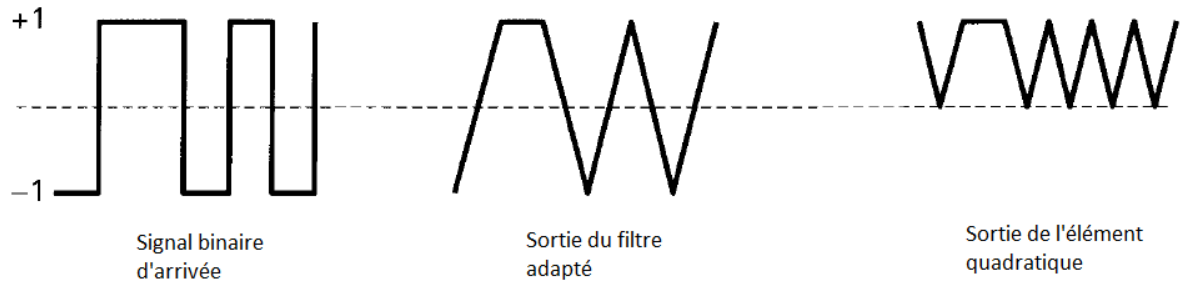


Figure III.2 Illustration des opérations propres au synchroniseur en boucle ouverte

Il est évident qu'un certain retard est associé aux étapes de traitement des signaux. Ainsi, lorsque le rapport signal-sur-bruit reçu est suffisamment grand, l'ensemble des techniques présentées dans la figure III.1 permettent de fournir une synchronisation assez précise de bits.

III.3 Synchronisations de symbole en boucle fermée

Le désavantage principal des méthodes de synchronisation de symbole en boucle ouverte, est qu'elles ne présentent pas un moyen d'annulation de l'erreur moyenne. Cette erreur peut être minimisée dans le cas de grands rapports signal-sur-bruit, mais elle n'est jamais nulle. Les synchroniseurs en boucle fermée utilisent des mesures comparatives sur le signal d'arrivée et celui généré localement, afin d'assurer leur synchronisme en annulant les erreurs d'écart éventuelles, [1].

III.3.1 Synchronisation par la porte tôt-tard

Le synchroniseur tôt-tard (Early-late) est parmi les plus populaires en boucle fermée, figure III.3, [3].

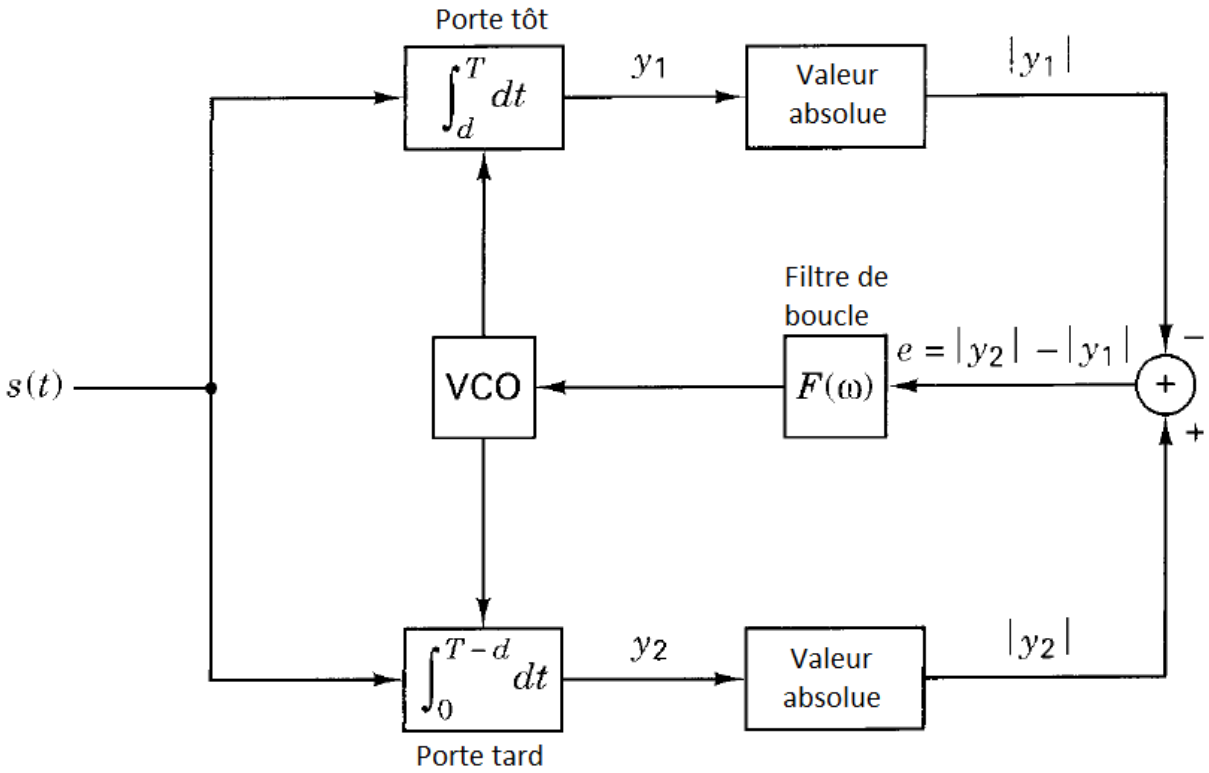


Figure III.3 Diagramme bloc du synchroniseur par porte tôt-tard

Les symboles aléatoires d'entrée de durée T, étant supposés à forme polaire unitaire S(t), le synchroniseur opère deux intercorrélations avec le signal d'horloge local généré par un VCO.
Avec une fixe $d \in [\frac{T}{2}, T[$, la première intercorrélation (porte tôt) de durée (T-d) commence l'intégration en temps nominal zéro jusqu'à (T-d).
La seconde intercorrélation (porte tard) retarde le début d'intégration du temps 'd' pour la terminer au temps nominal final T.

La différence entre valeurs absolues des sorties des deux intercorrélateurs, y_1 et y_2, est une mesure de l'erreur du synchronisme de symbole. Cette erreur en retour, alimente le VCO afin de corriger la boucle de synchronisation.
L'action du synchroniseur à porte tôt-tard peut être assimilée en se référant à la figure III.4.

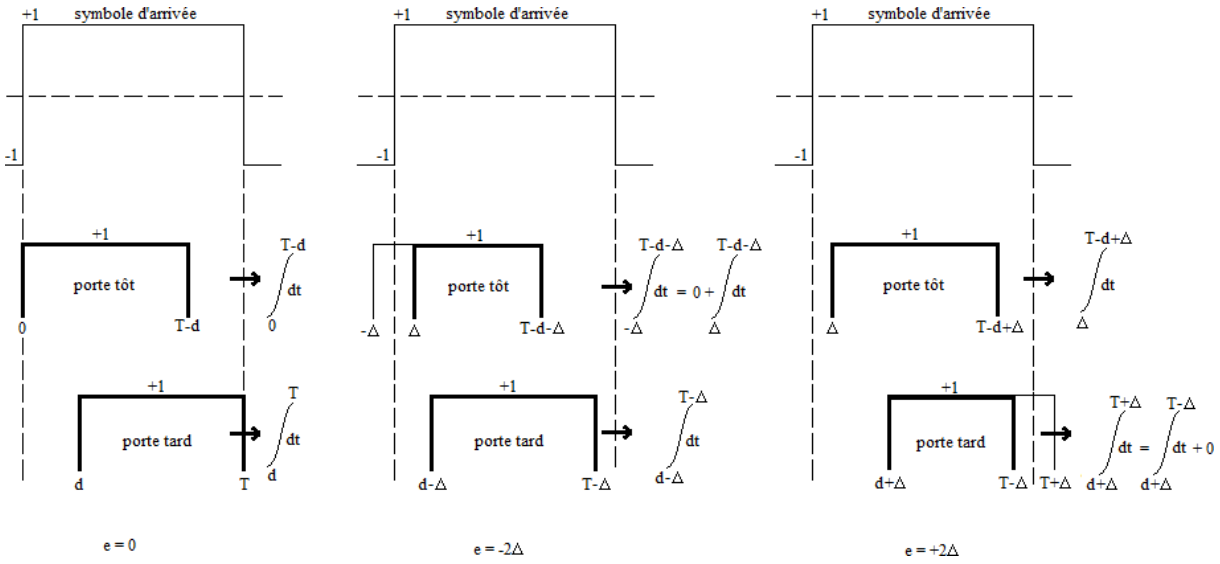


Figure III.4 Synchronisme correct (e = 0), synchronisme en avance (e = −2Δ), et synchronisme en retard (e = +2Δ)

Dans le cas parfait de synchronisation, les deux ports opèrent entièrement dans l'intervalle T de symbole. Les deux intégrateurs accumulent la même énergie du signal, et leur différence (signal d'erreur e) est nulle. L'horloge locale est donc synchronisée. Lorsque le récepteur présente une horloge relativement en avance de Δ par rapport aux symboles d'arrivé, seule une partie de la durée (T-d) d'intercorrélation de la porte tôt demeure à l'intérieur de l'intervalle de symbole, alors que celle de la porte tard reste entièrement incluse dans l'intervalle. Ainsi, l'énergie accumulée durent (T-d-2Δ) par la porte tôt est plus faible que celle accumulée par la porte tard durant (T-d). Le signal d'erreur devient e = -2 Δ, comme écart entre les deux intercorrélations.

Ce qui constitue une tension d'entrée négative par le VCO, l'obligeant à réduire sa fréquence et retarder le rythme d'horloge afin de se caler sur celle du signal d'arrivée. Lorsque le récepteur présente une horloge relativement en retard de Δ par rapport aux symboles d'arrivée, les énergies intégrées dans les portes tôt et tard deviennent inversées, comme le devient aussi, le signe de l'erreur.

Ce qui produit une tension positive à l'entrée de VCO, augmentant sa fréquence et faisant avancer les tops d'horloge afin de se caler sur celle du signal d'arrivée.

III.3.2 Autres méthodes de synchronisation en boucle fermée

Sont exposés dans la littérature technique [1], [3], les types de synchroniseurs de symbole en boucle fermée basés sur :

L'estimation du rythme temporel par maximum de naissemblance

L'estimation du rythme temporel à décision non dirigée.

Méthode de lignes spectrales, méthode de probabilité maximale,

III.4 Conclusion

Dans ce chapitre, nous avons discuté deux types de synchronisation en symbole, le premier basé sur les synchroniseurs en boucle ouverte dont on a étudié trois variantes. L'autre type se base sur la porte tôt-tard en boucle fermée.

Chapitre IV :

Exemples de synchronisation de symbole dans les systèmes de communication numérique

IV.1 Introduction

Ce chapitre est consacré à la synchronisation de symbole pour les transmissions en bande de base ou par modulation, utilisant les boucles ouvertes et fermées.

IV.2 Synchronisation de symbole en boucle ouverte

IV.2.1 Boucle ouverte par intégration et élément quadratique

Le schéma de circuit réalisant la synchronisation de symbole en boucle ouverte, et reposant sur l'utilisation d'un intégrateur suivi d'un redresseur double-alternance, est donné en figure IV.1. Il se base sur le synoptique de la figure III.1.a.

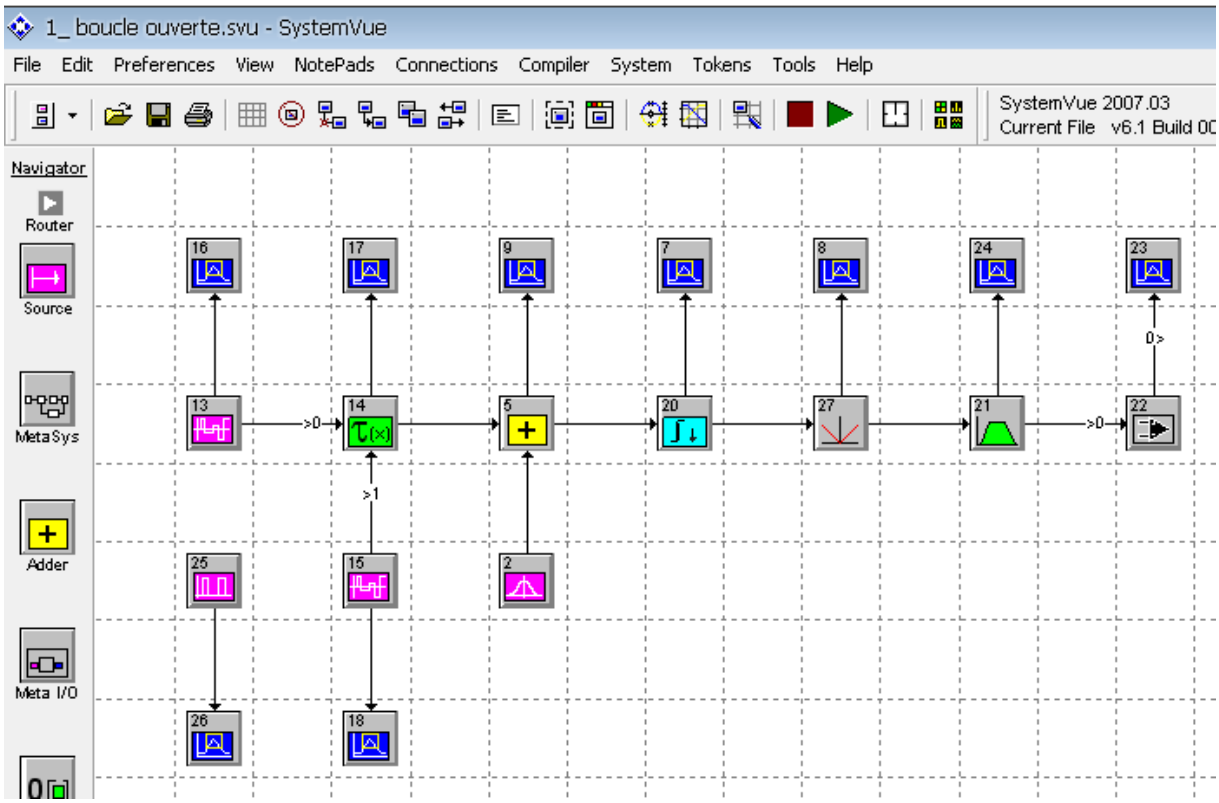


Figure IV.1 Extraction d'horloge par intégration et traitement en quadrature

Les données polaires aléatoires sont de débit 1kb/s, accompagnés d'une gigue de phase apportée par l'élément retardateur variable, à 8 retards aléatoires dans l'intervalle [0.1ms, 0.7ms], contrôlés discrètement par tension à 8 niveaux aléatoires dans l'intervalle [-1V, 1V], figure IV.2.

La sortie du retardateur variable entre dans le canal AWGN dans lequel lui est additionné un bruit gaussien de la Bibliothèque de sources, avec un écart type de σ=0, initialement.

A la sortie de canal, commence le récepteur avec un intégrateur de temps d'intégration 1ms, dont la sortie rentre dans le redresseur double alternance, figure IV.3.

La sortie du redresseur entre dans un filtre passe-bande de Butterworth du 6eme ordre avec bande de fréquence (900Hz 1.1kHz). Un comparateur fait office d'un circuit de décision qui remet en forme polaire, les données de sortie.

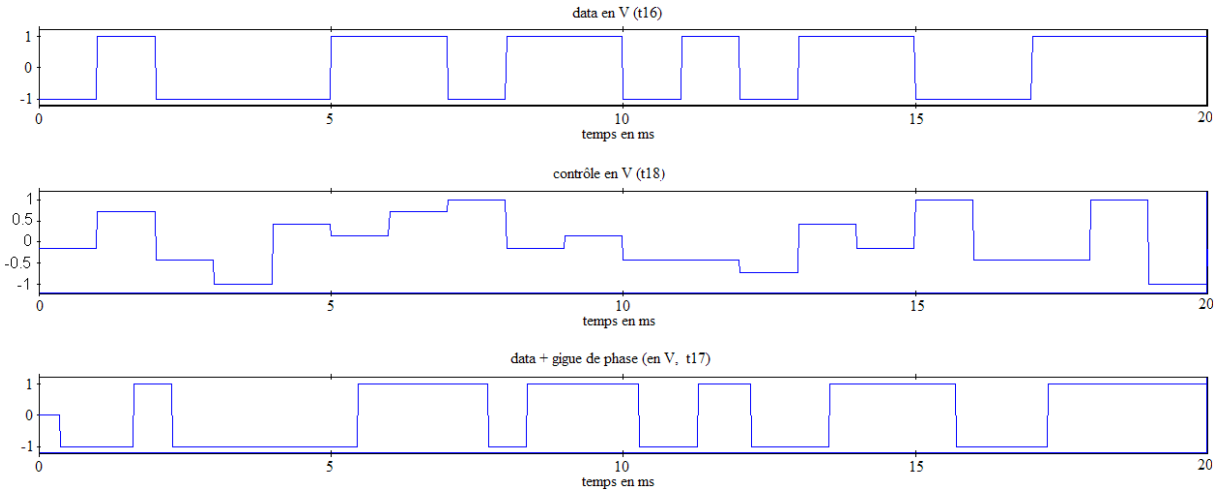


Figure IV.2 Données transmises, et tension de contrôle des retards agissant comme gigue de phase

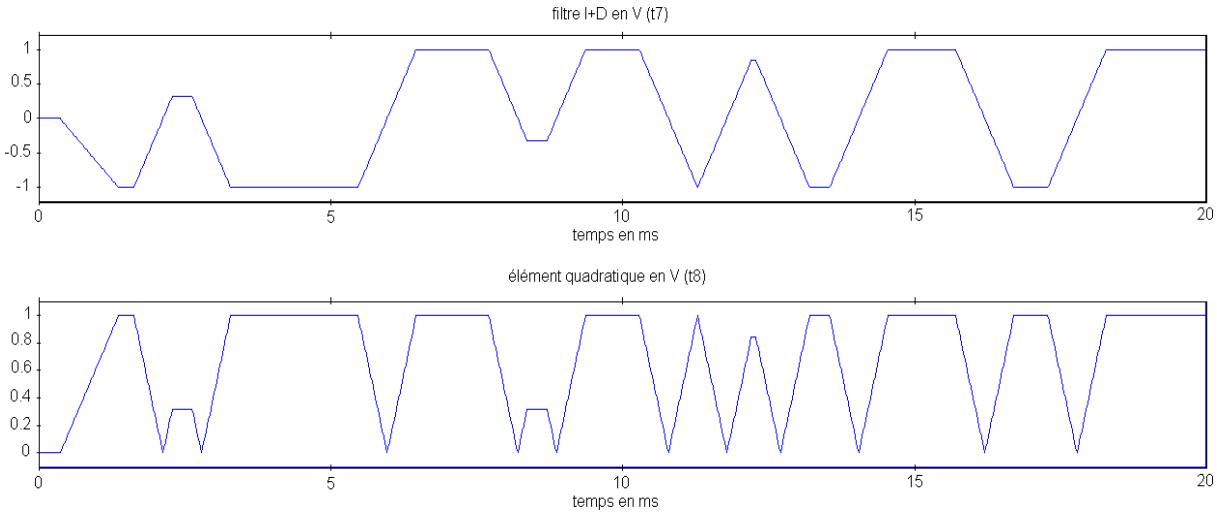


Figure IV.3 Sortie du filtre I+D et sortie de l'élément quadratique

Pour un temps de simulation prolongé jusqu'à environ 5sec : en plus de la raie continue, le spectre en |sinc| présente une raie utile à 1kHz (et une faible raie qui apparaît à 5kHz), figure IV.4.

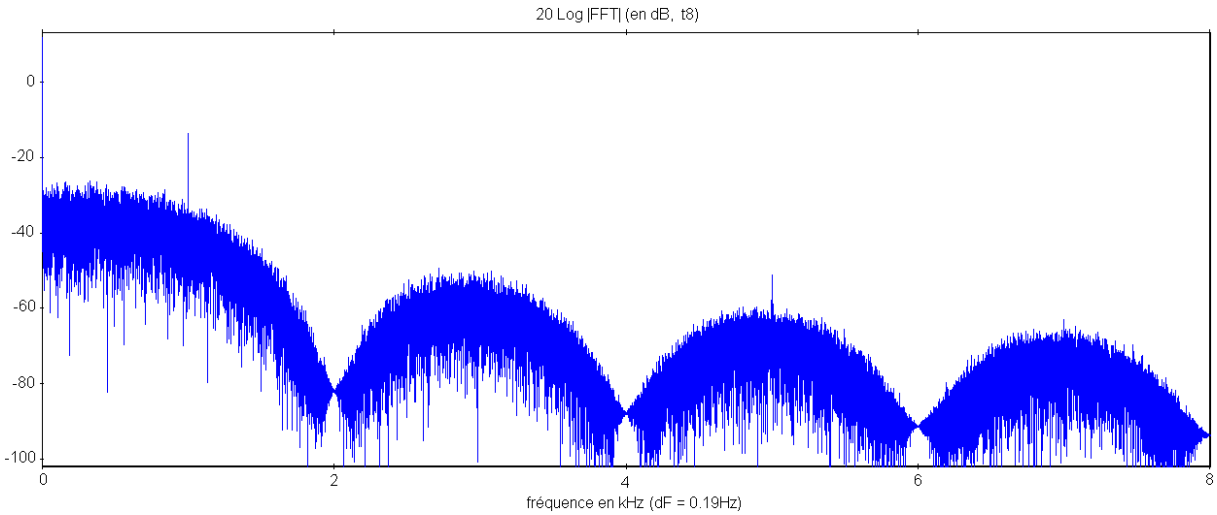


Figure IV.4 Spectre de fréquence du signal de sortie de l'élément quadratique

Le filtre passe-bande est donc centré sur cette raie d'horloge afin de l'extraire. Après mise en forme du comparateur, l'horloge de réception est comparée par intercorrélation avec l'horloge d'émission, figure IV.5.

La variation entre les 2 horloges, est de 0.14 à 0.36 ms due à la gigue de phase résiduelle (Ces mêmes limites variations persistent en présence de bruit superposé).

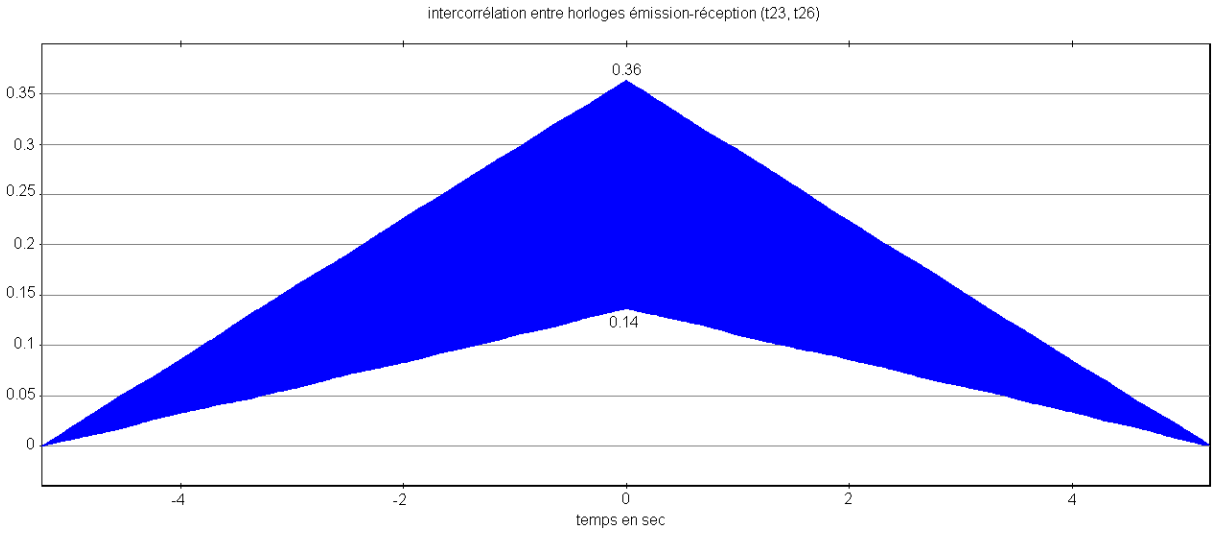


Figure IV.5 Intercorrélation entre horloge d'émission et de réception

La gigue de phase persiste faiblement en sortie, comme montrée en figure IV.6.

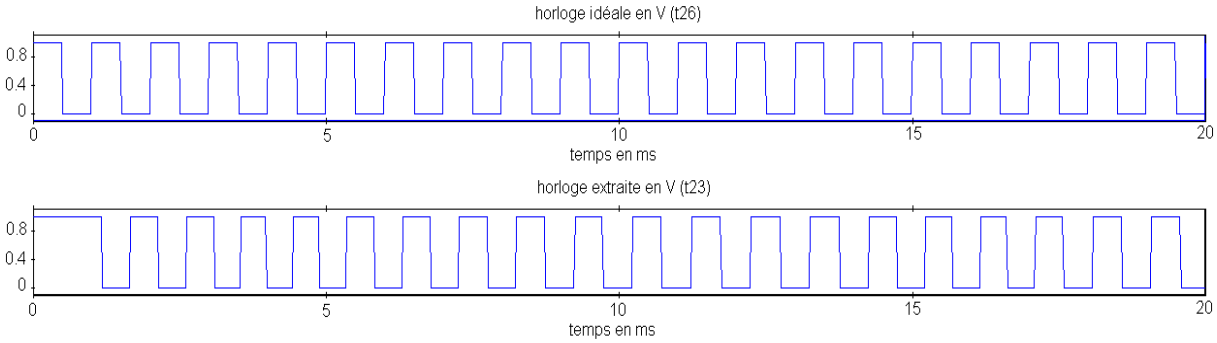


Figure IV.6 Horloge de transmission comparée à celle extraite en réception

En présence de bruit AWGN d'écart type (ou valeur RMS) σ = 1V, la même gigue de phase qu'en absence de bruit, est observée en horloge extraite, figure IV.7.

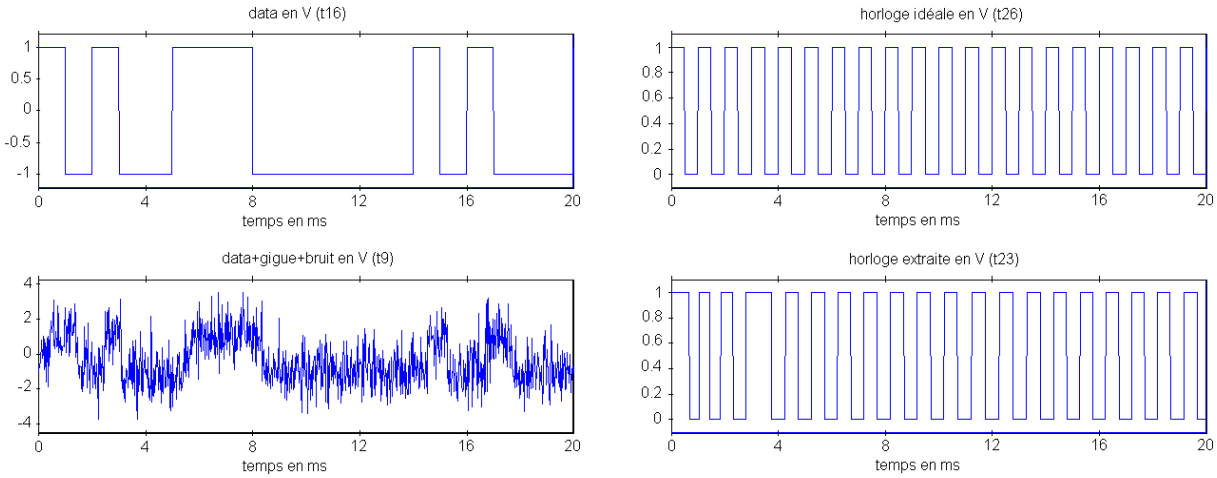


Figure IV.7 Extraction d'horloge à partir des données bruitées en amplitude et phase

IV.2.2 Boucle ouverte par retardeur et multiplieur

Le schéma de circuit réalisant la synchronisation de symbole en boucle ouverte, et reposant sur l'utilisation de la multiplication de la voie directe avec la voie retardée des données reçues, est donné en figure IV.8. Il se base sur le principe exposé en figure III.1.b.

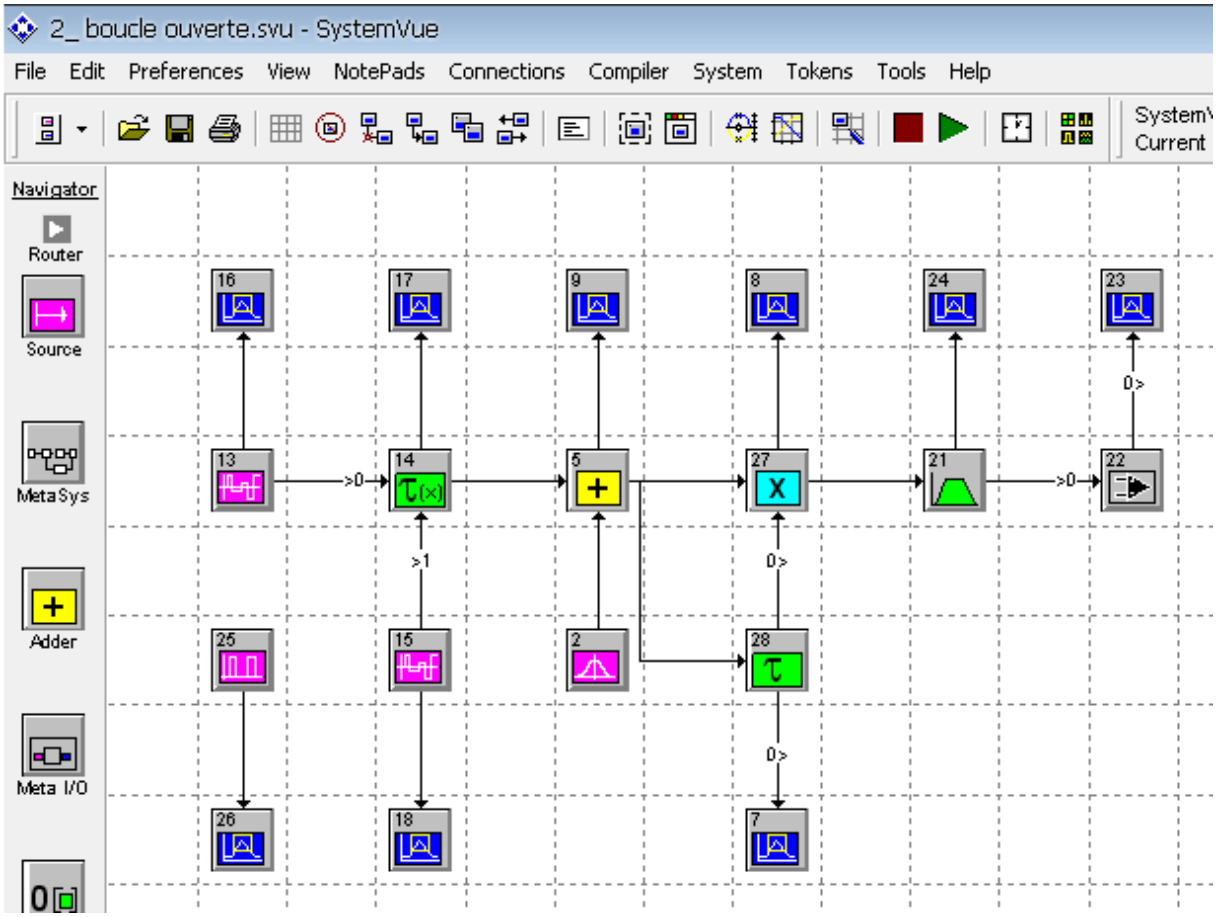


Figure IV.8 : Extraction d'horloge par multiplication des données avec leur version retardée

Les données bruitées en phase sont multipliées avec leur version retardée de T/2=0.5ms, dont les signaux sont fournis en figure IV.9.

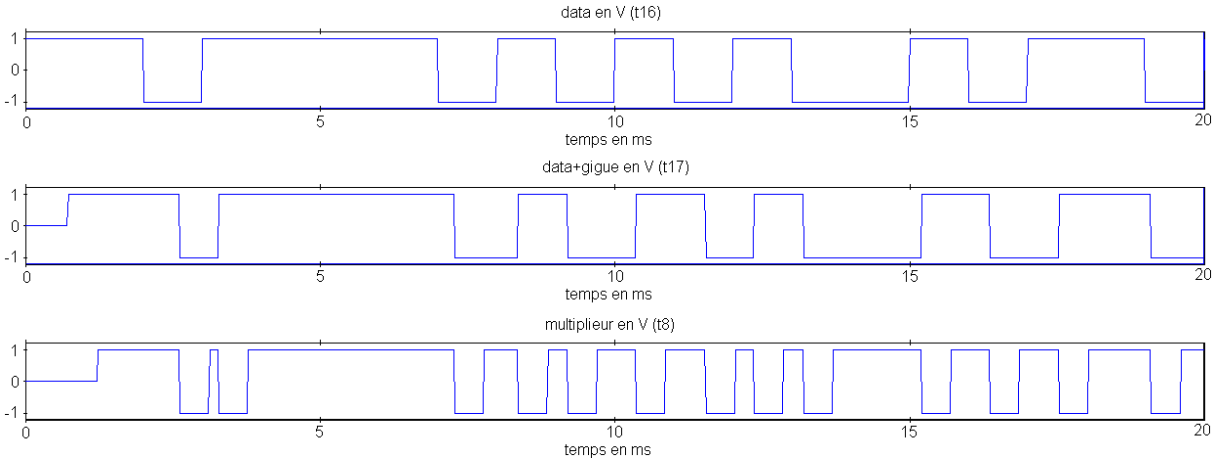


Figure IV.9 Signaux des données transmises avec et sans bruit de phase, et signal de sortie du multiplieur

Le spectre du signal en sortie du multiplieur est donné en figure IV.10, où l'on constate l'apparition d'une raie à la fréquence d'horloge de 1kHz. Un filtre passe-bande permet sa récupération.
La même figure donne l'intercorrélation entre l'horloge de réception ainsi récupérée, et celle d'émission. Un écart résiduel entre 0.13 à 0.36ms, persiste entre les deux horloges.
La figure IV.11 permet de constater les légers écarts entre les deux horloges.

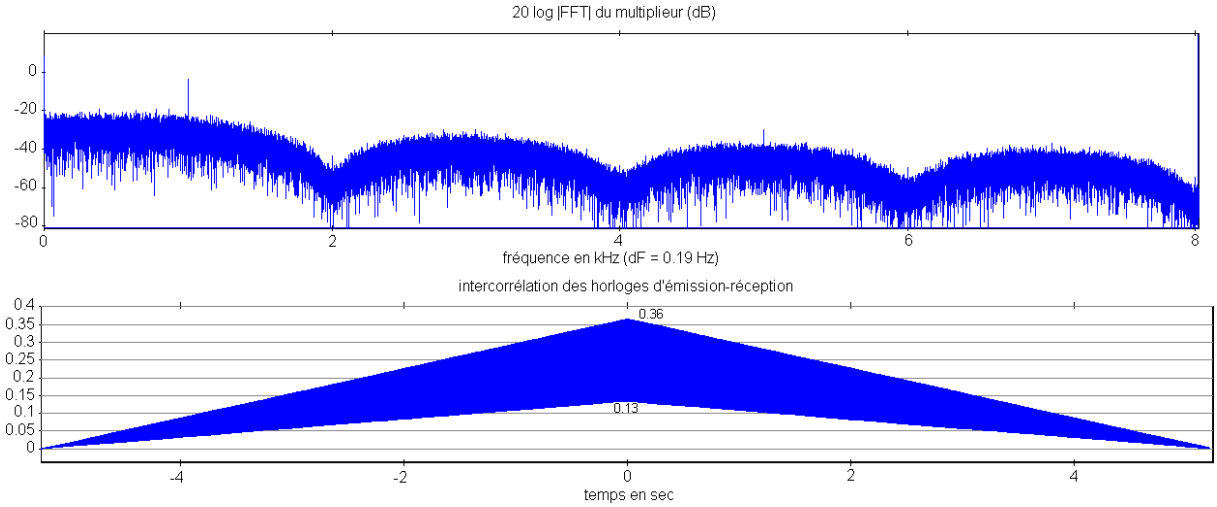


Figure IV.10 Spectre du signal du multiplieur et intercorrélation entre horloges d'émission et de réception

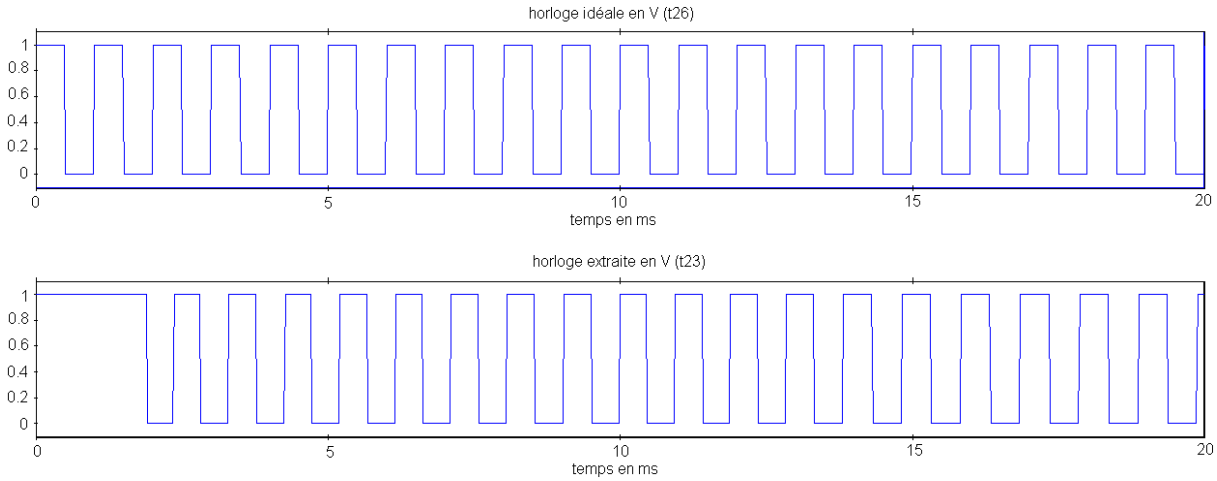


Figure IV.11: Horloge de transmission et horloge extraite en réception

Après introduction d'un bruit intense dans le canal, où sa valeur RMS est de 1v, l'extraction du rythme d'horloge reste possible à partir des données bruitées en amplitude et en phase, figure IV.12.

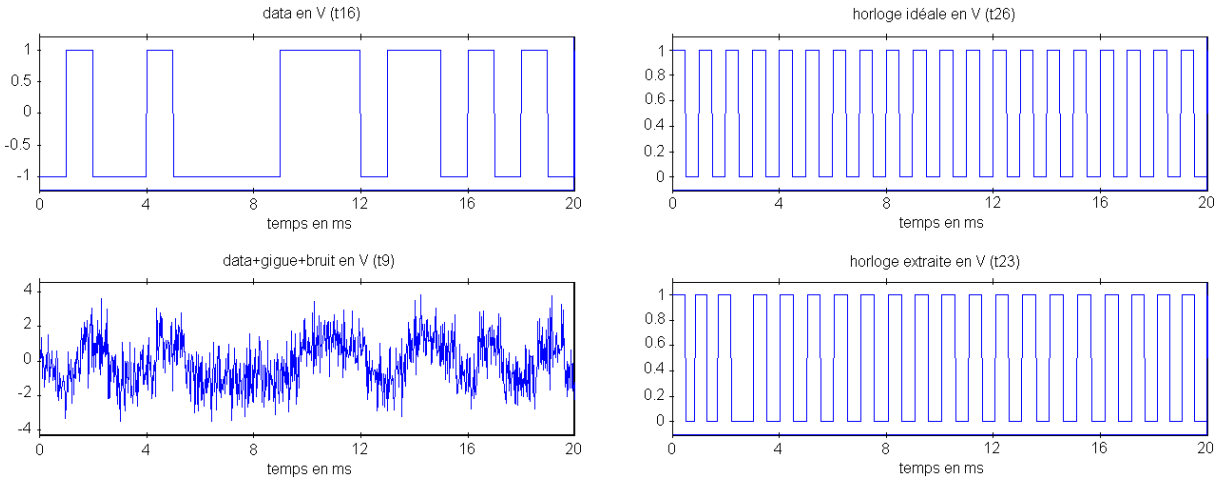


Figure IV.12 : Extraction d'horloge à partir des données bruitées en amplitude et en phase

IV.2.3 Boucle ouverte par dérivation et élément à quadrature

Le schéma de circuit réalisant la synchronisation de symbole en boucle ouverte, et reposant sur l'utilisation d'un dérivateur précédé d'un filtre passe-bas et suivi d'un redresseur double alternance, est donné en figure IV.13. Il repose sur le principe de la figure III.1.c.

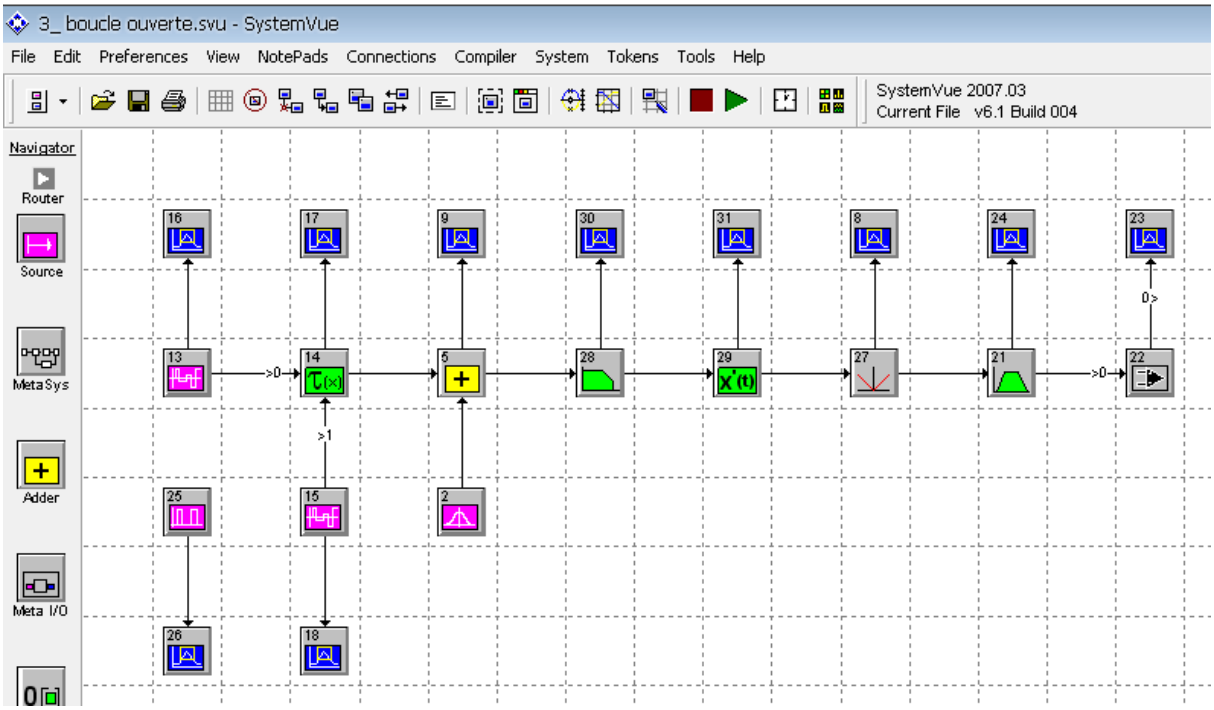


Figure IV.13 : Extraction d'horloge par dérivation et double redressement

Les données polaires aléatoires de débit 1kb/s, sont accompagnées de gigue de phase apportée par l'élément retardateur variable, à 8 retards aléatoires dans l'intervalle [0.1ms, 0.7ms], contrôlés discrètement par une tension à 8 niveaux aléatoires dans l'intervalle [-1V, 1V].
Après canal AWGN, le récepteur se compose d'un filtre passe-bas de Butterworth du 6^{éme} ordre de fréquence de coupure de 1.1kHz.
Un dérivateur est à la sortie du filtre passe-bas. La sortie de dérivateur entre au redresseur. La sortie de ce dernier entre dans un autre filtre de Butterworth de type passe bande (900Hz, 1.1 kHz), dont la sortie est mise en forme par un comparateur.
Les différents signaux des différents étages sont rassemblés dans la figure IV.14.

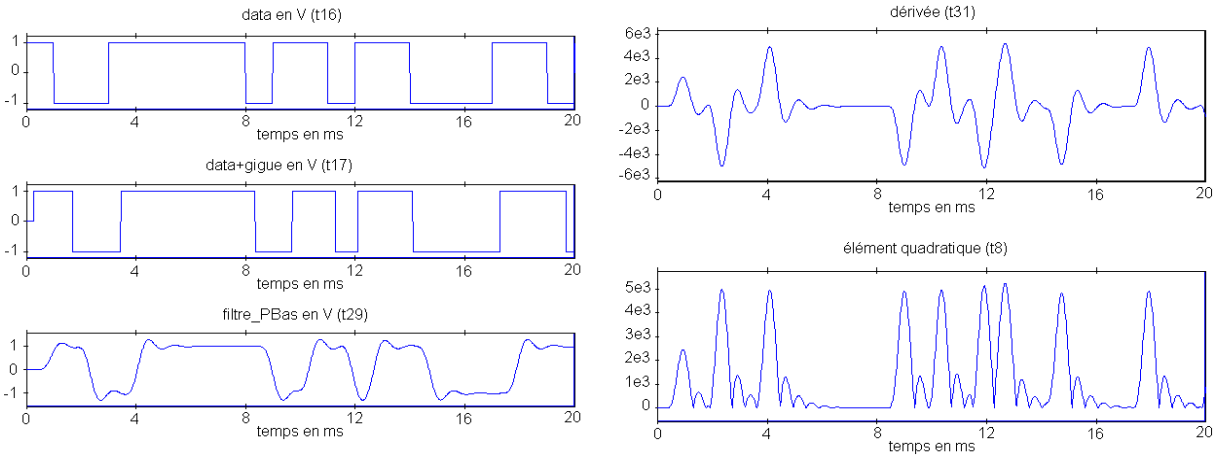


Figure IV.14 Données bruitées en phase, filtrées, dérivées, puis traitées en double-redressement

Le spectre en sortie du redresseur est donné en figure IV.15. Il renferme une raie utile à la fréquence d'horloge de 1kHz, dont le filtre passe-bande se charge d'extraire.
La même figure illustre l'intercorrélation entre les deux horloges, d'émission et de réception, dont l'écart relatif est entre 0.13 et 037ms. Ce faible écart est représenté en figure IV.16.

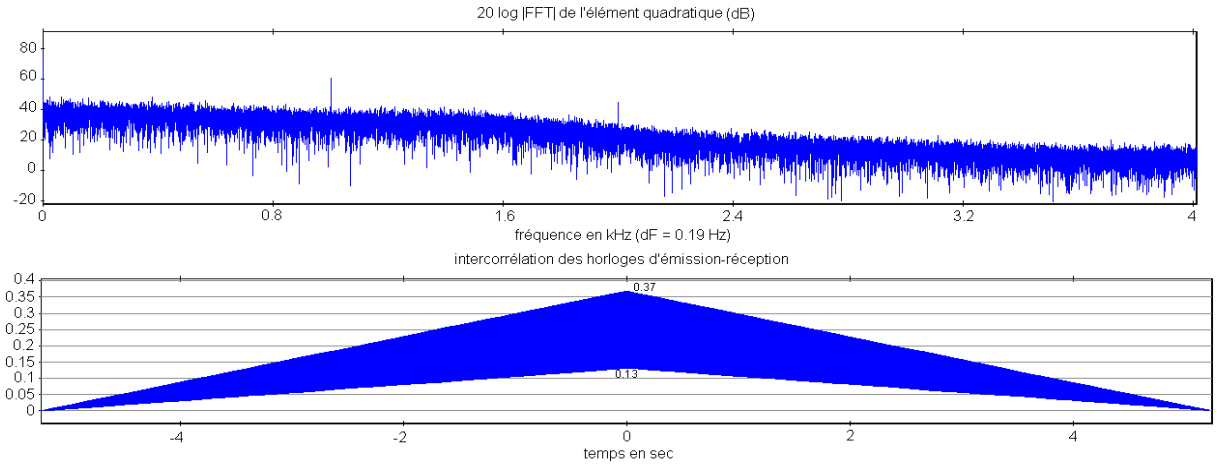


Figure IV.15 Spectre du signal doublement-redressé et intercorrélation entre horloges d'émission et de réception

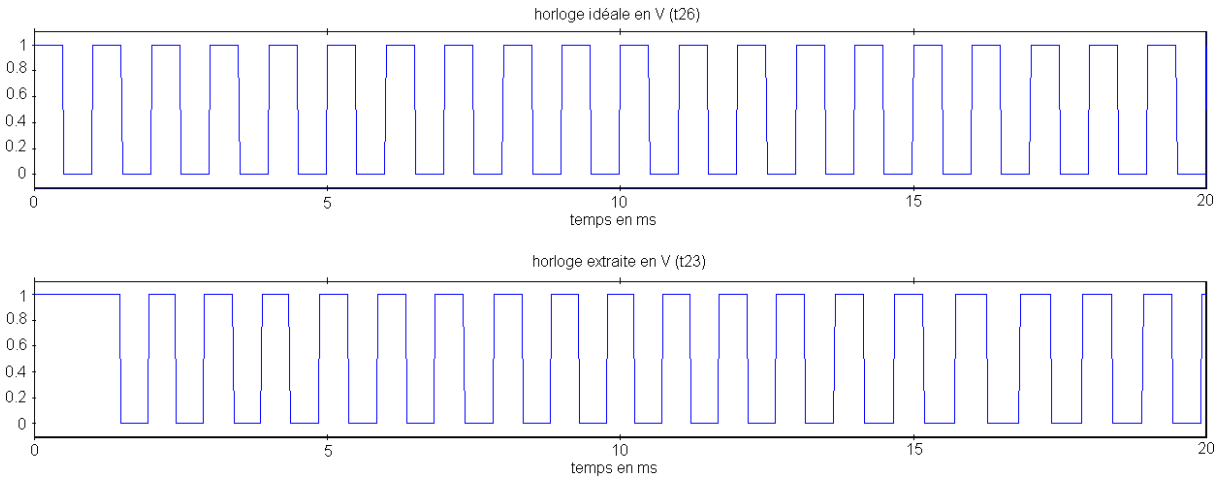


Figure IV.16 Horloge de transmission comparée à l'horloge extraite de réception

Le bruit additif étant réglé sur 1v, la figure IV.17 montre le signal d'horloge extrait en dépit de la diversité des types de bruit associés au signal utile.

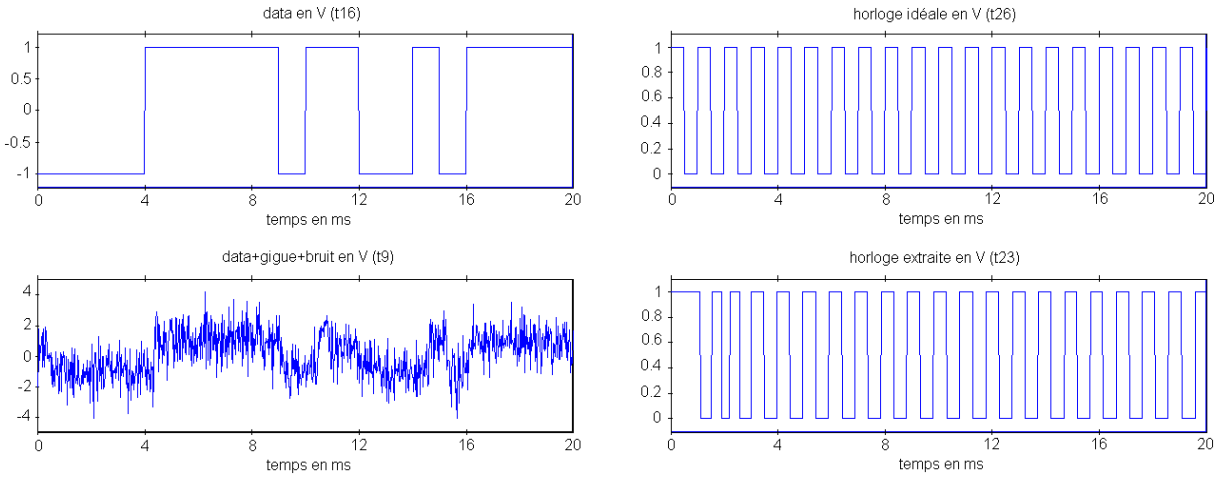


Figure IV.17 Extraction d'horloge de réception à partir des données bruitées en amplitude et en phase

IV.3 Synchronisation de symbole en boucle fermée

Basé sur le principe de la figure IV.5, la porte tôt-tard offerte par SystemVue est un circuit compact dont on le configure pour extraire l'horloge de cadence des données reçues, figure IV.18.
Les données reçues avec bruit gaussien superposé et gigue de phase associée, sont générées de la même façon que dans les figures de traitement en boucle ouverte, à savoir, les figures IV.1, IV.8, et IV.13.

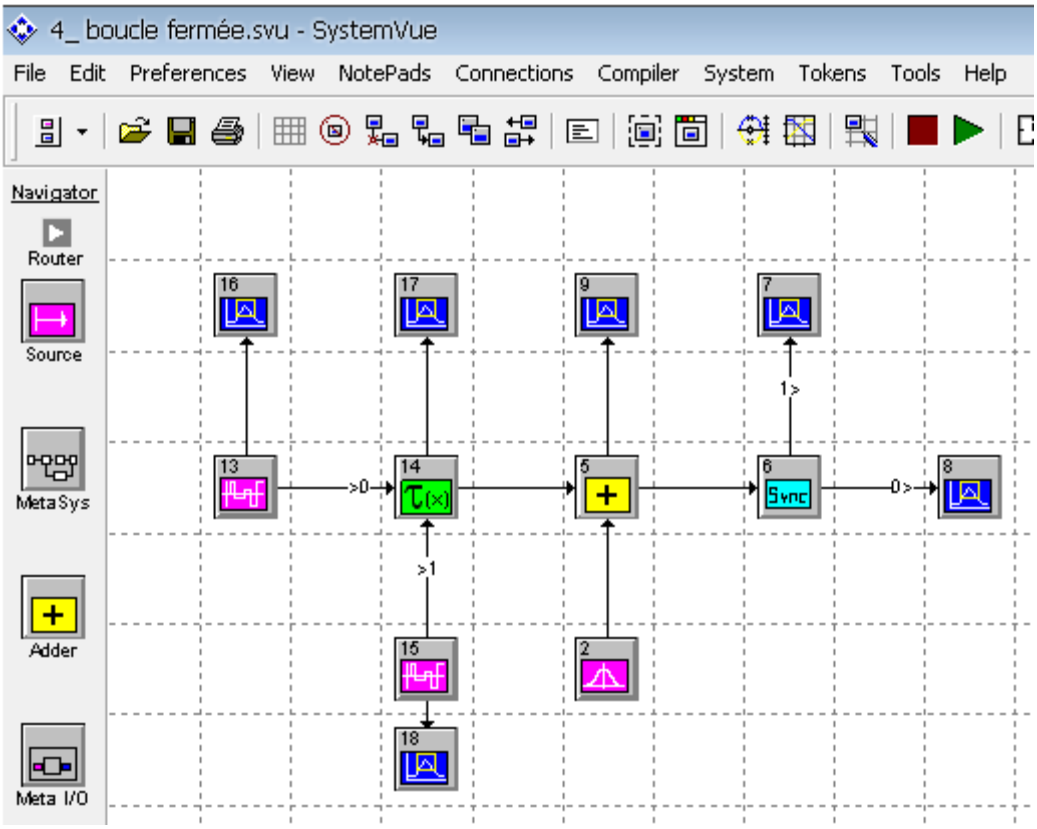


Figure IV.18 : Extraction d'horloge en boucle fermée

L'horloge extraite (en rouge) depuis les données reçues bruitées, est fournie en figure.19, en compagnie du signal d'erreur de la boucle (en bleu).

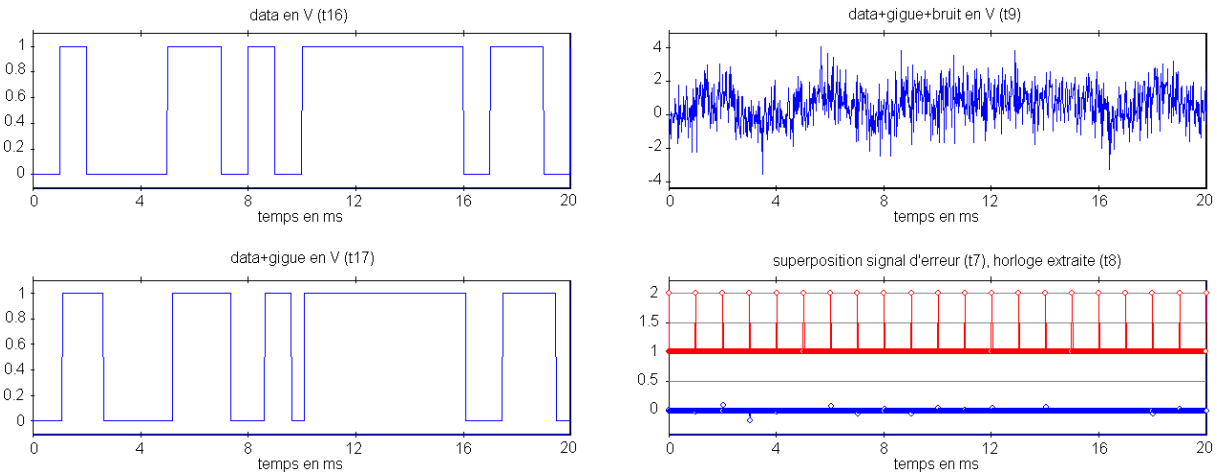


Figure IV.19 Horloge extraite (en rouge) à partir des données bruitées en amplitude et en phase avec signal d'erreur de la boucle (en bleu)

IV.3.1 Porte tôt-tard en boucle fermée

Le récepteur réduit au seul circuit de synchronisation de symbole par le biais de l'icône de la porte tôt-tard, figure IV.20, est cette fois-ci, alimenté par des données bruitées dont la gigue de phase est contrôlée par un modulateur de fréquence.

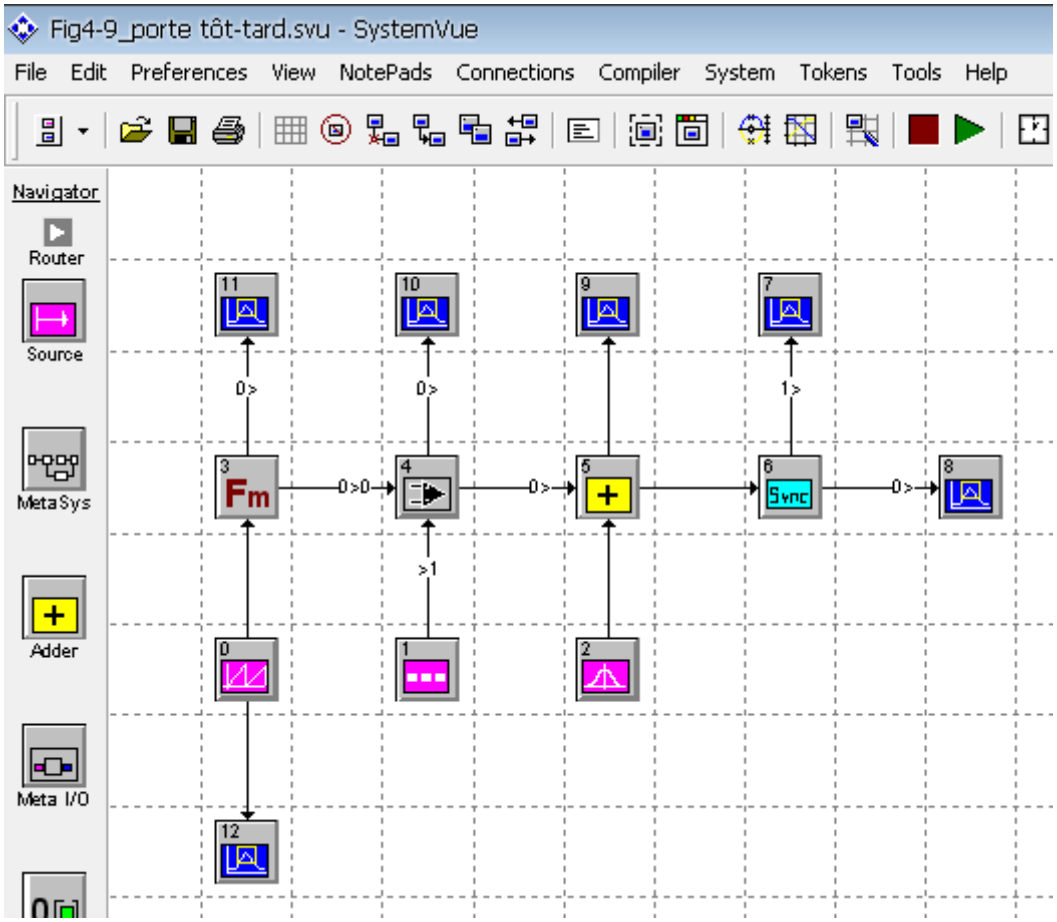


Figure IV.20 : Extraction d'horloge par porte tôt-tard en boucle fermée

La sortie du modulateur de fréquence entre dans le comparateur analogique de la bibliothèque ''Logic'' pour la mise en forme rectangulaire des impulsions de données transmises.

Etant donné que la fréquence de sortie du modulateur de fréquence est variable (500 Hz à 1500Hz) suite au contrôle apporté par le générateur en dents de saie, le signal de sortie du comparateur analogique de débit de donnée nominal R_b=1kb/sec, varie lui aussi de 500 b/sec à 1,5 kb/sec. Le récepteur est séparé de son émetteur par un canal AWGN.

La porte tôt-tard, représentée par l'icône ''Bit Synchronizer'' de la bibliothèque de communication, avec paramètres de débit binaire Rb=1kb/sec, un temps d'intégration de filtre adapté 1 ms, et délai tôt-tard d=0.1ms ; un gain de boucle G = 1. Le filtre de boucle à la fonction de transfert :

$$H(S) = \left(\frac{1+a}{S}\right) = .\left(\frac{S+a}{S}\right). = \left(\frac{S+10^{-2}}{S}\right). \qquad \text{(IV.1)}$$

Avec ‘’a’’ fixé à 0.01.

Le signal de synchronisation de symbole et l'erreur de la boucle sont représentés sur la figure IV.21. Le bruit de canal est porté à 4v, ce qui donne un signal transmis noyé dans le bruit.

Chose remarquable, est que même si le signal d'erreur de boucle est sensiblement plus grand, la synchronisation de symbole reste verrouillée sur le signal d'entrée corrompu.

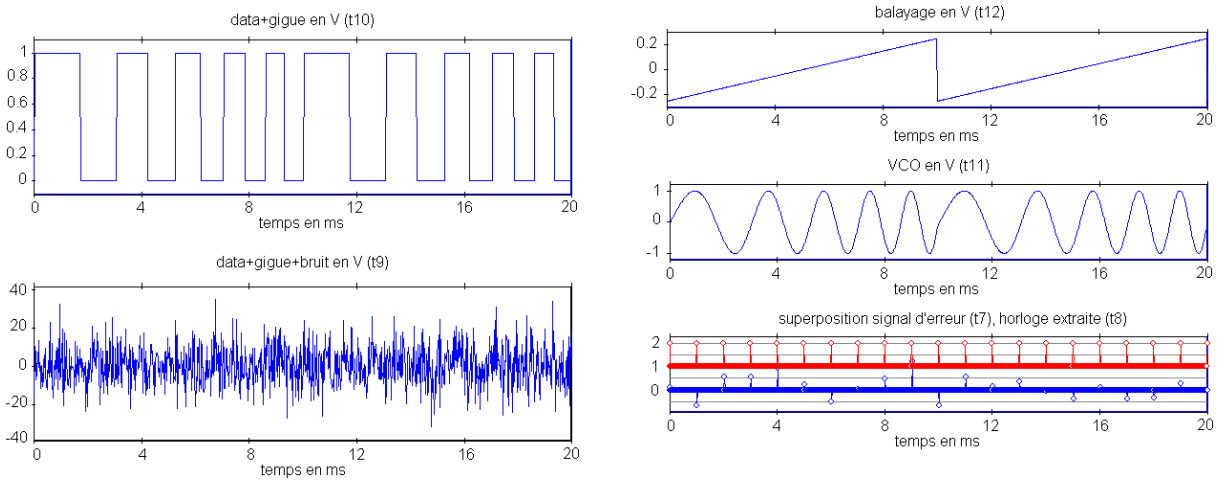


Figure IV.21 : Extraction d’horloge (en rouge) à partir des données en amplitude et en phase avec signal d’erreur de la porte (en bleu)

IV.4 Conclusion

Nous avons étudié par simulation la synchronisation de symbole pour les transmissions en bande de base ou par modulation, utilisant les boucles ouvertes et fermées pour l’extraction d’horloge.

Conclusion générale

Ce travail a décrit les problèmes et les solutions liés à la synchronisation dans les communications numériques.

La synchronisation est sous ses deux types, en fréquence et en symbole.

Nous avons discuté la synchronisation en fréquence par les boucles à verrouillage de phase PLL, et de costas. Typiquement, c'est le récepteur qui joue le rôle le plus actif dans la synchronisation d'une liaison. Les boucles à verrouillage de phase et leurs variantes sont les circuits –clé utilisés pour dépister des variations de phase du signal entrant.

La boucle de costas est exigée pour dépister la phase d'un signal entrant qui n'a aucune porteuse. L'exemple d'un tel signal est celui modulé en BPSK antipodal standard. Dans cette situation, une harmonique de la porteuse supprimée peut être produite par l'utilisation d'une non-linéarité, puis dépistée dans une boucle quadratique associée à une PLL.

Dans la synchronisation de symbole, Deux classes de synchronisation de symbole ont été discutées. Les synchroniseurs en boucle ouverte fonctionnent directement sur le signal entrant pour produire une indication de transition de symbole. Les synchroniseurs en boucle fermée emploient une boucle d'asservissement de type porte tôt-tard, pour acquérir et dépister les transitions de symbole.

L'étape de simulation des systèmes OOK et PRK cohérents par les boucles PLL, costas et quadratique, nous a permi de concevoir des récepteurs qui fonctionnent convenablement. L'évaluation des valeurs de la probabilité d'erreur de bit (BER) pour les signaux étudiés (OOK, PRK) a montré l'efficacité des systèmes de synchronisation, mis en jeu.

La simulation portant sur la synchronisation en symbole était elle aussi réussie sur tous les types étudiés, en boucle ouverte ou en boucle fermée.

Cependant, en présence de forts bruits, les synchroniseurs en boucle fermée présente une efficacité meilleure que celles en boucle ouverte, dont la gigue de phase persiste faiblement dans l'horloge extraite.

Références bibliographiques

[1] JOHN_G_PROAKIS, "*Digital Communication Fourth edition*", URCPC, Publishing house of electronics industry, BEIJING, Octobre 2001.

[2] DENNIS SILAGE, "DIGITAL COMMUNICATION SYSTEMS USING *SYSTEMVUE"*, TEMPLE UNIVERSITY, Philadelphia, 2006.

[3] BERNARD SKLAR, "DIGITAL COMMUNICATIONS Fundamentals and Applications Second Edition", University of California, Los Angeles, 11 Janvier 2001.

[4] GEORGES SEIGNIER, ''BOUCLES A VERROUILLAGE DE PHASE'', Supélec campus de Rennes, 1998.

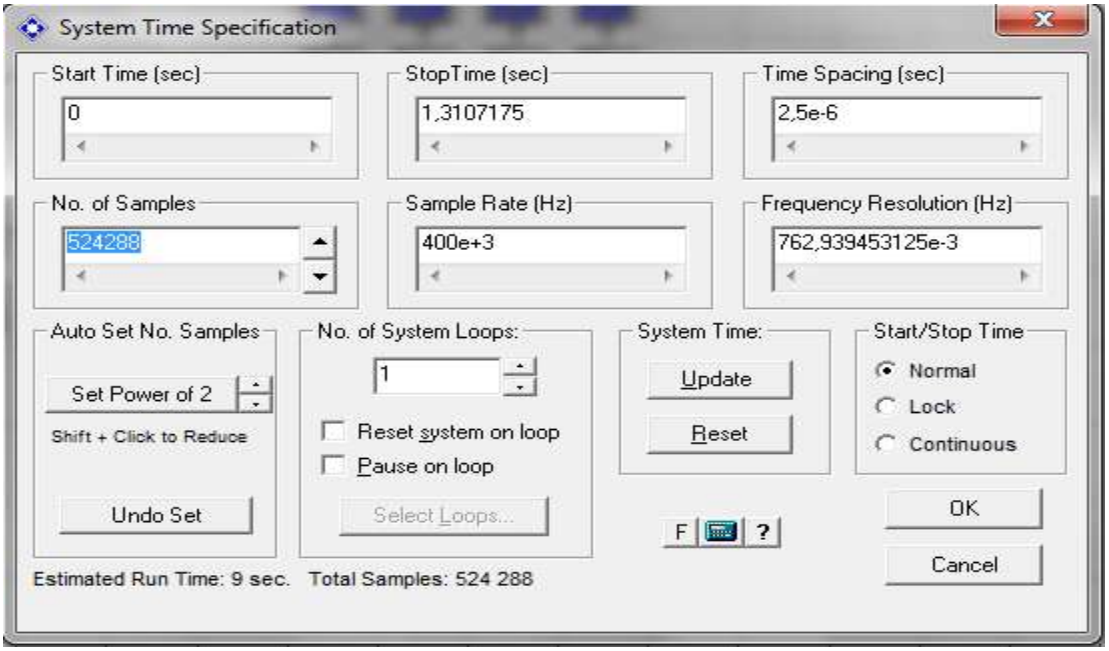
Annexe

Présentation du simulateur SystemVue 2006

Définition :

System vue est un simulateur dynamique d'environnement complet d'analyse fonctionnelle pour la conception et la simulation de la technologie ou systèmes de communication. Du traitement numérique du signal analogique ou numérique des systèmes de communication en bande de base ou à bande transposée en HF, est offert.

L'horloge :



Fenêtre de configuration de l'horloge de système

La fenêtre de configuration renferme plusieurs champs, entre autres :

- ✓ **Sample rate** : fréquence d'échantillonnage du système, à prendre plus grande que les signaux du système étudié.
- ✓ **The number of loops :** détermine le nombre de boucles de calcul du BER, par exemple.
- ✓ **Stop time :** temps de simulation si ''start time'' = 0.

Barre d'outils :

La barre de menu a les menus déroulants pour montrer les fonctions de SystemVue, (File, Edit,View, Preferences, NotePads, Connections, Compiler, System, Tokens, Tools).

Barre des blocs :

 **Bouton de bibliothèques** : Permet d'alterner entre la bibliothèque standard et les bibliothèques optionnelles de System Vue.



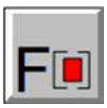
Bloc de sources : Employé pour produire des entrées de système, en terme de signaux analogiques et numériques.



Bloc de Meta System : Permet d'ajouter de la hiérarchie à une conception. Le MetaSystem est employé pour rassembler un circuit prédéfini dans le système courant sous la conception.

 **Bloc I/O de MetaSystem**: Ce bloc définit les nœuds d'entrée et de sortie dans un MetaSystem.

 **Bloc d'opérateurs** : Ce bloc représente une bibliothèque d'opérateurs qui utilisent les données d'entrée comme arguments à l'exécution à l'aide d'opérateurs spécifiques.

 **Bloc de fonctions**: Ce bloc représente une bibliothèque des fonctions qui utilisent les données d'entrée comme argument de divers fonctions.

 **Bloc d'instruments** : Ce bloc représente une bibliothèque pour rassembler, afficher, analyser, et faire sortir les données dans un système. Ces blocs ont des entrées seulement.

La fenêtre d'analyse :

La barre d'outils se compose des boutons pour exécuter les fonctions :

• Agissant sur des blocs ou des groupes de blocs dans la fenêtre de système,

• Commençant et arrêtant une simulation,

• Permettant d'accéder à la fenêtre d'analyse et à d'autres fonctions de service.

Employer la barre d'outils pour effectuer une action sur un bloc ou un groupe de blocs, en cliquant le bouton désiré.