REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITE YAHIA FARES DE MEDEA



Faculté de **T**echnologie

Département : génie électrique

Mémoire de fin d'études de Master

Filière : Electronique

Spécialité : Electronique des systèmes embarqués

Etude et implémentation sur FPGA d'un système pour la détection des défauts dans les roulements à Billes : utilisation de la méthode : Cepstrum prewhitening

---

Présenté par :

DILMI Islam

LEBEL Abdelhamide

Proposé et Dirigé par :

LACHENANI SidAhmed

Promotion 2021

REMERCIEMENTS

Nous remercions ALLAH le tout-puissant
de m'avoir donné le courage, la volonté et
la patience de mener à terminer ce présent
travail.
Nous tenons à remercier sincèrement
Monsieur LACHNANT Sidahmed
Pour son encadrement, sa
compréhension, ses conseils, ses
observations son aide et sa disponibilité
durant la réalisation de ce mémoire.
Nous tenons à remercier également tous
les membres de jury d'avoir accepté de
juger ce modeste travail.
Nous tenons à remercier nos parents, nos
frères et sœurs, nos proches et nos amis qui
nous ont aidés à la réalisation de ce travail.

Dédicace:

Je dédie ce modeste travail à :

-Mon père.

-Ma mère.

-Mes frères et sœurs.

-Toute la famille (DILMI).

-Mes proches.

-Mes collègues et à tous ceux qui m'ont aidés de près ou de loin durant toutes mes années universitaires.

Enfin, je dédie ce mémoire à tous ceux qui m'aiment et à tous mes amis que j'ai connus pendant ma période d'étude

DILMI Islam

Dédicace:

Je dédie ce modeste travail à :

-Mon père.

-Ma mère.

-Mes frères et sœurs.

-Mes proches.

-Toute la famille (LEBEL).

-Mes collègues et à tous ceux qui m'ont aidés de près ou de loin durant toutes mes années universitaires.

Enfin, je dédie ce mémoire à tous ceux qui m'aiment et à tous mes amis que j'ai connus pendant ma période d'étude

LEBEL Abdelhamide

الملخص :

الهدف من هذه الرسالة هو تطوير منهجية لاكتشاف عيوب المحامل من خلال الجمع بين تحليل الاهتزاز وطريقة دراسة تحليل Cepstrum كما قمنا بتنفيذ هذا العمل على لوحة FPGA.

تم تنفيذ العمل في بيئة MATLAB والمحاكاة بواسطة SIMULINKو.Système Générateur

الكلمات المفتاحية: المحامل، تحليل الاهتزازات، تحليل cepstrum، ، Système Générateur .SIMULINK

Résumé :

L'objectif de ce mémoire est de implémenté une méthodologie pour détecter les défauts de roulements par combinaison de l'analyse vibratoire, la méthode de L'étude est analyse cepstrum Nous avons également implémenté ce travail sur la carte FPGA.

Le travail a été fait dans un environnement MATLAB et la simulation par SIMULINK etSystème Générateur

Mots clés : Roulements, l'analyse vibration, analyse cepstrum, MATLAB, SIMULINK.SystèmeGénérateur

Summary :

The objective of this thesis is to impliment a methodology to detect bearing defects by combining vibration analysis and the method of the Cepstrum analysis study. We have also implemented this work on the FPGA board.

The work was done in a MATLAB environment and the simulation by SIMULINK and Generator System

Keywords: Bearings, vibration analysis, cepstrum analysis, MATLAB, SIMULINK. Generator System

Table des matières

Dédicase
Remerciment
Résumé
Liste des matiar
Liste des tableaux
Liste abbreviation
Introduction général

ChapitreI :genralite sur les roulement

I.1Introduction…… 3
I.2 Constitution des roulements……. 3
I.3 Caractéristiques des roulements …….. 4
I.4 Types des roulements…… 4
I.4.1 Roulements radiaux et axiaux……. 4
I.4.2 Roulements standard et spéciaux…… 4
I.4.3Roulements à bille à gorge profonde……. 5
I.4.4Roulements à bille à contact oblique…….. 5
I.4.5Roulements à bille à rouleaux cylindrique……. 6
I.4.6Roulements à rouleaux coniques…… 6
I.4.7 Roulements à aiguilles ……. 7
I.4.8 Roulements à bille à rouleaux sphériques……. 8
I.4.9 Roulements Paliers …… 8
I.5 comparaison entre les roulements à billes et à rouleau…… 9
I.6. Défaut de roulement…… 9
I.7 Cinématique de défaut de roulements et fréquences caractéristiques…. 10
-Défaut sur la bague extérieure…… 11
-Défaut sur la bague intérieure……. 11
-Défaut sur la cage…… 11
-Défaut sur l'élément roulant…… 11
I.8 théorie de l'analyse spectral :(analyse cepstrum)..... 12
I.9 Méthode d'obtention de cepstrum…… 13
I.10Conclusion……. 14

Chapitre II : les signaux caractéristiques des défauts et les outils de développement (FPGA) utilisée

II.1introduction……..... 16

II.2. Prototypage rapide pour l'implantation des algorithmes de traitement 16
du signal sur FPGA……. 16
II.2.1 Critères de choix du circuit programmable FPGA…… 16
II.2.2 Différent domaines d'application des FPGA…….. 17
II.2.3Principaux fondeurs d'FPGA……... 18
II.2.4 Configuration et reconfiguration des FPGA …… 18
II.3 Architecture interne des FPGA ……. 19
II.3.1-Avantages et inconvénients des FPGA ……. 20
II.3.2Les deux grandes familles architecturales d'FPGA…… 21
II.3.3.1Les circuits FPGA à base de « LUT » (Look Up Tables)……. 21
II.3.3.2Les circuits FPGA a base de multiplexeurs « MUX …… 22
II.4- LA CONFIGURATION DES FPGA PAR LES OUTILS CAO….. 23
II.4.1 De l'algorithmique à la conception CAO…… 23
II.4. Méthodologie de conception ……. 24
1)- Spécification du design …… 24
2)- Développement du design ……. 24
3)- Synthèse…… 25
4)- Placement et routage …… 25
5)- Intégration et implémentation …….. 25
II.5 Configuration MATLAB avec System Générateur…….. 25
II 5.1. Blocs Xilinx…….. 27
II 5 .1.1 Organisation des bibliothèques de blocs de Xilinx…… 27
II 5.1.2. Blocs de générateur de système Xilinx……. 28
*Constant…… 30
*Gateway In…… 30
*Gateway out…… 30
*System Générateur…… 30
II 5.1.3 Blocs……... 31
Simulink …… 31
Terminateur……. 31
*Time Scope…… 31
II 6 .Conclusion……... 31
Chapitre III : Simulation et implémentations
III.1Introduction……... 33
III.2La base des données utilisées……... 33
III.3Schéma globale du système……. 34

III.3.1Source……. 34
III.3.2 Etape 1 : cepstrum pre-whitening……. 34
III.3.3Etape 2 filtered analytic signal……. 35
III.3.4Etape3 *saquer* enveloppe…… 35
III.3.5Etape 4 :FFT ……. 35
III.3.6Etape 5 squared envelope spectrum……... 35
III.3.7Etape 6 la sortie …… 36
III.4Affichage et interprétation des résultats…….. 37
III.5. Programmation avec système générateur Xilinix…….. 37
III.5.1Description du Schéma ……. 38
III.5.1.1Source…… 38
III.5.1.2.Etape 1 : Lecteur des donnes :Gateway In……. 38
III.5.1.3 Etape 2 :(Cepstrumpre-whitening)……. 39
III.5.1.4.Etape 3 : (filteredanalyticsignal)…… 41
III5.1.5Etape 4 :(*saquer* enveloppe)…… 43
III5.1.6Etape 5 : Bloc FFT …… 43
III5.1.7Etape 6:(saquer enveloppe cepstrum)……. 45
III.6.Discussion de résultat……. 46
III6.1.Validation des résultats…….. 47
III6.2Implémentationsur la carte FPGA…… 47
III.7 compilation……. 47
III.8Conclusion …… 48
Conclusion générale
Références Bibliographiques

Listes des figures

Figure I.01. Représente la constitution d'un roulement 3
Figure I.02 : Roulements à bille à contact oblique 6
FIG I.03 :Roulements à bille à gorge profonde. 6
Figure. I0.4roulement a rouleaux cylindriques 7
Figure. I.05: roulement a rouleaux coniques 7
Figure. I0.6 Le palier 8
Figure. I.07roulement à aiguille 9
Figure 1.08 diffèrent types de défaillance du roulement 10
Figure I.09cinématique de défaut de roulement. 12
FigureII.01 : Critères de choix du circuit logique programmable FPGA 15
FigureII.02: Statistiques du marché occupé par les vendeurs d'FPGA 16
FigureII.03: Reprogrammable sur site d'un FPGA 16
FigureII.04: Architecture interne d'un FPGA. 17
FigureII.05: Différentes architectures des FPGA. 18
FigureII.06: Exemple d'implémentation sur LUT [14]. 19
FigureII.07: Exemple d'implémentation sur des multiplexeurs 20
FigureII.08: Mode d'exécution matériel de la CAO 22
FigureII.09: Etapes de conception sur FPGA 24
Figure II.10: Configuration MATLAB et System Generator Vivado. 25
Figure II.11 : blocs FFT v.9.1 27
Figure(II.12): Xilinx System Constant. 28
Figure II.12Gateway In. 28
Figure II.13Gateway out 28
Figure II.14: Xilinx System Generator 29
Figur II.15: Simulink – Terminateur 29
Figure III.1 : Schéma synoptique du system global 32
Figure III02cepstrum pre-whitening. 33
Figure III 031filtered analytic signal 33
Figure III 04saquer enveloppe. 33
Figure III 05Bloc FFT 33

Figure III 06squared envelope spectrum 34
Figure III 07 la sorte de signal 34
Figure III.08Schéma globale de l'architecture des blocs de Système générateur Xilinix 36
Figure III.09bloc Gateway In Axi4 37
Figure III.10description du module gateway in 38
Figure III.11 : signal brut 38
Figure III .12: subsystem1. 39
Figure III 13: subsystem2 39
Figure III .14: différentes graphes enregistré pendant l'étape cepstrum pre-whitening. 40
Figure III .15: subsystem3 41
Figure III .16: différentes graphes enregistré pendant l'étape filtered analytic signal. 41
Figure III .17 subsystem4. 42
Figure III .18:différentes graphes enregistré pendant*saquer* enveloppe 42
Figure III.19 Entre de BlocFFT. 43
Figure III .20:différentes graphes enregistré pendant l'étape bloc FFT 44
Figure III . 21: subsystem5 44
Figure III .22: différentes graphes enregistré pendant l'étape saquer enveloppe cepstrum 45
Figure III.23 :: signal de défaut, base des données156 DE 46
Figure III.24 **:** Lancement de la génération 47

Liste des tableaux :

Tab I.01 : Comparaison entre les roulements à billes et à rouleaux……...07
Tab II.01:avantages et inconvénients des FPGA……19
Tab II.02: Organisation des bibliothèques de blocs de Xilinx……..….26

Liste abbreviation:

FPGA: Field Programmable Gate Array.
VHSIC HDL: Very High Speed Integrated CircuitHardware Description Language.
SoC:Security Operations center.
VLSI: Very-Large-Scale Integration.
CLB: Configurable logiqueBloc.
ASIC: Application Specific Integrated Circuit .
IFFT **:**(InversFast Fourier Tranform) Transformé de Fourier rapide.
FFT:(Fast Fourier Tranform) Transforme de Fourier rapide.
ALU : arithmétiquelogique unit.

Symboles :

FR: La fréquence de rotation.
dm : le diamètre du cercle primitif.
n : le nombre de billes.
db: le diamètre de la bille.
α : l'angle de contact.
BPFI : Fréquence de défaut interne, HZ.
BPFO:les fréquences de Défaut externe, HZ.
B : les fréquences de Défaut élément roulant, HZ.
T : période

Introduction générale

Introduction général :

Dans différents domaines, notamment dans le milieu industriel, il est nécessaire d'assurer un fonctionnement continu et correct des machines tournantes les roulements sont des éléments les plus largement utilisés dans les machines tournantes.

L'étude par analyse cepstrum a pour but de déterminer le défaut qui peuvent surgir lors de fonctionnement de la machine tournante, elle permet, par un diagnostic approprié d'éviter la casse et d'intervenir au bon moment et pendant des arrêts programmés basé sur l'analyse spectrale des signaux vibratoires pour détecter les défauts des roulements. Cette technique nécessite généralement d'analyse cepstrum pour l'implémentation de ces techniques, des circuits spécifiques sont utilisés, tels que les microcontrôleurs ou les circuits programmables comme les FPGA (Field Programmable GateArray).

L'FPGA est considéré comme le dispositif le plus efficace pour les applications en raison de sa performance, sa faible consommation d'énergie, et le but de notre travail est faciliter l'interprétation et l'analyse des résultats et l'implémentation d'une technique de détection de défaut des roulements sur circuit FPGA, pour cela on a organisé notre mémoire comme suivant :

- Lepremier chapitre est consacré des généralités sur les roulements, et leurs différents types de défauts
- Le deuxième chapitre contient une définition pour l'analyse cepstrum et description générale de la carte FPGA
- Le troisième chapitre présente simulation l'interprétation du résultat
- Nous terminons notre travail par une conclusion générale

Chapitre I : Généralités sur les roulements

1 Introduction :

L'identification des défauts dans une machine, la réduction des pannes et des temps d'arrêt imprévus sont de plus en plus exigés par les technologies de surveillance d'état. L'analyse vibratoire est considérée par la communauté scientifique comme l'une des méthodes les plus efficaces pour identifier et diagnostiquer les défauts mécaniques dans les machines [1]. Elle utilise l'information induite par les signatures vibratoires par le biais d'indicateurs de l'état de la machine. L'analyse vibratoire est utilisée pour détecter les défauts naissants et sévères dans les composants de machines, comme les roulements, les engrenages, les arbres, etc. Dans ce chapitre, nous allons présenter les roulements, leurs modes de défaillances, ainsi que les différentes techniques pour détecter et effectuer le suivi de défauts basées sur l'analyse vibratoire.

2 Constitution des roulements

Le roulement est un organe qui se trouve entre les paliers et les arbres des systèmes mécaniques en rotation.

Les principales fonctions des roulements sont [2]:

• Réduire la friction entre les pièces mobiles dans la machine.

• Supporter les pièces tournantes d'une machine.

• Soutenir une charge radiale, perpendiculaire à l'axe de rotation.

• Soutenir une charge axiale, dont la direction est la même que l'axe de rotation du roulement.

La Figure I.1 représente la constitution d'un roulement, les roulements sont généralement constitués de deux parties principales, appelées la bague intérieure et la bague extérieure. Entre eux se trouve une cage qui sert à séparer les éléments roulants (rouleaux, aiguille, bille, etc.) à des distances spécifiques. La cage a pour objectif de garder en place les billes àl'intérieure du roulement, et les empêche de tomber lors du mouvement, avec une possibilité derotation. Lorsqu'un roulement est monté dans un assemblage, la bague extérieure s'adapte sur lepalier, tandis que la bague intérieure se situe autour de l'arbre [2].

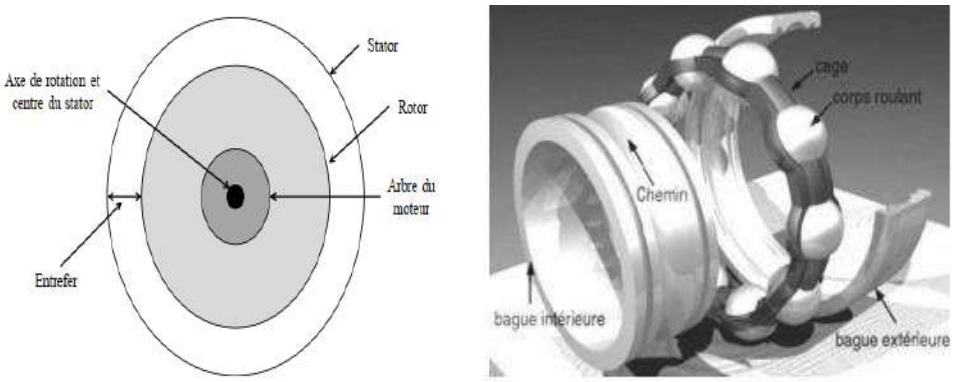


Figure I.01. Représente la constitution d'un roulement**.**

3 Caractéristiques des roulements :

Les roulements sont produits sous de diverses formes et variantes ayant chacune descaractéristiques distinctes.

En comparaison avec les paliers lisses, les roulements ont les avantages suivants[3] :

- Le couple de frottement au démarrage est plus faible et de plus n'est que légèrement supérieur au couple de frottement dynamique.
- Ils sont fabriqués suivant des normes internationales, sont interchangeables et facilement disponibles.
- Le graissage est simple et la quantité de graisse consommée très faible.
- En règle générale, ils acceptent à la fois des charges radiales et des charges axiales.
- Leur utilisation à basse comme à haute température est possible.
- La rigidité des roulements peut être augmentée par un pré charge

4 Types des roulements

Il existe plusieurs types de roulements : roulements à rouleaux, roulements à aiguilles et roulement sa billes [4].

Chaque type de roulement possède son propre domaine d'application. Pour cela il faut connaître les applications et les limites de chaque type de roulement ainsi que les principes de fonctionnement fondamentaux afin de pouvoir sélectionner le roulement approprié, ici qui suive ont donne quelque Types des roulements

4.1 Roulements radiaux et axiaux

La plupart des roulements peuvent supporter à la fois des charges radiales et des charges axiales. Les roulements ayant un angle de contact inférieur à 45° supportent mieux les charges radiales que les charges axiales. Ils sont appelés roulements radiaux. Les roulements ayant un angle de contact supérieur à 45° supportent mieux les charges axiales que les charges radiales. Ils sont appelés roulements axiaux ou butées. Il est possible de faire des combinaisons de roulements radiaux et axiaux qui possèdent alors les caractéristiques propres des roulements radiaux et des roulements axiaux.

4.2 Roulements standard et spéciaux

Grâce à leur normalisation et leur interchangeabilité internationale, les roulements peuvent être employés de façon très rationnelle. C'est pourquoi il est conseillé d'utiliser des roulements standards avec un équipement mécanique. Par ailleurs, il est possible ou parfois nécessaire d'utiliser des roulements non normalisés et de fabrication spécialepermettant de garantir des fonctions spécifiques au sein d'une machine. Il existe plusieurs types de roulements standard indique ci-dessus :

4.3 Roulements à bille à gorge profonde

Les roulements à billes à gorges profondes sont les roulements les plus utilisés dans de nombreux domaines. Ils sont composés de roulements protégés, les étanchéités avecgraisse facilitant leur utilisation. Ils sont également composés de roulements avec dessegments d'arrêt pour faciliter le positionnement lors du montage de la bague extérieure,de roulements de compensation de dilatation qui absorbent les variations de dimension dela surface de serrage dues à la température du logement

4.4 Roulements à bille à contact oblique

La ligne qui relie le point de contact de la bague intérieure, les billes et le point de contact de la bague extérieure tourne avec un certain angle (angle de contact) suivant ladirection radiale. Il existe trois angles de contact standard ,voir figure I.2.
Les roulements à contact oblique peuvent supporter une charge axiale, mais ne peuvent être montés seuls à cause de l'angle de contact. Ils doivent toujours être montés par paires ou combinés. Les roulements à billes à contact oblique à deux rangées (pistes doubles) ont un angle de contact est de 25°. Les roulements à billes à quatre points de contact peuvent supporter des charges axiales dans les deux directions

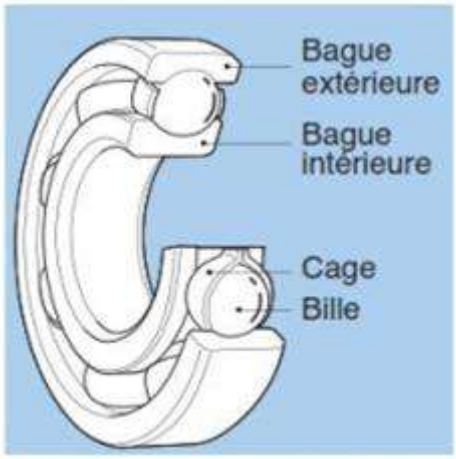


Figure II.02 : différents types de roulement à billes.

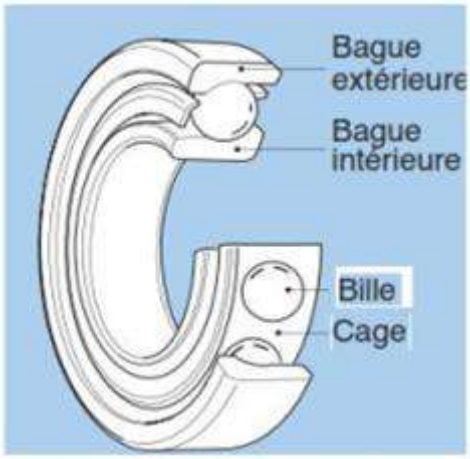


Figure I.03 : Roulements à bille à contact oblique [5]

4.5 Roulements à bille à rouleaux cylindrique

Les éléments roulants sont des rouleaux, ce qui donne une capacité de charge élevée. Les rouleaux sont guidés par les épaulements de la bague intérieure et/ou extérieure. Celles-ci peuvent être séparables pour faciliter le montage, et elles peuvent être montées en ajustement serré sur l'arbre et dans le logement. S'il n'y a pas d'épaulements, la bague concernée peut se déplacer librement en direction axiale. Les roulements à rouleaux cylindriques sont idéaux pour être utilisés comme des « paliers libres » qui encaissent la dilatation de l'arbre. Lorsqu'il y a des épaulements, le roulement peut supporter une légère charge axiale entre les faces des rouleaux et les épaulements. La forme des faces de rouleaux et des épaulements a été adaptée pour augmenter la capacité de charge axiale. La conception du roulement de type E augmente la capacité de charge radiale [5].

4.6 Roulements à rouleaux coniques

Les roulements à rouleaux coniques sont conçus de manière à ce que le chemin de roulement des bagues intérieures et extérieures et les génératrices des rouleaux coniques secoupent en un point qui se trouve sur l'axe du roulement, voir Figure I.3. Les enroulements reçoivent des charges combinées provenant de l'intérieure et roulent en se servant de cet appui comme guidage. Une force induite se produit axialement lorsqu'une charge radiale est appliquée.

Les roulements doivent donc être montés par paire. La bague intérieure à rouleaux et la bague extérieure sont séparables, ce qui facilite le montage avec un jeu ou pré-charge. Le réglage du jeu interne (ou pré-charge) après montage est délicat et demande une attention particulière. Les roulements à rouleaux coniques sont capables de supporter de fortes charges axiales et radiales [5].

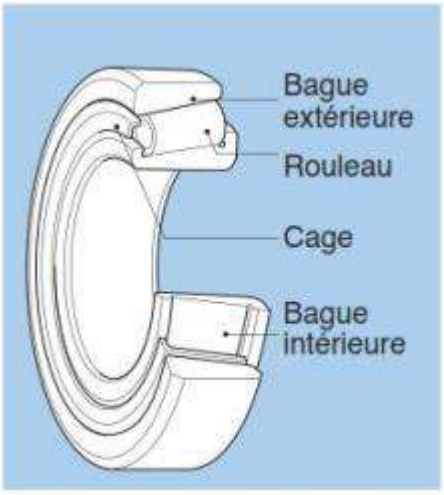


Figure. I.04: roulement a rouleaux coniques

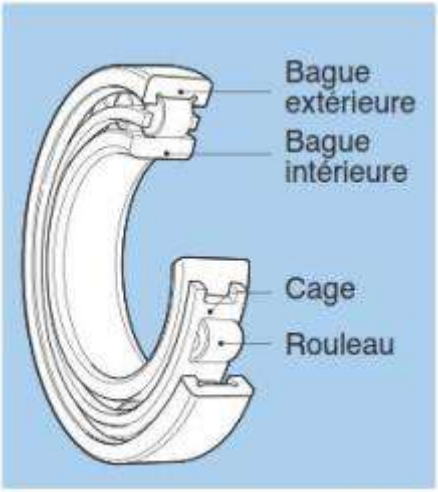


Figure. I.05roulement a rouleaux

4.7 Roulements à aiguilles

Les éléments roulants des roulements à aiguilles sont des aiguilles dont le diamètre maximal est de 5mm et sont 3 à 10 fois plus longues que leur diamètre. La section des roulements est mince, mais la capacité de charge est élevée malgré leur taille. Etant donné le grand nombre d'aiguilles, la rigidité de ces roulements est importante. Ils sont idéaux pour des mouvements d'oscillations et de pivotement. Il existe de nombreux types de roulements à aiguilles [5].

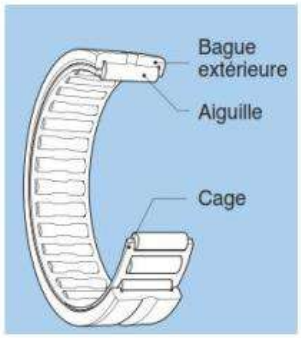


Figure. I.06 roulement à aiguille [5].

4.8 Roulements à bille à rouleaux sphériques

Equipés d'une bague extérieure dont le chemin de roulement est sphérique, et d'une bague intérieure avec deux rangées d'éléments roulants à rotule. Il existe plusieurs types de roulements différenciés par leur conception interne. Les roulements à rotule sur rouleaux peuvent également être proposés avec une bague intérieure dont l'alésage est conique. Le roulement peut être facilement monté sur un arbre grâce à un manchon de serrage ou de démontage. Il est capable de supporter de fortes charges et est donc souvent utilisé dans l'industrie. Lorsqu'une charge axiale extérieure trop importante est appliquée au roulement, la rangée non chargée peut subir des dommages. C'est pourquoi qu'il faut faire vérifier les conditions de fonctionnement [5].

4.9 Roulements Paliers

Un palier est composé d'un roulement à billes inséré dans différents types de logements. Le palier peut être fixé sur une machine et la bague intérieure peut être montée facilement sur un arbre avec une vis de blocage ou un collier excentrique. Le palier peut ainsi supporter un ensemble en rotation sans conception spéciale pour le montage. Une gamme variée de paliers standards est disponible, incluant les paliers à semelle et paliers appliques. Le diamètre extérieur du roulement est sphérique, tout comme le diamètre intérieur du palier. Il permet ainsi un auto-alignement entre les deux paliers supportant l'arbre. Pour la lubrification, le roulement est pré-graissé en usine et une double étanchéité empêche l'entrée de particules ou d'eau.

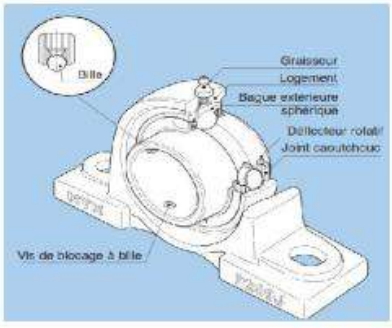


Figure. I.07 Le palier[5].

5 comparaison entre les roulements à billes et à rouleau

Une comparaison entre les roulements à billes et à rouleau est présentée dans le tableau suivant :

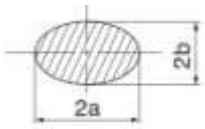
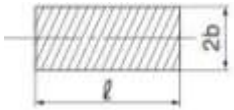
	Roulement à billes	Roulement à rouleaux
Contact avec la piste	 Contact ponctuel : la surface de contact est ovale lorsqu'une charge est appliquée	 Contact linéaire : la surface du contact est rectangulaire lorsqu'une charge est appliquée
Caractéristiques	Grâce au contact ponctuel, la résistance de roulage est faible. Adaptés à des applications à haute vitesse et à couple de frottement réduit. Le niveau sonore est faible.	Du fait du contact linéaire, le couple de rotation des roulements à rouleaux est plus élevé que celui des roulements à billes, mais la rigidité également
Capacité de charge	La capacité de charge est faible, mais les roulements radiaux sont capable de supporter à la fois des charges axiaux et radiaux	La capacité de charge est plus importante pour ce type de roulement. Les roulements à rouleau cylindrique munis d'un épaulement peuvent supporter de faibles charges axiales. Des roulements combinés à rouleau conique appariées permettent de supporter une charge axiale dans les deux directions.

Tableau I.1 Comparaison entre les roulements à billes et à rouleaux [5].

6. Défaut de roulement

Les machines tournantes sont complexes et comportent de nombreux composants susceptibles de tomber en panne. La majorité des machines tournantes disposent de roulements. En raison de la nécessité et de la contribution vitale à la plupart des machines tournantes, les exigences sur les roulements sont devenues plus strictes chaque jour. Une analyse doit être effectuée pour identifier les défauts des roulements avant une panne qui peut s'avérer catastrophique sur les plans économique et humain. Suivant la norme ISO 15243:2017 [6] le défaut est défini comme tout changement de fonctionnement initial dans une pièce ou dans un composant de machine, qui rend la machine incapable d'exécuter les

tâches qui lui sont assignées d'une manière satisfaisante, ou bien la fin de la disponibilité du composant et sa fonction prévue. Un roulement peut également avoir une défaillance avant le temps prévu. La norme ISO 15243 :2017 [13] décrit les principaux modes de défaillance et leurs causes. Ces modes de défaillance sont caractérisés comme suit [7] :

•Surchauffe liée à la rotation : le roulement se décolore, les éléments roulants et la cage se déforment, fusionnent et deviennent plus souples au fur et à mesure que les détériorations s'aggravent.
•Usure : se présente quand des corps extérieurs pénètrent dans le mécanisme de roulement.
•Corrosion : apparaît en cas de présence importante d'eau ou d'agents chimiques à l'intérieur du roulement.

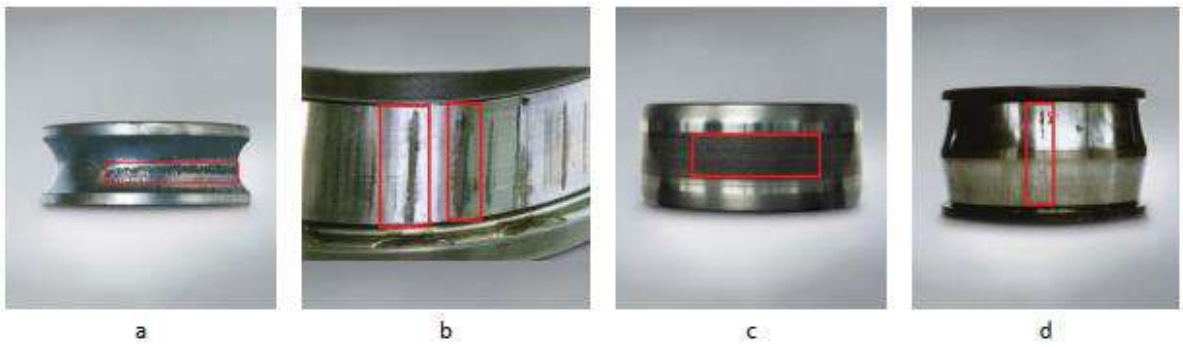
•Érosion électrique : se produit quand le roulement est traversé par un courant électrique.
•Fracture et fissuration : les pièces de petite taille se détériorent si le roulement est soumis à une charge trop élevée, ou si la taille et la capacité du roulement sont insuffisantes pour leur application.
•Écaillage : survient quand de petites particules de matériaux de roulement se séparent du roulement, produisant des surfaces à la structure brute et rude.

•Eraflures : augmentation du nombre de petits grippages, provoquée par un fonctionnement dans des conditions d'utilisation sévère ou de lubrification inadéquate.

•Fissures : causées par des efforts excessifs de tension, des charges ou par des chocs.

•Impact de la vibration : les moteurs sans fixation de l'arbre du rotor peuvent provoquer des vibrations au niveau du palier, ce qui peut abîmer les roulements.

•Insuffisance de la charge de roulement : Les roulements utilisés ne doivent jamais avoir une charge insuffisante pour fonctionner correctement.



.**Figure 1. 0**8 différent types de défaillance du roulement[8].

7 Cinématique de défaut de roulements et fréquences caractéristiques

Chaque type de défaut a sa propre signature et est caractérisé par une fréquence fondamentale (I.1)-(I.4), qui peut être calculée à partir de la structure et des dimensions du roulement et de la fréquence de rotation de l'arbre. En analyse vibratoire, il est donc

possible d'observer certaines bandes de fréquences et d'identifier le type de défaut. Les expressions de ces fréquences caractéristiques sont développées d'après [8]. Nous pouvons les résumer de la manière suivante :

- **Défaut sur la bague extérieure**

Sa fréquence caractéristique est donnée dans l'équation

$$f_{BE} = \frac{n\omega}{2}(1 - \frac{d\cos\beta}{d_e}) \qquad \text{(I.1).}$$

Bien que la charge appliquée sur la bague externe soit constante, on peut remarquer une modulation d'amplitude à la fréquence de rotation de l'arbre autour de la fréquence de défaut.

- **Défaut sur la bague intérieure**

Sa fréquence caractéristique est donnée dans

$$f_{BI} = \frac{n\omega}{2}(1 + \frac{d\cos\beta}{d_e}) \qquad \text{(I.2)}$$

Cette fréquence est modulée par sa fréquence de rotation de l'arbre (bandes latérales autour de la raie de défaut).

- **Défaut sur la cage**

La fréquence de passage d'un défaut de cage est donnée par l'équation (I.3) :

$$f_{age} = \frac{\omega}{2}(1 - \frac{d\cos\beta}{d_e}) \text{(I.3)}$$

Ce défaut se manifeste par la présence de raies à la fréquence $f\,BI$, et ses harmoniques. A l'instar de la bague interne, on pourra constater des bandes latérales autour de $f\,BI$, (fréquence de défaut d'élément roulant) et $2f\,bille$, ces bandes seront distantes d'une fréquence égale à la fréquence de défaut de la cage .

- **Défaut sur l'élément roulant**

La fréquence de passage d'un défaut de bille (ou de rouleau), sur la bague externe ou sur la bague intérieure, est donnée par l'équation (I.4) :
La première fréquence caractéristique de défaut correspond à la fréquence de rotation de l'élément roulant sur lui-même. De plus, cet élément roulant rencontre une fois la bague intérieure et une fois la bague extérieure par tour, il génère donc des chocs à 2 fois cette fréquence.

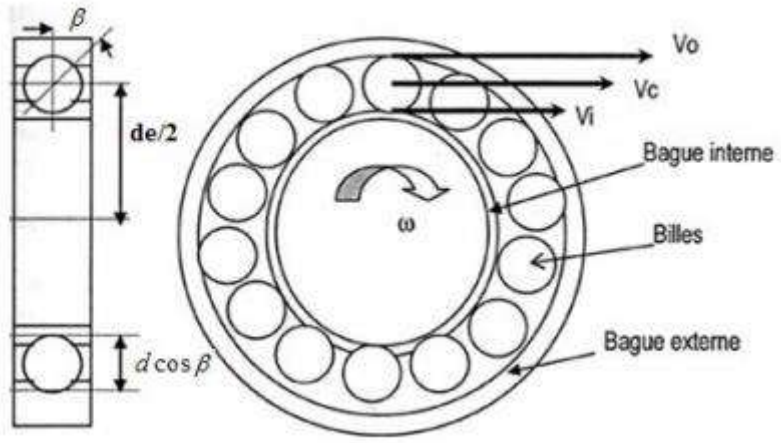


Figure I.09 cinématique de défaut de roulement. [8].

Avec :

n : Nombre de bille.

d: Diamètre de billes.

e

d : Pas diamétral.

β : Angle de contact.

ω: la vitesse de rotation de partie tournante

8. théorie de l'analyse spectral :(analyse cepstrum)

La prédiction linéaire emploie le modèle tout pôle du spectre. Une méthode alternative au LPC est la prétendue analyse cepstral [04]. Dans l'analyse cepstral, le spectre d'amplitude est représenté comme combinaison des fonctions de base cosinus avec des fréquences variables. Les coefficients cepstral sont les amplitudes des fonctions de base. La figure 3.6 montre une comparaison de l'évaluation de l'enveloppe spectrale en utilisant LPC (modèle de tout-pôle) et la représentation cepstrale. Notons que les crêtes dans le modèle de LPC sont très claires, tandis que le spectre présente une enveloppe plus lisse. Dans ce sens, le modèle de LPC préserve plus de détails au sujet du spectre avec le même nombre de coefficients. Formellement, le vrai spectre du signal numérique s[n] est défini comme l'inverse du Transformée de Fourier du logarithme du spectre d'amplitude [06]:

$$c[n] = \frac{1}{2\pi}\int_{-\pi}^{\pi} C_s(\omega) e^{j\omega n} d\omega$$

Où dénote le logarithme du spectre d'amplitude, les coefficients c[ ] n sont les coefficients de série de Fourier du Log Spectre. Le Log spectre est représenté comme une infinité d'addition des cosinus de différentes fréquences, et les coefficients cepstral sont les amplitudes des fonctions de base. Les petits coefficients cepstral représentent les changements lents du spectre et les coefficients plus élevés représentent les composants rapidement variables du spectre. Dans les sons voisés, il y a des composants périodiques dans le spectre

d'amplitude, la structure fine harmonique résulte de la vibration des cordes vocales. Les variations lentes résultent du filtrage du conduit vocal, et de la descente spectrale de la source. Un exemple de spectre modélisé en employant le spectreréel.Similaire à l'analyse de LPC, l'augmentation du nombre de coefficients a comme conséquence plus de détails. La raison de prendre le logarithme du spectre peut être expliquée comme suit [06]. Selon la théorie du filtre source,

$$\left|S\left(e^{j\omega}\right)\right| = \left|U\left(e^{j\omega}\right)\right|\left|H\left(e^{j\omega}\right)\right|,$$

Où S; U et H correspondent au son articulé, source et au filtre, respectivement. En prenant le logarithme, les composants multiplicatifs sont convertis dans des composants additifs:

$$\log\left|S\left(e^{j\omega}\right)\right| = \log\left|U\left(e^{j\omega}\right)\right| + \log\left|H\left(e^{j\omega}\right)\right|.$$

Prendre le logarithme correspond à exécuter une transformation homomorphie [06], les séquences multiplicatives sont converties en un nouveau domaine, où ils deviennent additifs. La formule pratique pour calculer le spectre réel est obtenue par l'emploie DFT et IDFT:

$$c[n] = f^{-1}\left\{\log\left|f\left\{segment\ signal\right\}\right|\right\}$$

Donc le spectre réel est obtenu en appliquant la DFT inverse au logarithme de l'amplitude du DFT d'un segment du signal parole à analyser.

Définition

Cepstrum Analysis est un outil de détection de périodicité dans un spectre de fréquences, et semble jusqu'à présent avoir été utilisé principalement dans l'analyse de la parole pour la détermination de la hauteur de la voix et les questions connexes. Dans ce cas, la périodicité du spectre est donnée par les nombreuses harmoniques de la fondamentale fréquence vocale, mais une autre forme de périodicité qui peut également être détectée par analyse de spectre est la présence de bandes latérales espacées à intervalles égaux autour d'une ou plusieurs fréquences porteuses.

Ceci est normalement défini comme le spectre de puissance du logarithme du spectre de puissance. Depuis l'étalonnage absolu est d'importance secondaire (à condition que la cohérence soit maintenue) et puisque le spectre de puissance logarithmique serait normalement exprimé en dB, l'unité d'amplitude du le cepstrum est ici pris égal à (dB)2. À l'occasion, cependant, le terme spectre peut également être appliqué au spectre d'amplitude (racine carrée du spectre de puissance) et cela se distinguera par ayant les unités dB

9 Méthode d'obtention de cepstrum

Puisque l'initiateur de la technique, Tukey, était aussi l'un des initiateurs du Faste Fourier algorithme de transformation (FFT), il est naturel que jusqu'à présent les techniques numériques aient été utilisées presque exclusivement pour la détermination du spectre. Cela représente également une méthode très efficace et rapide puisqu'elle même algorithme est utilisé pour obtenir à la fois le spectre d'origine et le spectre, et le fonctionnement en temps

réel est faisable. Cependant, plusieurs autres possibilités sont décrites ici, allant dédies montages entièrement analogiques aux arrangements où l'analyse du spectre est effectuée par voie analogiqueméthodes, mais avec sortie de spectre sous forme numérique pour le calcul numérique du spectre.

Ces méthodes seront souvent moins coûteuses en termes d'instruments que l'analyse numérique, et de nombreuses personnes possèdent déjà les instruments nécessaires.

10. Conclusion :

Ce chapitre a présenté des généralités sur les roulements, éléments les plus susceptibles de subirune défaillance dans une machine tournante dans un environnement industriel, en commençantpar leurs géométrie, les typ.es majeurs de roulements trouvés sur le marché, ainsi que lesdéfaillances possibles et leurs fréquences de défauts, à la fin le méthode utilisé pour le diagnostic des défauts est détaillé.

Chapitre II : les signaux caractéristiques des défauts et les outils de développement (FPGA) utilisée

1-introduction

Dans ce chapitre, nous précisons d'abord le cadre de notre travail. Il s'agit de développer des outilsavancés pour réaliser le prototypage rapide des algorithmes de traitement du signal surFPGA pour le diagnostic des défauts de roulement. Ensuite, nous présentons un état de l'art des méthodes et des outils existants dédiés àl'implantation matérielle des applications sur des systèmes embarqués. Nous décrivons en troisièmepartie une technique avancée de compilation de l'algorithme choisie, qui est utilisée dans notre conception.

2. Prototypage rapide pour l'implantation des algorithmes de traitementdu signal sur FPGA

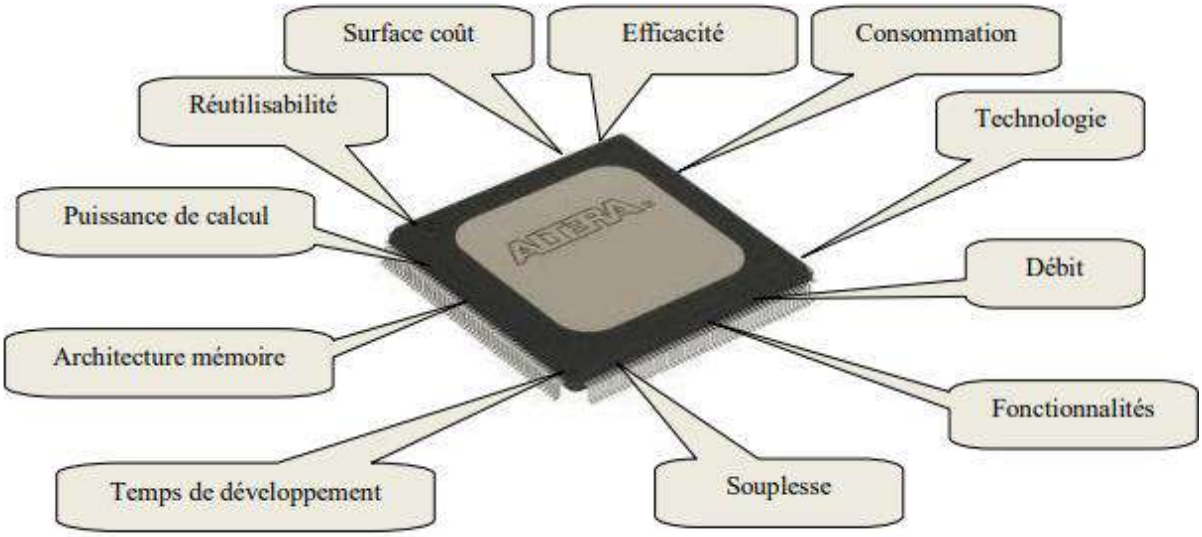
Les FPGA sont des composants numériques reconfigurables dont on définit le fonctionnement interne par le biais d'un langage de description de type HDL (Hardware Description Langage, par exemple le VHDL pour VHSIC HDL c'est-à-dire Very High Speed Intégrâtes Circuit HDL). On définit ainsi une architecture de traitement dans laquelle on peut utiliser toutes les ressources internes du composant, ainsi que les entrées/sorties, les communications avec d'autres composants, etc.

L'évolution rapide des techniques de fabrication et des technologies ont permis de voir la naissance de FPGA de plus en plus performants et de plus en plus complexes. On trouve ainsi dans les FPGAs de dernière génération des processeurs embarqués, des liens de communications ultrarapides, et biend'autres fonctionnalités. Ils sont aussi de plus en plus denses (jusqu'à 1 milliard de portes logiqueséquivalentes) et de plus en plus rapides (jusqu'à 500 MHz). Tout cela permet la réalisation de systèmes très complexes et très performants. De plus, le potentiel de reconfigurable statique et dynamique permet de tenir compte de l'évolution des standards et ainsi de modifier l'architecture interne alors que la carte et le reste des composants restent figés. Les FPGAs sont souvent utilisés soit pour le prototypage des systèmes complexes (par exemple SoC), soit comme des systèmes dédiés au traitement du signal et d'image[9].

2.1- Critères de choix du circuit programmable FPGA

Les FPGA sont développés récemment grâce aux progrès de la technologie VLSIl'apparitionde ce type de circuits est une révolution des systèmes digitaux et ouvrants des perspectives detraitement numérique inaccessibles auparavant. La fin des années 80 a vu l'apparition despremiers circuits FPGA qui sont des circuits intégrés que l'on peut configurer en un tempsrelativement court pour réaliser n'importe quelle fonction logique « câblée » à bas coût parue programmation de ses cellules logiques et ses interconnexions avec une restriction de nipas épuiser les ressources du FPGA. Typiquement, un circuit FPGA haute densité peutcontenir jusqu'à plusieurs millions d'éléments programmables [10]. La figure II.1 représente les critères de choix du circuit logique programmable FPGA, Pour réussir une application àbase de FPGA et afin d'obtenir un système plus performant, consommant un minimum depuissance, il est nécessaire de respecter un certain nombre de règles comme :

- Bien connaître les caractéristiques du FPGA ciblé pour assurer son adéquation avec les besoins du projet. Elaborer une méthodologie de conception.
- Maîtriser les outils d'implémentation et de choisir des outils de synthèse de qualité.
- La conception sur les circuits FPGA est un challenge dans lequel l'objectif est de trouver le bon compromis entre densité, flexibilité et performances temporelles.



FigureII.01 : Critères de choix du circuit logique programmable FPGA.

2.2- Différent domaines d'application des FPGA

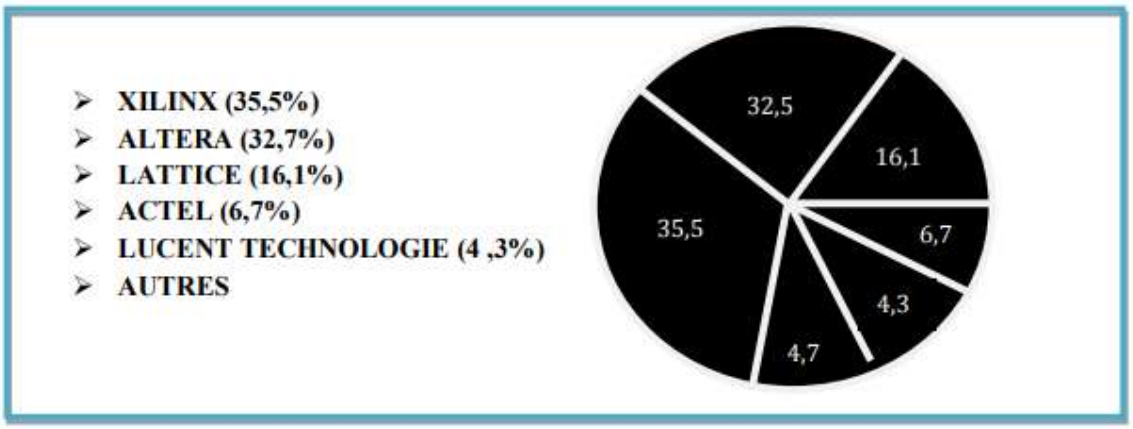
Les FPGA ont fait révolutionner certain domaines de contrôle numérique et de plus en plusutilisés pour intégrer des architectures numériques complexes. Ils sont devenus les plus populaires en matière d'implantation et de prototypage des circuits numériques après leur apparition sur le marché en 1984[11]. La clé maîtresse de leurs réussites est l'aspect de programmation de ces derniers. Leurs utilisations actuelles couvrent les deux domaines : civil et militaire. Parmi ces applications nous citons :

- Informatique : Périphériques spécialisés.
- Machinerie industrielle : Contrôleur pour machines.
- Télécommunications : Traitement d'images, Filtrage.
- Instrumentation : Équipement médical, Prototypage.
- Transport : Contrôle d'avions et métros.
- Aérospatiale: Satellites, Radar, Communication protégée, la détection ou la
- surveillance……etc.

4.3 Principaux fondeurs d'FPGA

Les fabricants des FPGA ne cessent pas d'améliorer leurs produits par l'efficacité et lapuissance. L'ensemble des firmes (Principaux fondeurs) qui conçoivent ce type de circuits

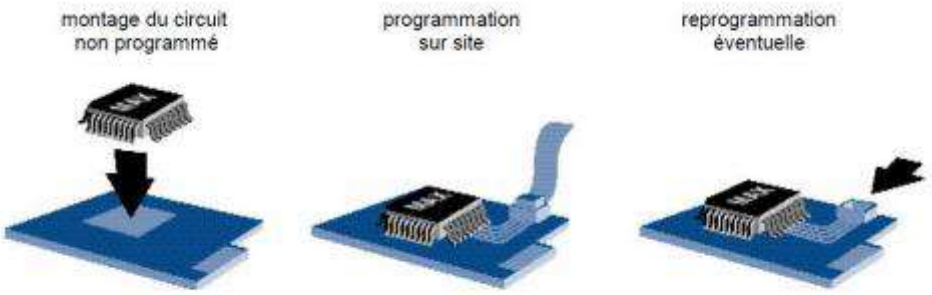
sont : Actel, Altera, Atmel, Cypress, Lattice, Minc, QuicLogic, Xilinx et d'autres.



FigureII.02: Statistiques du marché occupé par les vendeurs d'FPGA [11].

4.4 Configuration et reconfiguration des FPGA [12]

Un système reconfigurable est un système qui est constitué de composants ou entités àarchitecture modifiable afin de répondre à un objectif bien déterminé. Ce systèmereconfigurable dispos d'un mécanisme permettant de choisir une nouvelle configuration etde la mettre en place dans le cadre du processus de reconfiguration.Les circuits FPGA sont un type de ces circuits reconfigurables. Ils sont programmables ouconfigurables sur les cartes sur quelles ils sont implantés par l'utilisateur. Cette reconfigurable est une propriété nécessaire face aux systèmes à charges et contraintes25variables. Le FPGA est une abréviation anglaise qui signifie (réseau des portesprogrammables) ce qui est décrit dans la figure suivante.

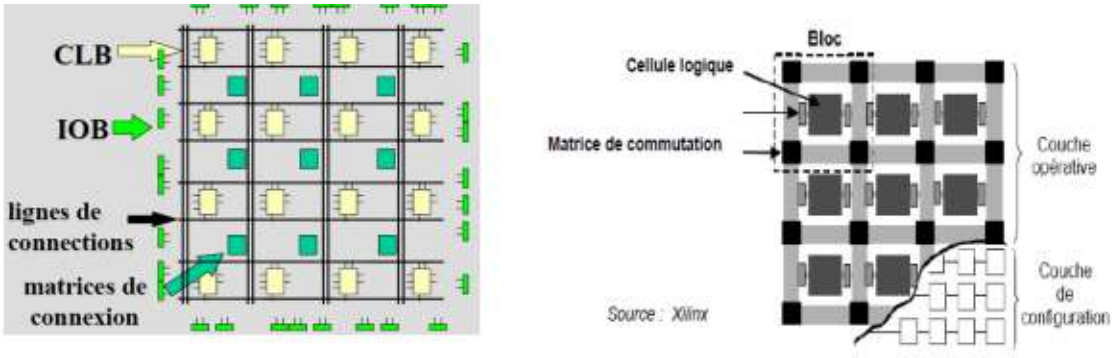


FigureII.03: Reprogrammable sur site d'un FPGA

3 Architecture interne des FPGA

On appelle les FPGA quelques fois LCA, abréviation anglaise de « LogicCellArray » Signifiant réseau de cellules logiques. Pour réussir à implanter un système dans un FPGA de manière efficace, il est indispensable de bien connaître sa structure interne et ses limites du point de vue performances. Les composants logiques programmables sont des circuits composés de nombreuses cellules logiques élémentaires librement assemblables. Celles-ci sont connectées de manière définitive ou réversible par programmation afin de réaliser les ou les fonctions numériques désirées. Un FPGA (Field-Programmable GateArray) est un circuit intégré avec une structure adaptable par l'utilisateur et composée d'un réseau de cellules élémentaires ou d'éléments logiques programmables CLB et IOB répartis régulièrement et reliés entre eux grâce à des connections qui forment une matrice de routage programmable pour obtenir un comportement spécialisé du circuit dans sa globalité. Puisque tous les éléments sont programmables. L'ensemble des systèmes reconfigurables FPGA est subdivisé en trois catégories suivant les fonctions préexistantes et des possibilités de les interconnectées. Ces catégories sont : des systèmes reconfigurables nommés "grain fin", des systèmes reconfigurables nommés "grainmoyen" et des systèmes reconfigurables nommés " grain large[12].

L'architecture interne des FPGA est différente d'un fondeur à un autre et même entre les différentes gammes du même constructeur mais rien n'empêche que leurs ressemblances peuvent être rassemblées dans le schéma représentatif de la figure suivante:



FigureII.04: Architecture interne d'un FPGA.

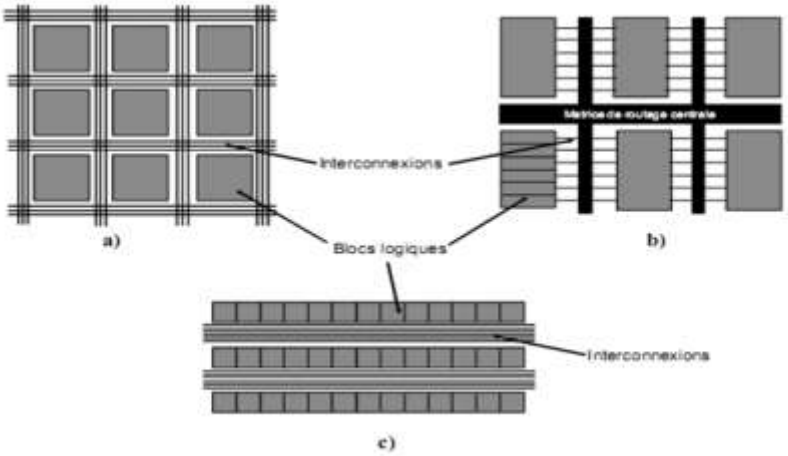
Les composants interne d'un FPGA est donnes comme suivants :

- Les macro-cellules internes sont appelées :
  - Soit CLB qui est la dénomination adoptée par Xilinx et abréviation anglaise de « Configurable Logic Block », signifiant bloc logique configurable.

- Soit LC qui est le nom choisi par Cyprès et abréviation anglaise de « LogicCell », signifiant cellule logique.
- Soit LE qui c'est l'appellation d'Altéra abréviation anglaise de « LogicElement» signifiant élément logique.

- Les macro-cellules sur la périphérie sont appelées : IOB abréviation anglaise de « Input Output Block », signifiant bloc logique d'entrées sorties.
- L'ensemble des points de connexion est appelé PIP, abréviation anglaise de « Programme InterConnect Points ». La granularité des FPGA par les macro-cellules CLB nous permet d'implémenter des fonctions logiques «combinatoires ou séquentielles »complexes car chaque CLB est constitué d'une partie combinatoire et d'une partie séquentielle. Chaque fonction est décomposée en petites fonctions booliennes qui peuvent être contenues par de petites cellules élémentaires SLICES. Ces dernières comportent des LUT pour la partie combinatoire et une ou des bascules (généralement de type D) pour la partie séquentielle.

Les architectures existantes peuvent être regroupées en trois grandes catégories suivant la manière dont les blocs logiques sont organisés comme le montre la figure suivante:



FigureII.05: Différentes architectures des FPGA.

3.1-Avantages et inconvénients des FPGA

Les avantages et les inconvénients des FPGA sont multiples on trouve **[13]** :

Avantages	Inconvénients
• Technologie « facile » à maîtriser. • Temps de développement réduit. • Reprogrammable. • Idéal pour le prototypage. • Coût peu élevé. • Parallélisme de traitement. • Flexibilité et la possibilité de réduire • Fortement les délais de • développement etcommercialisation. • La reconfiguration, parfois en temps rée	• Performances non optimisées. • Temps de réponse long par rapport aux ASIC

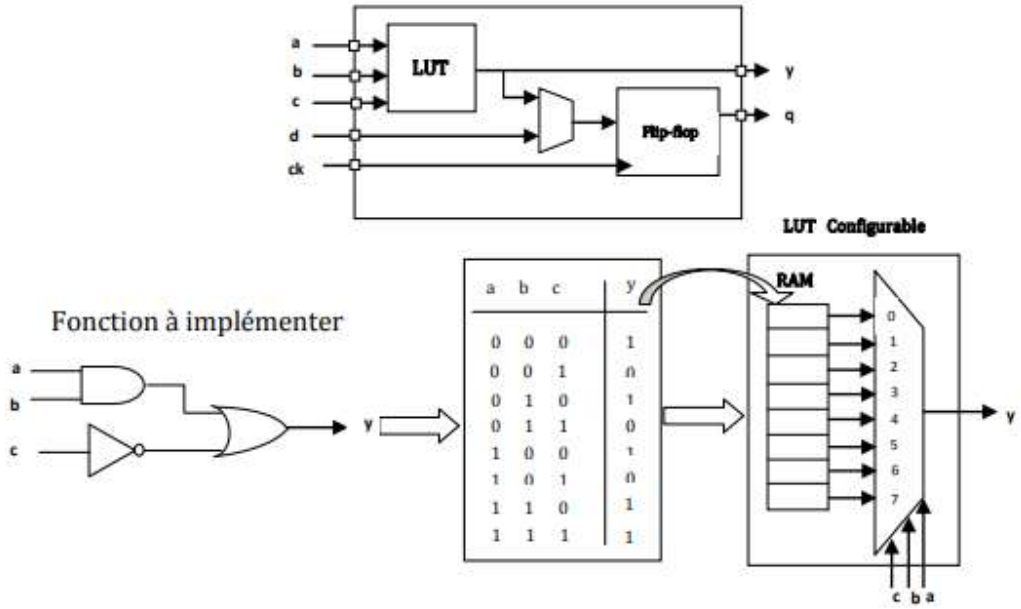
Tableau (II.01) : avantages et inconvénients des FPGAs**.**

3.2-Les deux grandes familles architecturales d'FPGA

Les familles des FPGA peuvent se regroupées en deux groupes :

3.3.1Les circuits FPGA à base de « LUT » (Look Up Tables)

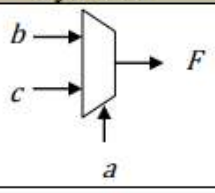
Ressemblent aux tables de vérité des fonctions logiques etréalisables par des mémoires de type SRAM. Aujourd'hui, la structure la plus utilisée estbasée sur ce type (Look-Up Table). Les possibilités offertes par les circuits programmables FPGA a SRAM permettent par ailleurs de mettre en œuvre le concept de prototypage (oumaquette) pour la vérification fonctionnelle de systèmes sur puce pour certaines applications.
La fonction de la LUT est de stocker la table de vérité de la fonction combinatoire àimplémenter comme le montre la Figure(II06) suivante :

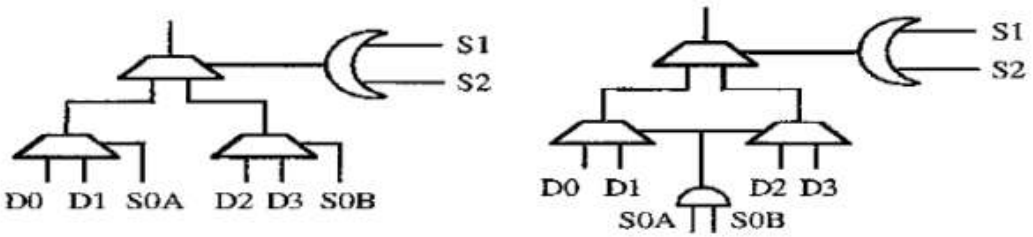


FigureII.06: Exemple d'implémentation sur LUT [14].

3.3.2Les circuits FPGA a base de multiplexeurs « MUX

Les FPGA à base de multiplexeurs qui sont des microcellules à trois entrées capable deréaliser la fonction suivante :

Equation logique	Symbole
$F = (a\ AND\ b) OR (\overline{a}\ AND\ b)$	



FigureII.07: Exemple d'implémentation sur des multiplexeurs.

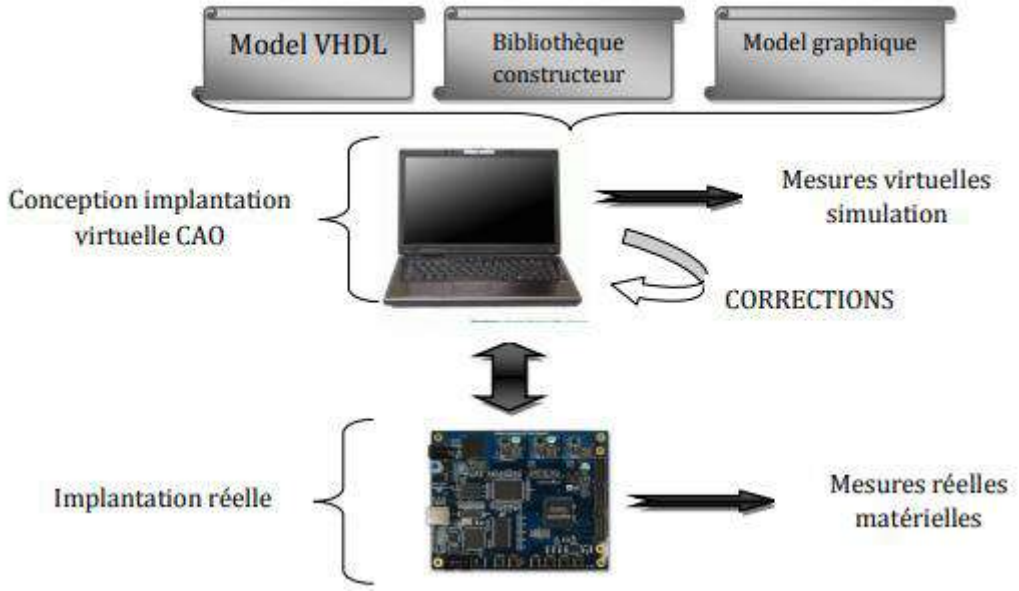
4 LA CONFIGURATION DES FPGA PAR LES OUTILS CAO

4.1 De l'algorithmique à la conception CAO

L'origine du mot algorithme provient du nom latinisé d'Al-Khawarizmi (ABOU JAFAR MUHAMMED IBN MUSA AL-KHAWARIZMI médecin arabe du moyen âge). Un algorithme est une suite ou séquence de raisonnements réalisés par un nombre fini d'opérations en termes de temps et de support matériel afin de fournir une solution à certains problèmes. Un algorithme est présenté sous forme d'une prescription qui peut avoir différentes formes (textuelle, graphique, formule mathématique, diagramme de séquence…..etc.)[32]. La plupart des algorithmes existants sont orientés vers une implémentation logicielle ce qui est contraire à notre application qui s'agit d'une implantation matérielle. L'objectif des algorithmes sont récapitulés comme suit:

- Transmettre un savoir faire.
- Décrire les étapes à suivre pour réaliser un travail.
- Expliciter clairement les idées.

Les techniques de conception CAO (Conception Assistée par Ordinateur) sont aujourd'hui très éprouvées et largement employées afin de concevoir des circuits électroniques nécessaires à mettre en pratique les connaissances algorithmiques. L'approche moderne pour la conception des circuits (logiques) électriques et la manière d'introduire une fonctionnalité sur un support physique sont confiées aux outils CAO. Les outils CAO sont utilisés pour générer le fichier de configuration des FPGA qui s'appelle (bitStream) à partir d'une description de haut niveau. Les principaux rôles confiés aux outils CAO sont : la description, la simulation, la synthèse, le placement et le routage. Un design peut être conçu à l'aide d'un éditeur schématique ou d'un outil de traitement de textes.



FigureII.08: Mode d'exécution matériel de la CAO.

La conception de circuit simple peut se faire par l'approche schématique mais dans les circuits complexes elle cède le champ de conception à l'approche textuelle.

4.2 Méthodologie de conception [15]

Le flot de conception d'un système sur puce regroupe plusieurs niveaux d'abstraction. Dans chaque niveau, le concepteur s'intéresse à la résolution d'un problème. Les outils de CAO sont utilisés intensivement et assurent la transition entre les différents niveaux d'abstraction.

Nous pouvons traiter un système complexe de deux manières qui sont :

- L'approche dite « descendante » (ou « top-down » en anglais).
- L'approche dite « ascendante » (ou « bottom-up » en anglais). REMARQUE : Il y a une grande similitude de conception pour les FPGA, les CPLD et les ASIC.

Le développement d'une application sur FPGA par des outils CAO suit l'enchainement des étapes suivantes:

1)- Spécification du design

Le nombre de broches d'entrée-sortie et leur localisation dans la puce FPGA. ϖ La spécification de la fréquence d'horloge du système. ϖ La spécification de la mémoire requise pour l'application.

2)- Développement du design

Spécification de la méthodologie de design (Outil de développement utilisé).

ϖ La saisie du circuit Codage RTL (VHDL, Verilog...) ¬ Graphique (Machine à états). ¬ Saisie HDL (Hardware Description Language). ϖ La simulation (Pré et Post synthèse)

3)- Synthèse

La synthèse est le processus qui convertit la représentation du design à partir du code HDL fourni pour produire une représentation au niveau porte logique. Elle s'occupe de déterminer quelles sont les structures susceptibles de répondre au cahier des charges étudié et de produire un code booléen unique sous forme d'un fichier

4)- Placement et routage

A partir des fichiers de synthèse, l'outil de conception procède au placement et routage. Un algorithme de routage est sensé de faire l'aiguillage des données qu'il reçoit vers leurs destination par action sur les nœuds de routage ce qui est équivalent à définir les chemins qui relient l'ensemble des CLB contenus dans la fonction désirée.

Ces algorithmes de routage sont différents d'un concepteur à un autre. Plusieurs traitements sont nécessaires pour obtenir un fichier de configuration : ¬ Partitionnement : Les équations logiques sont partitionnées en un autre ensemble équivalent d'équations. Chaque équation de ce nouvel ensemble peut être implantée dans un seul bloc logique du composant cible FPGA.

¬ Placement :

Des blocs logiques sont sélectionnés dans la matrice et affectés au calcul des nœuds du réseau booléen.

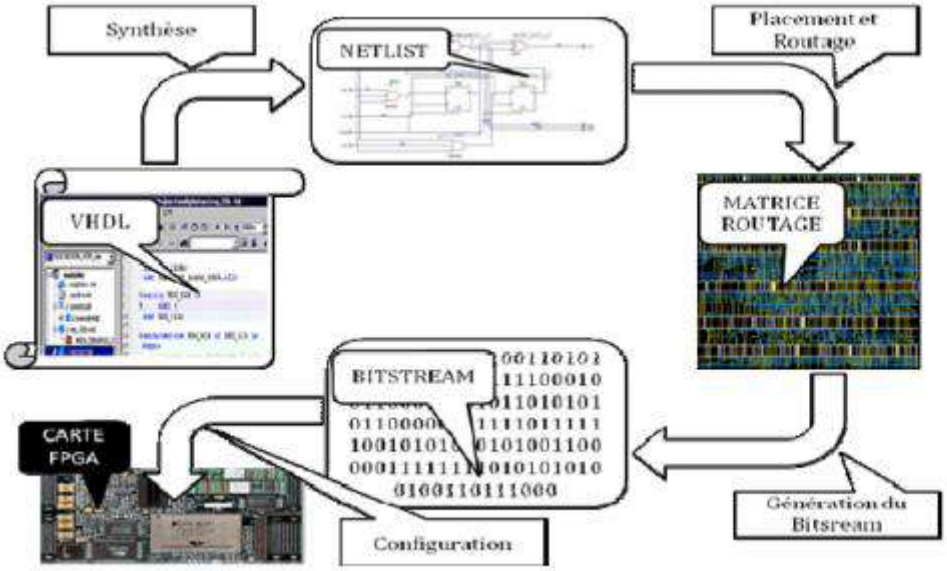
¬ Routage :

Les ressources d'interconnexion sont affectées à la communication de l'état des nœuds du réseau vers les différents blocs logiques qui en ont besoin. ¬ Génération des données numériques de configuration : Les informations abstraites de routage, de placement et les équations implantées dans les blocs sont transformées en un ensemble de valeurs numériques, qui seront chargées sur le composant FPGA.

5)- Intégration et implémentation [16]

L'implémentation est la réalisation proprement dite qui consiste à mettre en œuvre l'algorithme sur l'architecture du circuit configurable cible, c'est-a-dire à compiler, charger, puis lancer l'exécution sur un ordinateur ou calculateur. C'est une étape de programmation physique et de tests électriques qui clôture la réalisation du circuit.

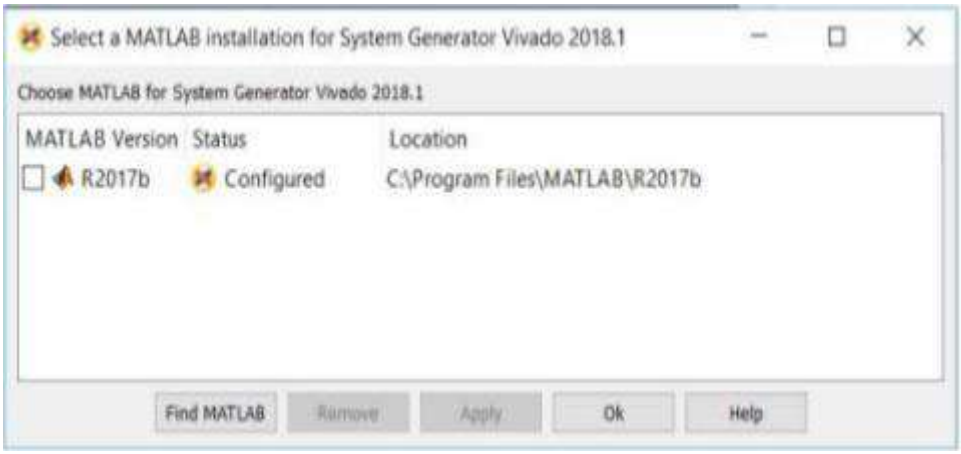
La figure suivante résume l'ensemble de ces étapes.



FigureII.09: Etapes de conception sur FPGA**.**

5 Configuration MATLAB avec System Générateur :

Dans ce mémoire, les FPGA de Xilinx, Zed Board, ont été utilisés comme indiqué précédemment. À FPGA basé sur un modèle de conception, l'environnement Simulink de Math Works a été utilisé avec Blocs générateurs. Le logiciel utilisé pour concevoir le matériel doit être sélectionné avec versions. L'installation de versions exactes du logiciel est l'une des étapes les plus importantes d'une courte avance. Avec les mauvaises versions de Xilinx vivado et MATLAB, concevoir peut-être incompréhensible. Ils doivent également être compatiblesavec le matériel à utiliser. Comme mentionné, la carte de développement ZedBoard a été utilisée comme matériel pour les logiciels Xilinx vivado 18.2 et MATLAB 2017b ont été utilisés. A configurer les logiciels Xilinx vivado et Matlab, MATLAB devrait être installé en premier, puis Xilinx doit être installé. Lors de l'installation Xilinx vivado, à partir de la fenêtre deconfiguration 'Select a MATLAB l'installation pour System Générateur, la version réelle deMATLAB doit être sélectionnée, puis alors la configuration peut être complétée [17]



Figure(II.10): Configuration MATLAB et System Generator Vivado. [18].

Avant de commencer, vous devez vérifier que MATLAB est configuré pour Vivado

Design Suite. Faites ce qui suit :

1. Sélectionnez Démarrer> Tous les programmes> Outils de conception Xilinx>Vivado 2018.x> Générateur système> System Générateur 2018.x MATLAB
Configurateur.

2. Cliquez sur la case à cocher de la version de MATLAB que vous souhaitez configurer, puis cliquez sur OK. Sur les systèmes Windows, vous devrez peut-être lancer le configurateur MATLAB en tant qu'administrateur. Lorsque MATLAB configurateur est sélectionné dans le qu'a administrateur

***II. 5*.1. Blocs Xilinx**

Dans cette partie en s'intéresse aux blocs Xilinx et plus spécialement les blocs utilise dans notre travail d'implémentation de la transforme d'Hilbert et décomposition de spectre du signal finale

5.1.1 Organisation des bibliothèques de blocs de Xilinx

Bibliothèque	Description
AXI4 Bloks	Cette bibliothèque comprend tous les blocs supportés par l'interface AXI4
Basic Elément Blocks	Cette bibliothèque comprend des blocs de construction standard pour la logique numérique
Communication Blocks	Cette bibliothèque est couramment utilisée dans les systèmes de communications numériques. La bibliothèque de blocs de communication comprend des blocs de correction d'erreurs et des blocs modulateurs
Control Logic Blocks	Cette bibliothèque comprend des blocs pour les circuits de commande et les machines d'état
Control Logic Blocks	Cette bibliothèque comprend des blocs pour les circuits de commande et les machines d'état.
Data Type Blocks	Cette bibliothèque comprend des blocs qui convertissent les types de données (y compris les passerelles).
DSP Blocks	Cette bibliothèque comprend des blocs de traitement numérique du signal(DSP)
Floating-Point Blocks	Cette bibliothèque comprend des blocs qui prennent en charge le type de données à virgule flottante ainsi que d'autres types de données. Seul un seul type de données est pris en charge à la fois. Par exemple, une entrée à virgule flottante produit une sortie à virgule flottante ; une entrée à virgule fixe produit une sortie à virgule fixe.
Index Block	Cette bibliothèque comprend tous les blocs du générateur de système
Math Blocks	Cette bibliothèque comprend des blocs qui implémentent des fonctions mathématiques.
Memory Blocks	Cette bibliothèque comprend des blocs qui implémentent et accèdent aux mémoires
Tool Blocks	Cette bibliothèque comprend des blocs "Utilitaires"

Tab II.02 : Organisation des bibliothèques de blocs de Xilinx.

5.1.2. Blocs de générateur de système Xilinx

* Blocs FFT v.9.1

IL existe de nombreux cas où le traitement du signal implique la mesure des spectres de fréquence dans les signaux, soit en calculant la transformée de Fourier discrète (DFT) ou la transformation de Fourier rapide (FFT).

Le DFT est défini par la formule suivante

$$X_k = \sum_{n=0}^{N-1} x_n e^{-i 2\pi k \frac{n}{N}} \qquad k = 0, \ldots, N-1.$$



Figure II.11 : **blocs FFT v.9.1 [15].**

*Les caractéristiques de FFT v.9.1 sont :
-FFT complexe directe et inverse, temps d'exécution configurable.
-Tailles de transformation N = 2 ^ m, m = 3-16
-Précision de l'échantillon de données bx = 8 - 34
-Précision du facteur de phase bw = 8 - 34
-Type's arithmétiques :
° Point fixe non mis à l'échelle (pleine précision).
° virgule fixe.
° Bloc à virgule flottante.
-Interface à virgule fixe ou flottante.
-Arrondi ou troncature après le papillon.
-Bloquer la RAM ou la RAM distribuée pour le stockage des données et du facteur de phase.
-Taille de point de transformation configurable en temps d'exécution en option.
-Calendrier de mise à l'échelle configurable au moment de l'exécution pour les cœurs à virgule fixe mis à l'échelle.

-Ordre de sortie bit / chiffre inversé ou naturel
-Insertion de préfixe cyclique en option pour les systèmes de communication numériques
-Quatre architectures offrent un compromis entre la taille du cœur et le temps de

transformation

*Constant:

Le bloc Xilinx Constant génère une valeur constante. Ces valeurs peuvent être une valeur fixe, une valeur booléenne. Si l'on compare avec le bloc constant Simulink, il est similaire à cebloc, mais peut être utilisé pour piloter directement les entrées.



Figure(II.12): **Xilinx System Constant. [18].**

*Gateway In:

Avec les blocs Xilinx Gateway In, les données produites par les blocs System Generator peuvent être saisies pour votre conception Simulink.



Figure II.12 Gateway In. [18].

* Gateway Out:

Les blocs Xilinx Gateway Out sont les sorties de la partie Xilinx de votre conception Simulink. Ce bloc convertit le type de données en virgule fixe ou en virgule flottante de System
Generator en un type de données Simulink entier, simple, double ou en virgule fixe[19]



Figure II.13: Gateway out [18].

*System Generator:

Le jeton du générateur de système sert de panneau de commande pour contrôler les paramètres du système et les paramètres de simulation. Il est également utilisé pour la génération de code. Chaque modèle Simulink contenant XilinxBlockset doit contenir un bloc



Figure II.14: **Xilinx System Generator [18].**

5.1.3 Blocs Simulink :

*** Terminator :**

Ce bloc termine le port d e sortie non coté.



Figur II.15: **Simulink – Terminateur [18].**

***Time Scope** :

Le bloc Time Scope affiche les signaux dans le domaine temporel. Le bloc Time Scope accepte les signaux d'entrée ayant les caractéristiques suivantes :

-Temps d'échantillonnage continu ou discret.
-Valeur réelle ou complexe.
-Dimensions fixes ou variables.
-Type de données à virgule flottante ou fixe.
-N-dimensionnelle.
-Énumérations Simulink

6 .Conclusion

Dans ce chapitre nous avons détaillé l'évolution des circuits logiques programmables quiont conduit à l'apparition des FPGA. Au départ, nous avons présenté le début de l'apparitiondes circuits programmables FPGA ainsi que l'outil de développement système générateur Xilinix et les blocs de cet outil qu'on a utilisé dans notre projet.

Chapitre III : Simulation et implémentations

1Introduction :

Dans ce chapitre, nous présenterons la partie implémentation de notre travail pour détecter les defaults de roulement sur la bague intérieure ou extérieur, en utilisant la méthode dite analyse cepstrum, applique à la base des donnée « Case Western Reserve »pour identifierle type de défaut.

2La base des données utilisées

Pour étudier, analyser et diagnostiquer les défauts de roulement, nous avons choisi de Travailler sur les données des expériences faites dans le centre de données sur les roulements del'Université Case Western Reserve [20].

Les roulements utilisés sont des roulements à billes normaux et défectueux installés Surun moteur électrique de 2 ch. Les roulements défectueux ont été réinstallés dans le moteur d'essai et les données de vibration ont été enregistrées pour des charges de moteur de 0 à 3 chevaux (vitesses de moteur de 1797 à 1720 tr / min).

Tous les fichiers de données sont au format Matlab (* .mat). Ces données numériques ont été collectées à une fréquence de 12 000 échantillons par seconde ; Chaque fichier contient les données de vibration suivantes :

- De : données de l'accéléromètre fixé sur le cote entraînement de moteur.
- Ba : données de l'accéléromètre fixé sur la plaque de base de moteur.
- Fe : données de l'accéléromètre fixé sur le côté ventilateur.
- rpm: tours par minute

3 Schéma globale du système

Le schéma suivant donne les différentes étapes de notre système de manière globale comme suivant :

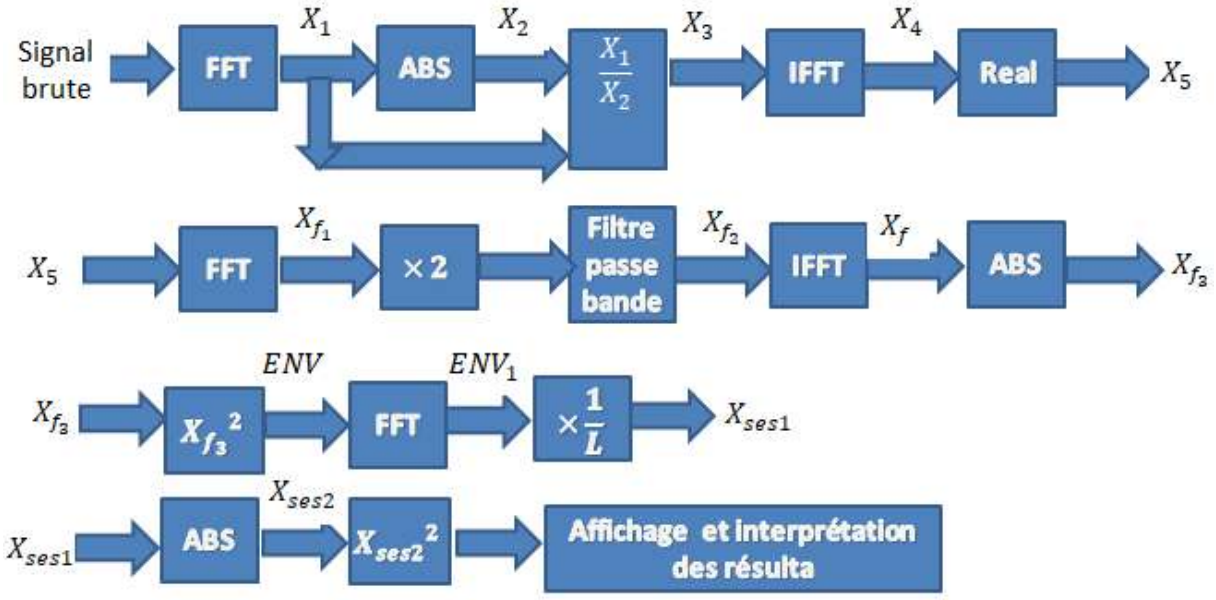


Figure III.1 : Schéma synoptique du system global.

Par la suite nous allons détailler chacune des étapes précédentes :

3.1 Source :

Cette étape permet d'ouvrir la base des données qui contient le signale capture sous forme des données numériques en format Matlab (* .mat). On considère cette étape comme l'entrée du système.

3.2 Etape 1 : cepstrum pre-whitening

L'objectif de l'étape 1 est faire l'opération (cepstrumpre-whitening) comme indique dans la figure suivante :

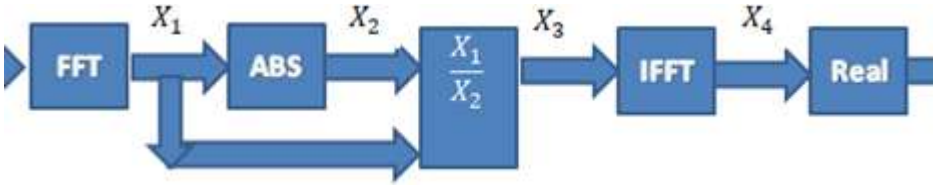


Figure III02cepstrum pre-whitening.

3.3 Etape 2 filtered analytic signal

L'objectif de l'étape 2 est le filtrage du signal, l'opérationest constitué d'une FFT, multiplier le signal par deux, filtrage du signale (On utilise un filtre passe bonde pour laisse passer que le signal entre les deux valeurs) et a la fin une IFFT

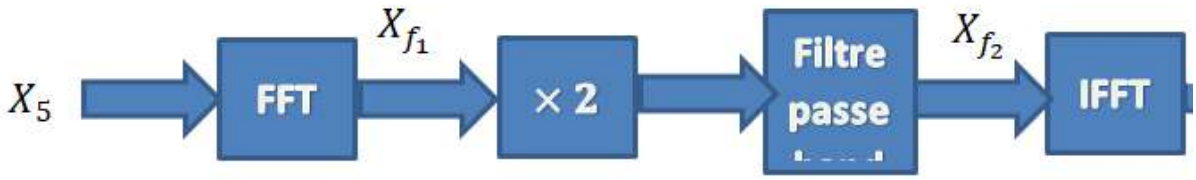


Figure III 03filtered analytic signal.

3.4 Etape3 *saquer* enveloppe

Cette étape consiste a calculé la valeurs absolue, après prendre la partie real du signal complexe ,

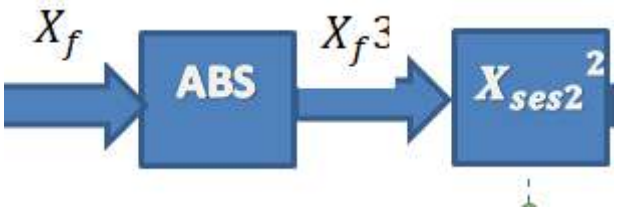


Figure III 04*saquer* enveloppe**.**

3.5 Etape 4 :FFT

Bloc FFT nous l'avons utilisé pour décomposer l'enveloppe de spectre sousforme des pics,cette étape est considérée comme l'avant dernière étape dans notre Solution. Le signal obtenu par un scope (voir figure III.11**)** dans ce cas,



Figure III 05Bloc FFT**.**

3.6 Etape 5 squared envelope spectrum

Cette étape consiste aLadivision1/L sur le nombre de point 8192,et calculer valeur absolue , et le carre du signal

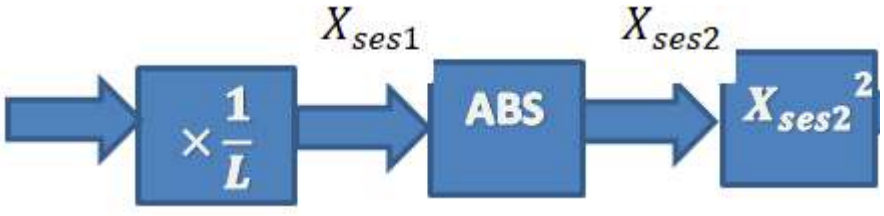


Figure III 06squared envelope spectrum.

3.7 Etape 6 la sortie

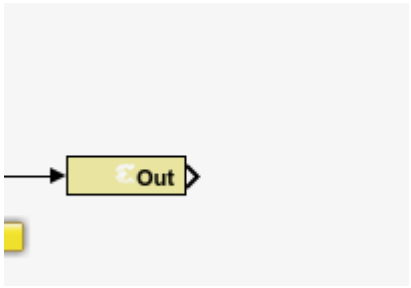


Figure III 07 la sorte de signal.

4 Affichage et interprétation des résultats

Après avoir fait la simulation de notre système, nous transférons les données de sortie vers le Worckspace en appliquant un programme créé par le langage Matlab que nous avons développé pour extraire l'information et détecter le type de défaut

5 Programmation avec système générateur Xilinix

Nous avons basé sur la simulation à interface graphique, à savoir MATLAB Simulink, cet environnement de développement est accessible, varié, rapide et compatible avec différentesapplications.

MATLAB Simulink combiné avec Xilinx System Generator « XSG » représente un outil puissant de conception, test et implémentation de designs sur les systèmes embarqués. Eneffet, cet outil offre la possibilité d'utiliser le langage de haut niveau d'abstraction de MATLABet les blocs graphiques de Simulink et Xilinx simultanément.

Pour faire le traitement de signal et d'extraire les informations utiles on a proposé architectures créés par des blocs de Système générateur Xilinix, voire figure dans la page suivante :

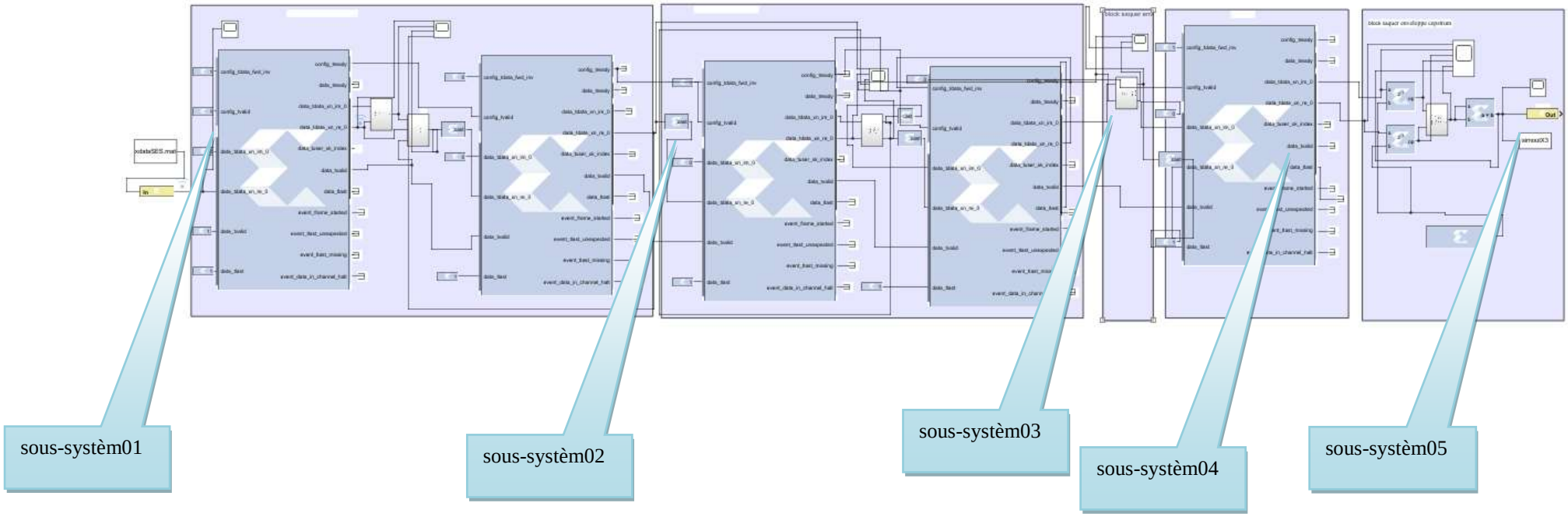


Figure III.08 Schéma globale de l'architecture des blocs de Système générateur Xilinix**.**

5.1 Description du Schéma

Notre schéma contient plusieurs blocs et sous-système, pour bien comprendre les blocs et le rôle de chacun, on a divisé les blocs comme suivant :

5.1.1 Source

Ce bloc nous permettons d'importer les fichiers de format (.mat).

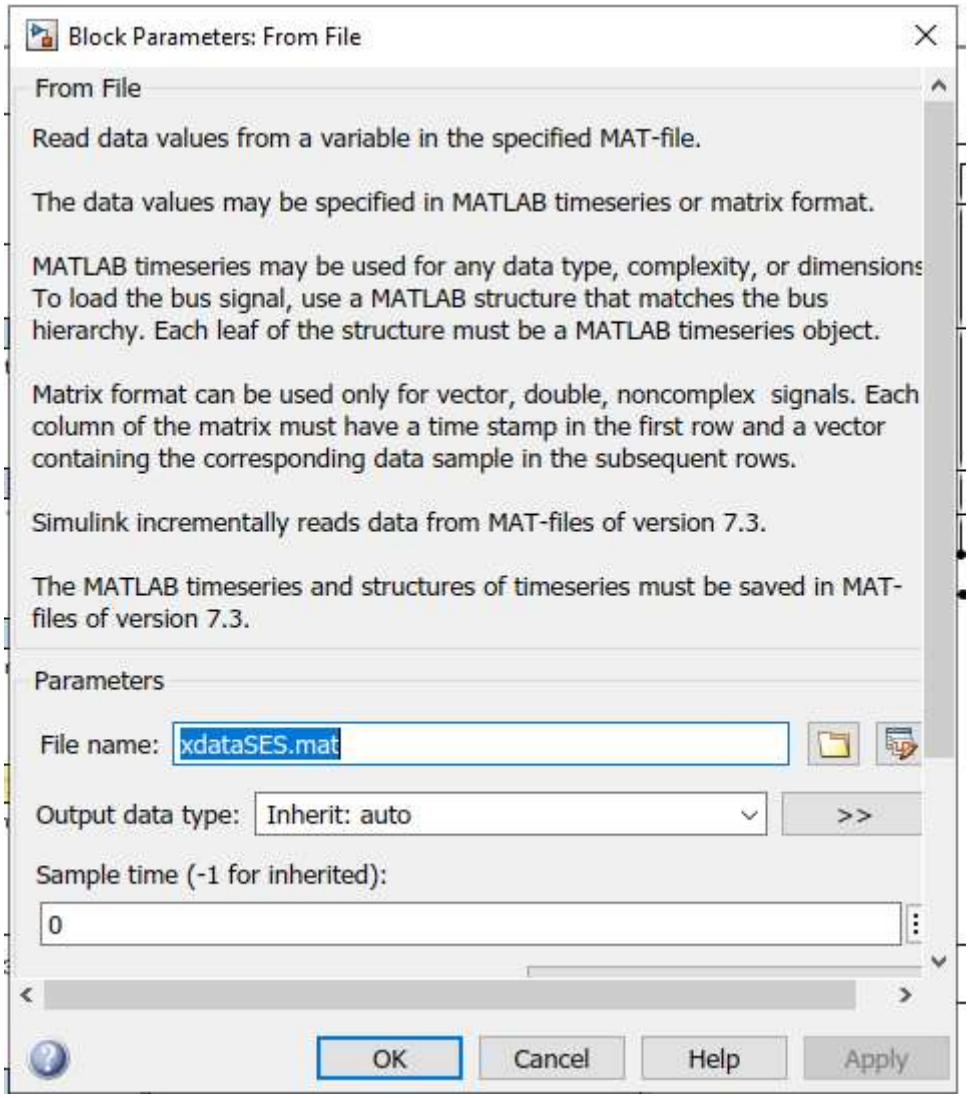


Figure III.09bloc Gateway In Axi4.

5.1.2 Etape 1 : Lecteur des donnes :Gateway In :

Il est utilisé pour passer du domaine continu en virgule flottante au domaine Xilinx en temps discret à virgule fixe. Il permet de spécifier la fréquence à laquelle le signal sera échantillonné, ainsi que la précision et le type des données (data type) du signal. [4]

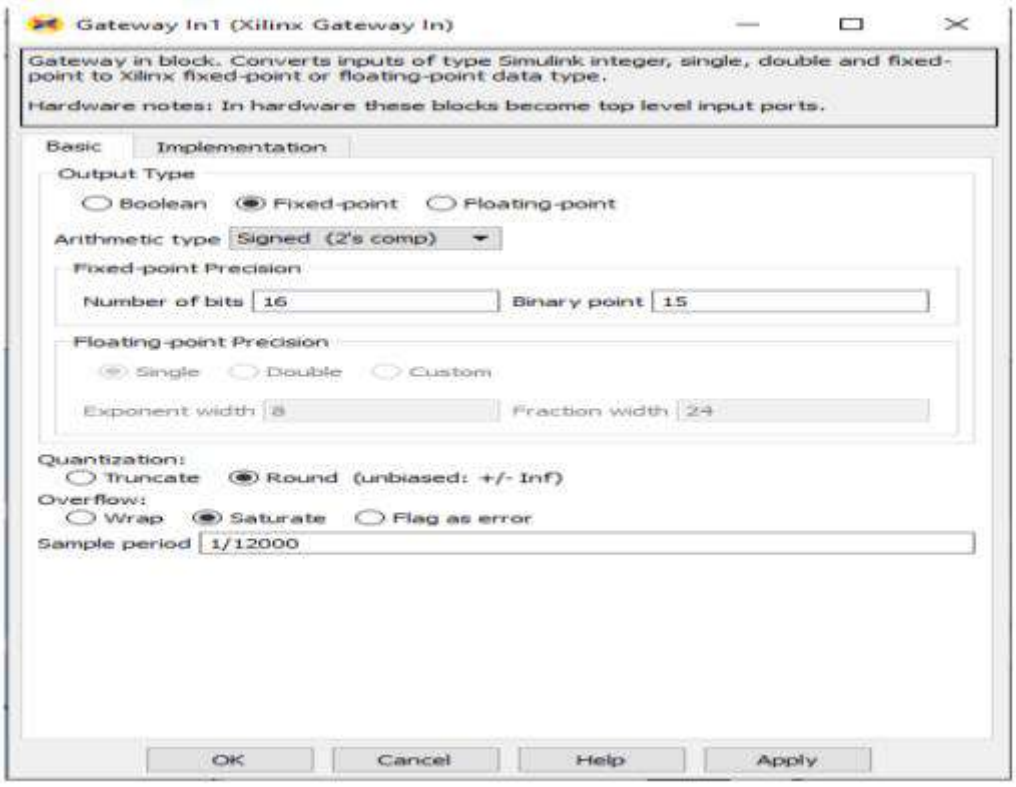


Figure III.10description du module gateway in.

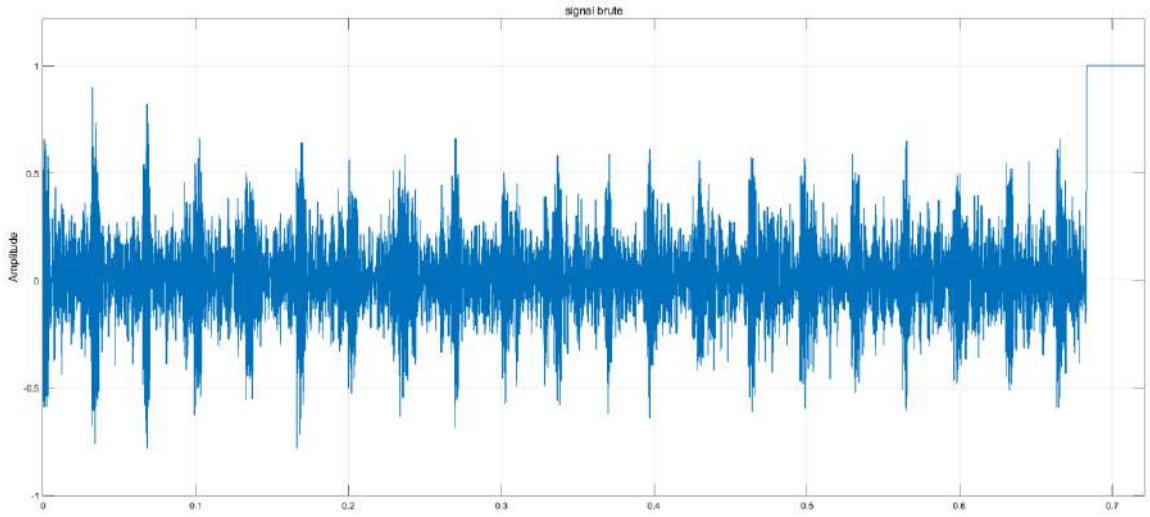


Figure III.11 : signal brut.

5.1.3.Etape 2 :(Cepstrum pre-whitening)

Après le calcule de FFT du signal brut qui représente un signal de défaut et pour faire la première étape est le calcul de la valeur absolue, nous avons utilisé les blocks décrit dans lesous-systèmesuivant , ce sous-systèmecontient deux blocs de multiplication plus un bloc d'addition et un bloc pour la racine écrit comme suivant :

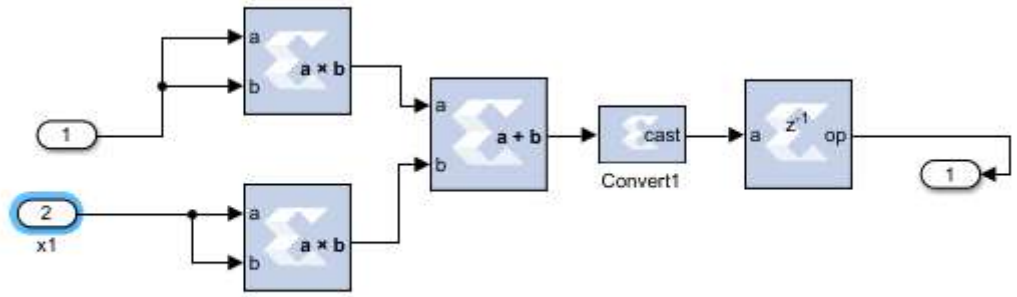


Figure III .12: subsystem1.

Après le calcul de la valeur absolue, en divise le signal de sortie x2 sur le signal x1, comme indique dans le sous-système 2, pour éviter la division sur 0 , on a utilisé le programme **dé**crit comme suivant :

```
function [sor ] = di(entr)
 if entr == 0

    sor=1 ;
 else
  sor=entr;
  end
```

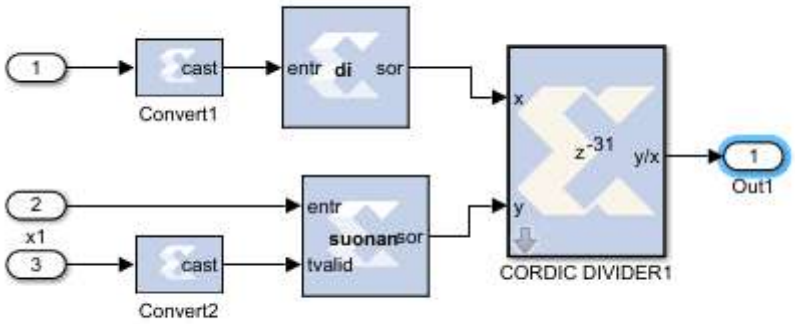


Figure III 13: subsystem2.

A la fin une operation de IFFT est realise, les resultats de chaque étape de traitement est donne dans la figure suivantes :

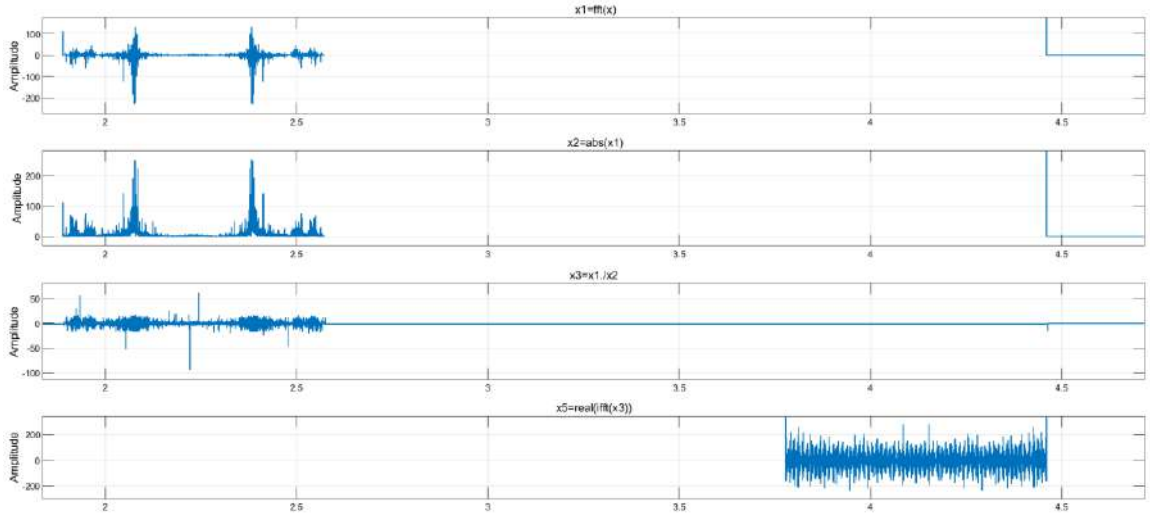


Figure III .14: différentes graphes enregistré pendant l'étape cepstrum pre-whitening.

5.1.4 Etape 3 : (filtered analytic signal)

Après l'Etape 2 de cepstrumpre-whitening, une FFT est appliquée signal d'entrée, le sous-système 3 est utilisé pour la multiplication par deux et le filtrage du signal, le bloc M code est utilisé pour cela, comme indique suivants :

```
function [zIm,Zre,y ] = Mu(xIm,xRe, Cou, Lim)
ifCou< Lim - 341
zIm =0;
Zre=0;
elseifCou> Lim +341
zIm =0;
Zre=0;

else
zIm =xIm*2;     % multiplie la partie imaginaire par deux
Zre=xRe*2;      % multiplie la partie reel par deux

end
```

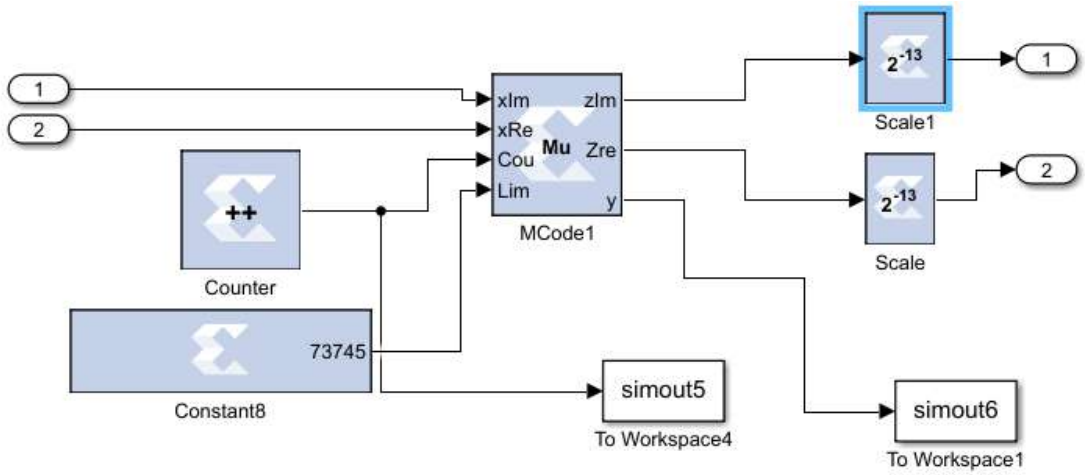


Figure III .15: **subsystem3.**

Apres l operation de IFFT on obtient le signal xf, les resultats de chaque étape de traitement est donne dans la figure suivantes :

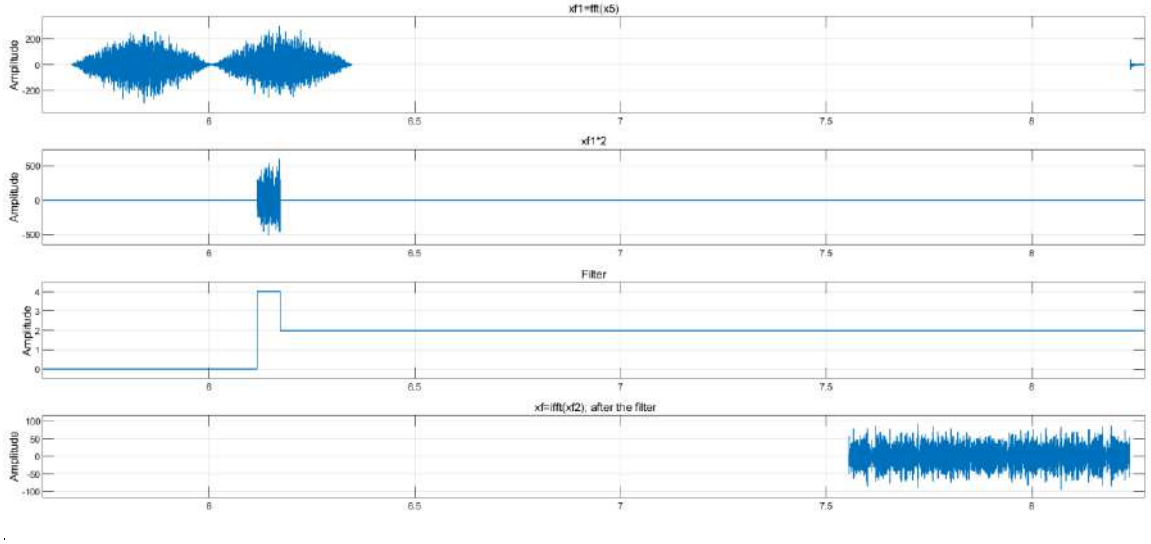


Figure III .16: différentes graphes enregistré pendant l'étape filtered analytic signal.

5.1.5 Etape 4 :(*saquer* enveloppe)

Dans cette étape du traitement est représentée par un bloc simple pour calculer signal carré et la valeur absolue (subsystem4), (voir la figure III.16**)**

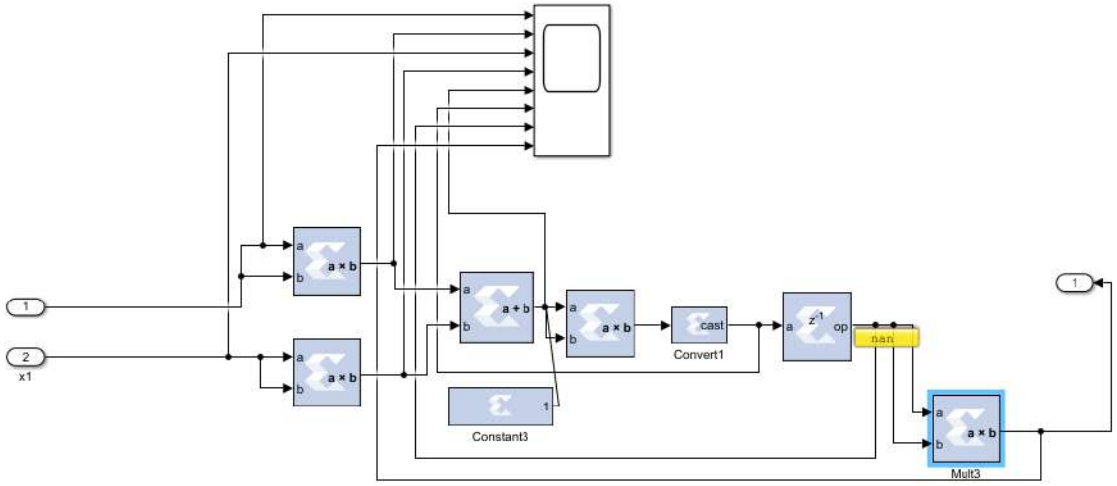


Figure III .17: subsystem4.

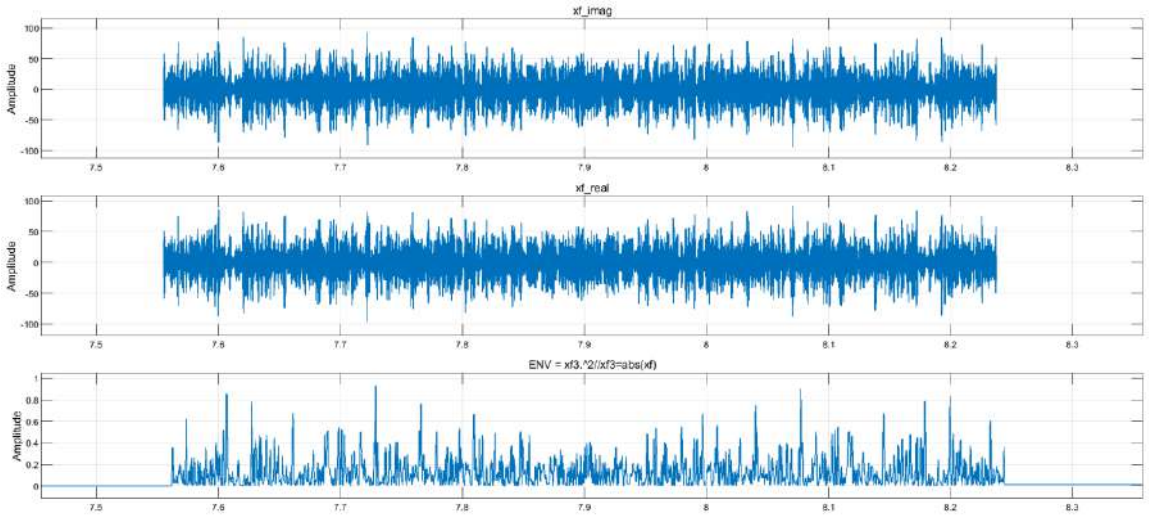


Figure III .18:différentes graphes enregistré pendant *saquer* enveloppe.

5.1.6 Etape 5 :Bloc FFT

Ce bloc contient les paramètres suivants, il doit être configuré avant l'utiliser par exemple (voir figure III.18).

- Fonction FFT directe.
- Taille de transformation 8192.

- Type arithmétique Virgule-Fixer

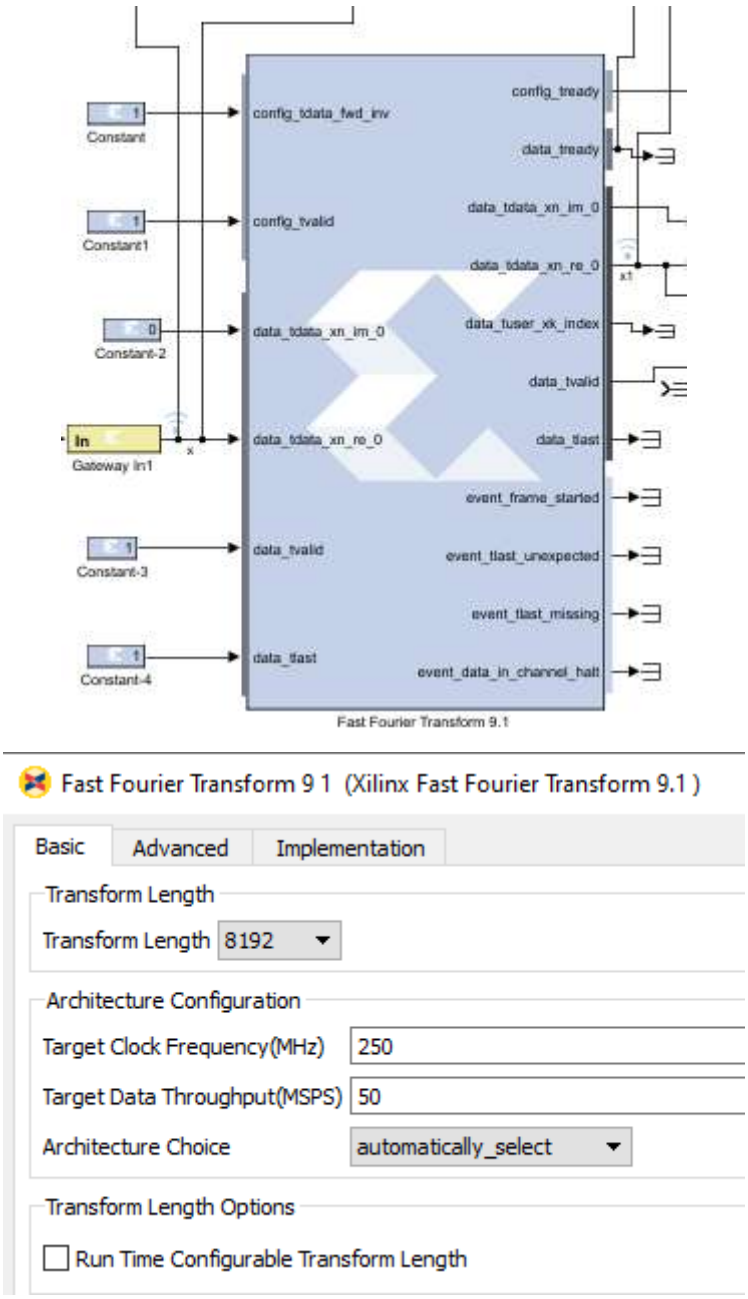


Figure III.19 Entre de BlocFFT.

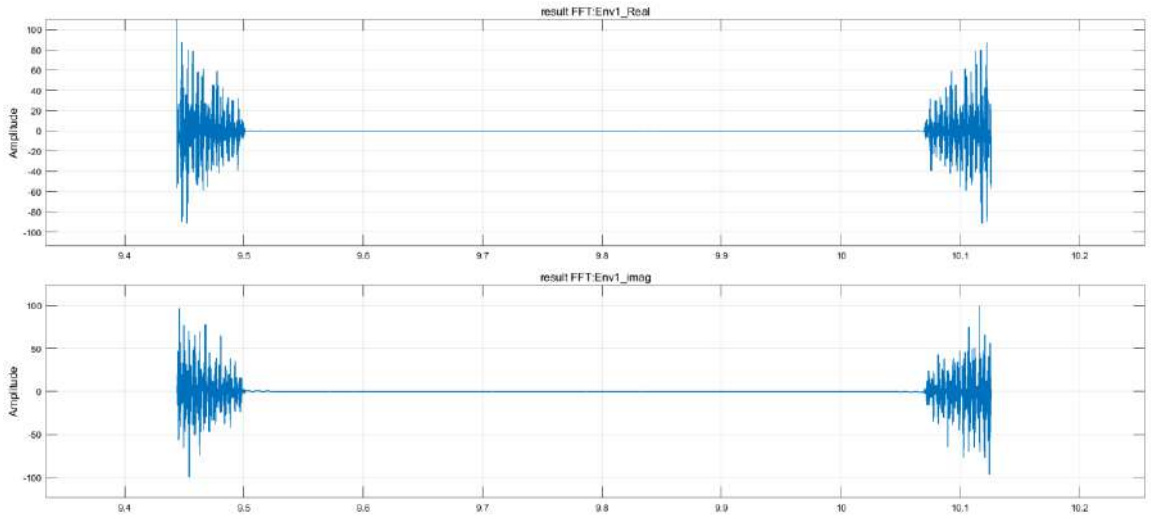


Figure III 20:différentes graphes enregistré pendant l'étape bloc FFT**.**

5.1.7 Etape 6 :(saquer enveloppe cepstrum)

La dernière étape du traitement est représentée par un bloc simple pour calculerLa division sur le nombre de pointpuisentcalculesignal carréet la valeur absolue (subsystem2),(voir la figure III.12**)**

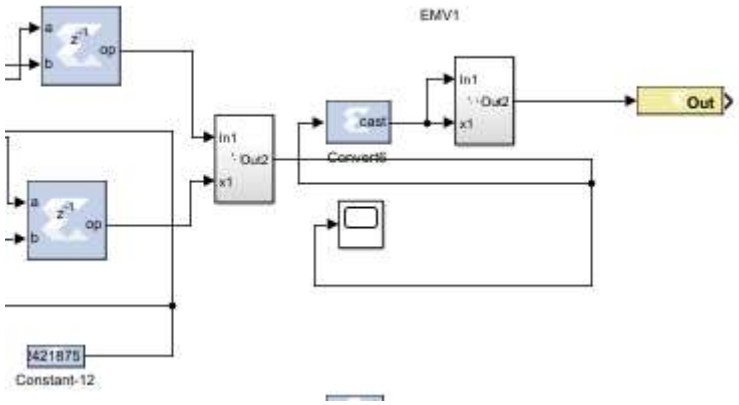


Figure III . 21: **subsystem5**.

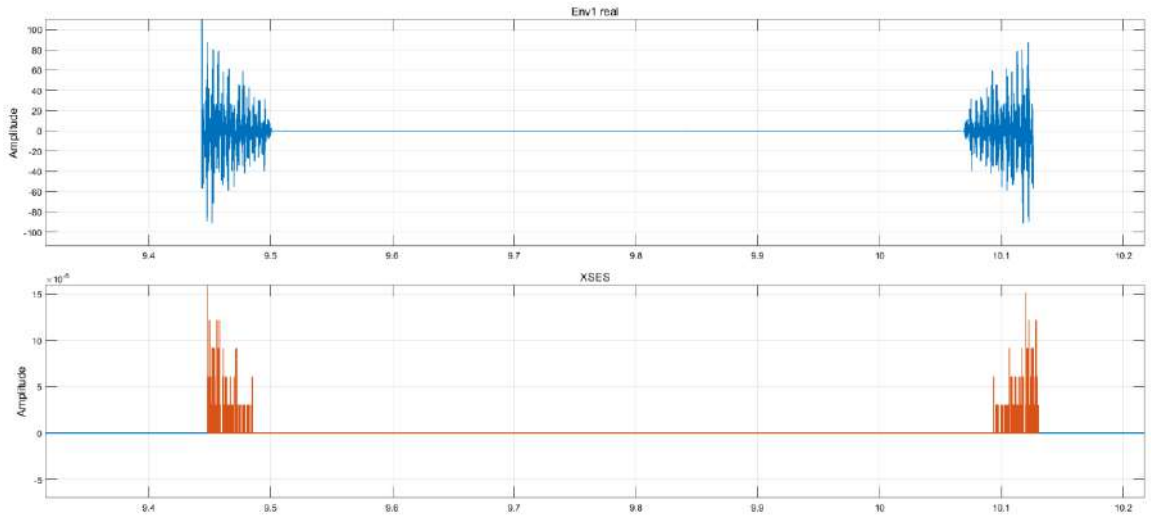


Figure III .22: différentes graphes enregistré pendant l'étape sa que renveloppe cepstrum**.**

6. Discussion de résultat

Pour identifier le type de défaut nous avons exporté les données obtenues à la sortie de notre système vers le Workspace en traçant le du signal obtenus, on peut voire clairement les pics dans les fréquences cycliques correspondant au défaut

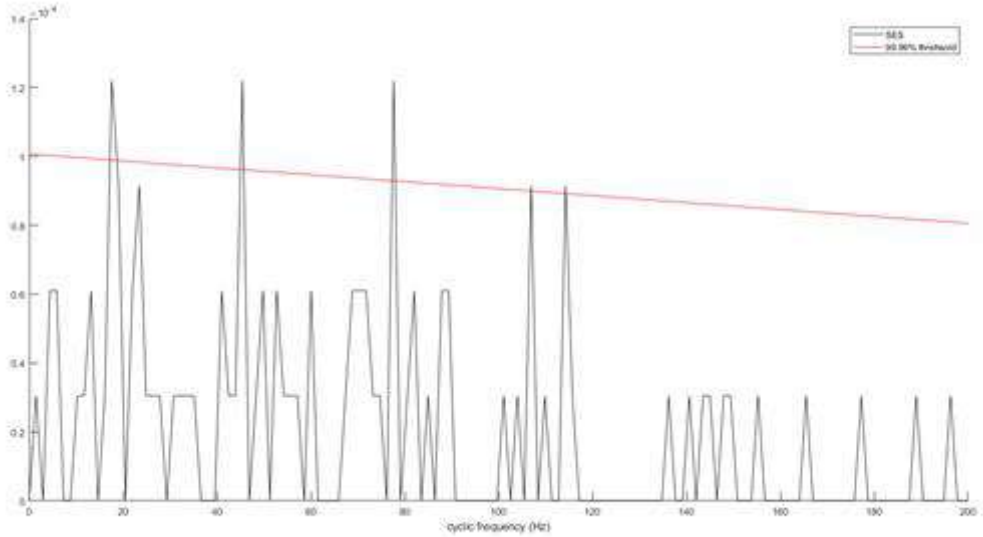


Figure III.23 : signal de défaut, base des données156 DE

6.1Validation des résultats

Les résultats sont identiques à celle de la base des données donc le fonctionnement de notre programme est correct.

6.2. Implémentation sur la carte FPGA

Pour l'implémentation de notre solution du système générateur vers la carte FPGA on a opté pour la solution Hardwar co-simulation.

7. Compilation

Il ne reste plus qu'à paramétrer le bloc System Generator et lancer la génération, comme il est montré (voir figure III.19)

Les configurations les plus importantes sont :

• Le type de compilation choisi.

• La carte FPGA ciblée.

• Le langage de description du matériel voulu.

• L'outil de synthèse



Figure III.24 : Lancement de la génération.

7.1 Compilation de notre architecture avec Hardwar co-simulation.

La compilation avec cod_simulation permet de collectionner tous les blocs de notre solution dans un seul bloc intitulé Jtag Cosim. La simulation de notre resultat sur la carte FPGA.

8. Conclusion :

Dans ce chapitre nous avons présenté notre implémentation et simulation à l'aide de l'outil de programmation Système Générateur Xilinix, une solutions est proposées, à savoir Cpectrum pre waiting, ainsi que les résultats de simulation du Simulink et l'implimentatio

Conclusion générale

Conclusion générale

Le travail présenté dans ce mémoire porte sur la conception et l'implantation d'une technique d'analyse spectrale pourdiagnostiquer et détecter les défauts des roulements. La technique utilise est dite (**Cepstrum prewhitening**) qu'est une méthode importante pour la maintenance moderne et qui donne de bon résultat de diagnostic.

Dans cetravail nous avons utilisé une base des données connue pour la validation de nossolutions, les résultats de l'implémentation sont satisfaisants et donnent un bon diagnostic desdefaults.

Comme perspective, nous proposant l'optimisation de la solution pour minimise les ressources, en utilisant un seule bloc FFT au lieu de plusieurs.

Références Bibliographiques

Bibliographie :

[1]:HassaneHOTAIT.Contribution au processus de surveillance intelligente des machines tournantes : cas des
roulements à billes.UNIVERSITÉ DE REIMS CHAMPAGNE-ARDENNE ÉCOLE DOCTORALE SCIENCES DU NUMERIQUE ET DE L'INGÉNIEUR (620)

[2] **:** Harris, Tedric A. Rolling bearinganalysis. John Wiley and sons, 2001.

[3] M. Peltola, “slip of ac induction motors and how to minimize it” drives mag., aug. 19,
2002, http://www.drivesurvey. Com
specification and documentation to British and International Standards.ButterworthHeinem

[4] Simmons, Colin H., and Dennis E. Maguire. Manual of engineering drawing: Technical product
specification and documentation to British and International Standards. Butterworth Heinemann,
2012

[5] : LAIFAOUI Wafa. « Implémentation des filtres adaptatifs sur une carte FPGA pour
l’annulation d’écho acoustique » Université Mohamed Larbi Ben M’hidi - Oum El
bouaghi.pdf

[6] ISO, “ISO 15243:2004(en): Rolling bearings — Damage and failures — Terms, characteristics and
causes.” International Organization for Standardization, 2014.
[7] Kharche, Prashant P., and Sharad V. Kshirsagar. "Review of fault detection in rolling element
bearing." International Journal of Innovative Research in Advanced Engineering 1, no. 5 (2014): 169-
174.
[8] Analyse des Défaillances des roulements, Dommages par Type,

[09] M. Kunt,: Techniques modernes de traitement numérique des signaux, Presses polytechniques et universitaires Romandes, 1991

[10] F. Cottet, « Aide-mémoire de traitement du signal » Science Supérieur (DUNOD) PARIS
2000, nouvelle présentation, 2005

[11] V. Saeed« Advanced Digital Signal Processing and Noise Reduction » livre 4ème
edition, 2008 John Wiley & Sons, Ltd. ISBN: 978-0-470-75406-1

[12] DAVID GUIHAL « Modélisation en langage VHDL-AMS des systèmes Pluridisciplinaires. Thèse présentée au laboratoire d'analyse et d'architecture des systèmes du
CNRS en vue de l'obtention du titre de docteur de l'université Toulouse, Mai 2007

[13] D. DECKERS « Composants programmables » Cours de 3è Bachelier en Electronique
appliquée, Institut Supérieur Industriel de Mons Haute Ecole de la Communauté française en
Hainaut Unité Electronique 2008-2009

[14] C.GUILLEMINOT, L.ANDRIEUX, JJ.MERCIER « A contribution to a virtual
prototyping for a spread spectrum telecommunication system using VHDL-AMS » IEEE
BMAS'05, SanJose,Californie,USA, 22-23 Sept. 2005

[15] V. Betz and J.Rose« FPGA Routing Architecture: Segmentation and Buffering to
Optimize Speed and Density ». In International Symposium on Field Programmable Gate
Arrays (FPGA), 1999

[16] J. Rose, A. El Gamal& A. Sangiovanni-Vincetelli. «Architecture of Field Programmable
Gate Arrays ». Proceedings of the IEEE, vol. 81, July 1993.
[17] V. Betz « Architectures and Methodologies for Dynamic Recon_gurableLogic

(ADMREL) » - Information Societies Technology (IST) Program. Survey of existing _negrain reconfigurable hardware platforms, November 2002. v2.0. 70

[18] : HOCINI Ilyes et DERGAOUI Mohamed, mémoire sur Réalisation d'un modulateur et
démodulateur OFDM sur FPGA ZYNQ, Université Aboubakr Belkaïd – Tlemcen, 2019.

[19]: bibliothèque System Generator

[20] Dechichafarid,ghrablirafik, Mémoire de Master « Etude et implémentation d'un system
pour la détection des défauts dans les roulement, université yahiyafares de medea.pdf

[21]: https://csegroups.case.edu

[22] **:** ROUIBAH Abdelghani et RAHMI Mahfoudh Etude et implémentation sur FPGA d'un système pour la détection des défauts dans les roulements à billes