الجمهورية الجزائرية الديمقراطية الشعبية

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR
ET DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITE DR. YAHIA FARES DE MEDEA

FACULTE DES SCIENCES ET DE LA TECHNOLOGIE

Département du Génie Électrique et de l'Informatique



Projet de fin d'étude

Présenté pour l'obtention du Diplôme
De Master en Génie Électrique

Spécialité : systèmes intelligents et communicants

THEME

ETUDE CONCEPTION ET SIMULATION D'UN SYSTEME OFDM EN VUE D'IMPLEMENTATION SUR CIRCUIT FPGA

Proposé et dirigé par,

M. Dali Mohammed.

Préparé et présenté par,

Melle. Bouadda Soumia.

Mme. Kharoubi Nesrine.

Année Universitaire 2013-2014

Remerciement

Tout d'abord nous tenons à remercier le

Bon Dieu qui donné l'énergie et le Courage

nécessaire à la réalisation de ce modeste travail. Au

seuil de ce travail, nous tenons à remercier profondément notre

encadreur, Monsieur *Dali.Mohammed*, qui sans sa précieuse assistance,

ce projet n'aurait sans doute pas abouti. Par ailleurs, nous remercions

tous les enseignants et le personne de l'université Yahia Fares

et le chef du département GET, *Dr. Bouhedda.M.*

Ainsi notre frère *I. Ben imeche* qui nous a

aidés beaucoup dans ce travail.



Dédicace

Je dédie ce travail à mes très cher parent pour leur soutien, leur présences leur amour qui ma encourager dans mes études

A mes frères Houssem et Hmimo

Mon binôme Nesrine et sa famille,

A notre promoteur Mr Dali Mohammed,

A Toute mes voisines et ma famille : mes tantes, mes ancles, cousins, cousines

A mes amies : Faiza, Sabrine(Zohor), Hanane, Karima, Fati, Sihem, Kamilia, Amel , Meriem.

Et finalement à mon fiancé Hamamou et toute sa famille.

Bouadda Soumia



Dédicace

Je dédie ce travail à mes très cher parent pour leur soutien, leur présences leur amour qui ma encourager dans mes études.

A mes frères Youcef, Abderrahmane et Anes

Mes belles soeurs Sara et Hiba

Mon binôme Soumia et sa famille,

A notre promoteur Mr Dali Mohammed,

A Toute mes voisines et ma famille : mes tantes, mes ancles, cousins, cousines .

A mes amies: Faiza, Sabrine(Zohor), Hanane, Karima, Fati Meriem, Sihem, Kamilia, Soma.

Et finalement à mon mari Mustapha et toute sa famille.

Kharoubi Nesrine

ملخص:

تعتبر تقنية مضاعفة تقسيم التردد المتعامد OFDM كحل فعال للحد من التداخل بين الرموز ISI في نظام الاتصالات عالية التردد . الهدف من عملنا هو تصميم هذه التقنية على دارة من نوع FPGA و هذا باستعمال

. System Generator de XILINX

ثلاثة أنواع من الخرائط استعملت و هي: 4-QAM. 8-QAM و16-QAM. و من اجل كل نوع من هذه الخرائط بحثنا عن حسن تسيير النظام من خلال المحاكاة.

كلمات مفتاحية: System Generator, FPGA, ISI, 4-QAM, 8-QAM et 16-QAM.

.

Résumé :

La technique de Multiplexage par répartition en fréquence orthogonale connue par l'abréviation OFDM, est considérée comme solution efficace pour combattre contre les interférences inter symboles (ISI) des system de communication à haut débit.L'objectif de ce travail est de faire une conception implémentable sur circuit de type FPGA d'un modulateur / démodulateur OFDM en utilisant l'outil du System Generator de XILINX.

Trois types de mapping ont été utilisés : 4-QAM, 8-QAM et 16-QAM. Pour chaque type de mapping nous avons vérifiés le bon fonctionnement du système à travers des simulations.

Mots clés: System Generator, FPGA, ISI,4-QAM, 8-QAM et 16-QAM.

Abstract:

Orthogonal frequency division multiplexing "OFDM" is considered as an effective solution to fight against inters symbol interference (ISI) for rate communication systems.

The objective of this work is stady and designs an OFDM modulator/demodulator which can be implementable on FPGA circuit using System Generator tool ofXILINX.

Three mapping schemes are used: 4-QAM, 8-QAM and 16-QAM. For each scheme wehave verified the goodfunctionality of the system through simulations.

Key words: System Generator, FPGA, ISI, 4-QAM, 8-QAM and 16-QAM.

Liste des figures ..... Error! Bookmark not defined.
Liste des tableaux ..... Error! Bookmark not defined.
Liste des ACRONYMES ..... **IV**

Introduction générale……..**1**

Chapitre 1 : Multiplexage par répartition en fréquences orthogonales OFDM

I.1.Introduction **4**
I.2 Iinterférence inter symbole(ISI) : **4**
I.3. Principe d'OFDM : **5**
I .2.1 Évolution de l'OFDM : 6
I.2.1.1.Multiplexage par Division De Fréquence (FDM) : 6
I..2.1.2 Communication multi porteuses : 6
I.2.1.3Multiplexage par répartition en fréquences orthogonales : 6
I.3.2.Les principes de base de l'OFDM : 7
1.3.2.1 La technique de modulation OFDM : 7
1.3.3.1.2. L'insertion de l'intervalle de garde : 8
1.3.2.2. Expression du symbole OFDM : 9
1.4 La Chaine de transmission OFDM : **11**
I.4.1 Etude d'un émetteur OFDM : 11
I.4.2.Etude d'un récepteur OFDM : 13
I.5.Les avantages et les inconvénients de l'OFDM : **15**
I.5.1.les avantages : 15
I.5.2 les inconvénients : 16
I.6 Conclusion : **17**

Chapitre 2 : Généralité sur les FPGA.

II.1. Introduction : **19**
II.2. Les FPGAs (Field programmable Gate Array): **20**
II.2.1. Architecture des FPGAs: 20
II.2.2. Etapes de développement : 22
II.2.3 . Outils de développement FPGA : 23
II.2.4. Différents domaines d'application des FPGAs : 24
II.3. Famille SPARTAN-6 de XILINX : **24**
II.3.1. Les CLBs : 24
II.3.2. Description des Slices : 26
II.3.4. Look-Up Table (LUT): 32
II.3.5. Eléments de stockage : 33
II.3.6. Les RAMs distribuées : 34
II.4. Conclusion : **38**

Chapitre 3 : Conception et simulation du système OFDM.

III.1. Introduction **40**
III.2. Système OFDM pour une constellation 4-QAM : **42**
III.3. Système OFDM pour une constellation 8-QAM : **53**
III.4. Système OFDM pour une constellation 16-QAM : **62**
III. 5. Conclusion : **70**
Conclusion generale: ……..……..72

Liste des figures

Figure I. 1. *Interférence inter symbole (ISI).* 5
Figure I. 2 . *Procédé de modulation OFDM.* 7
Figure I. 3. *L'intervalle de garde.* 9
Figure I. 4. *L'émetteur OFDM.* 12
Figure I. 5. *Constellation : 4- QAM,8-QAM et 16-QAM.* 13
Figure I. 6. *Schéma du récepteur OFDM.* 14
Figure I. 7. *Schéma du système OFDM.* 15

Figure II. 1. *Architecture interne d'un FPGA.* 21
Figure II. 2. *Arrangement des slice dans un CLB.* 25
Figure II. 3. *Numérotation des lignes et des colonnes des Slices.* 26
Figure II. 4. *Logigramme de SLICEM.* 29
Figure II. 5 . *Logigramme de SLICEL.* 30
Figure II. 6. *Logigramme de SLICEX.* 31
Figure II.7. *Structure d'un LUT à 6 entrées.* 32
Figure II. 8. *Configuration d'un slice: 4 registres seuls et 4 registre / Verrou.* 34
Figure II. 9. *RAM distribuée (RAM32x2Q).* 36
Figure II. 10. *RAM distribuée(RAM32X6SDP).* 37
Figure II. 11. *RAM distribuée (RAM64X1S).* 37
Figure II. 12. *RAM distribuée(RAM64X1D).* 38
Figure III. *1. Schéma global du modulateur/démodulateur OFDM.* 41
Figure III. 2. *Bloc FFT « 7.1 » avec CP de System Generator.* 42
Figure III. 3. *Emetteur OFDM 4-QAM.* 43
Figure III.4. *L'entrée de mapping 4-QAM.* 44
Figure III. 5. *Circuit de réalisation des mapping.* 44
Figure III. 6. *Sortie de l'étape de Mapping 4-QAM.* 45
Figure III. 7. *Constellation 4-QAM obtenu par simulation.* 46
Figure III. 8. *L'entrée de l'IFFT.* 47
Figure III. 9. *Résultat de calcul du module IFFT.* 47
Figure III. 10. *Les index d'entrées soties de l'IFFT.* 48
Figure III. 11. *Bloc'' AWNG'' de Simulink* 49
Figure III. 12 . *Schéma du récepteur OFDM.* 49
Figure III. 13. *Signal d'entrée de l'étage de calcul de l' FFT.* 50
Figure III. 14. *Sortie de l' FFT.* 50
Figure III. 15. *Constellation de la sortie de la FFT pour SNR=20.* 51
Figure III. 16. *Constellation de la sortie de la FFT pour SNR=70.* 52
Figure III. 17. *Constellation après estimation.* 53
Figure III. 18. *Résultat final.* 53
Figure III. 19.*Constellation 8-QAM.* 54
Figure III. 20. *Circuit de réalisation de mapping 4-QAM.* 55
Figure III. 21. *Signal obtenu après l'étape de mapping 8-QAM.* 56
Figure III. 22.*Constellation 8-QAM obtenu par simulation.* 57
Figure III. 23. *Signal d'entrée de l'IFFT.* 57

Figure III. 24. *Sortie de l'IFFT.* 58
Figure III. 25. *Signal d'entrée FFT.* 59
Figure III. 26. *Sortie FFT.* 59
Figure III. 27. *Constellation pour SNR=5.* 60
Figure III. 28. *Constellation pour SNR=20.* 61
Figure III. 29. *Constellation pour SNR=70.* 61
Figure III. 30. *Constellation après estimation.* 62
Figure III. 31. *Séquence reçue.* 62
Figure III. 32. *Constellation 16-QAM.* 63
Figure III. 33. *Signal obtenu après l'étape de mapping 16-QAM.* 64
Figure III. 34. *Constellation 16-QAM.* 65
Figure III. 35. *Signal d'entrée de l'IFFT.* 66
Figure III. 36. *Sortie IFFT.* 66
Figure III. 37. *Signal d'entrée FFT.* 67
Figure III. 38. *Sortie FFT.* 68
Figure III. 39. *Constellation pour SNR=5.* 69
Figure III. 40. *Constellation pour SNR=20.* 69
Figure III. 41. *Constellation pour SNR=60.* 70
Figure III. 42. *Constellation après estimation.* 70
Figure III. 43. *Séquence reçue.* ..... ….71

Liste des tables

Tableau II. 1. *Caractéristiques des slices du Spartan-6.* 26
Tableau II. 2. *Ressources logiques d'un CLB* 27
Tableau II. 3. *Ressources logique de Spartan-6.* 27

Tableau III. 1. *Paramètres de base du bloc de calcul FFT/IFFT.* 41
Tableau III. 2. *Mapping 4-QAM de la séquence d'entrée.* 44
Tableau III. 3. *Résultat de calcul d'IFFT par MATLAB.* 47
Tableau III. 4. *Résultats de calcul FFT (16) par MATLAB.* 50
Tableau III. 5. *Mapping 8-QAM de la séquence d'entrée.* 54
Tableau III. 6. *Résultats de calcul IFFT par MATLAB.* 57
Tableau III. 7. *Résultats de calcul FFT par MATLAB.* 59
Tableau III. 8. *Mapping 16-QAM de la séquence d'entrée.* 63
Tableau III. 9. *Résultats de calcul IFFT par MATLAB.* 66
Tableau III. 10. *Résultats de calcul FFT par MATLAB.* 67

Liste des Acronymes

Abréviation	Signification
ASIC	Application Spécific Integrated Circuit
AWGN	Addi tive White Gaussien Noise
BPSK	Binary Phase Shift Keying
CE	Clock Enable
CLB	Configurable Logic Bloc
CLK	Clock
CP	Pefixe Cyclique
DSP	Digital Signal Processor
DFT	Discrete Fourier Transfom
FDM	Frequency Division Multiplixing
FFT	Fast Fourier Transfom
FIFO	First In First Out
FPGA	Field Programmable Gate Arrays
IDFT	Invers Discrete Fourier Transfom
IFFT	Invers Fast Fourier Transfom
IOB	Input Output Bloc
ISI	Interférence Inter Symbole
JTAG	Joint Text Action Groupe
LCA	logic Cells Arrays
LUT	Lookup Table
MC	Multi Carrier
MIMO	Multiple Input Mult iple Output

M-QAM	*M-aray Quadrature Amplitude Modulation*
MSE	*Mean Square Error*
OFDM	*Orthogonal Frequency Division Multiplixing*
PSK	*Phase Shift Keying*
QAM	*Quadrature Amplitude Modulation*
QPSK	*Quadrature Phase Shift Keying*
RAM	*Random Access Memory*
ROM	*Read Only Memory*
SR	*Set Reset*
VHD L	*Very High Density Logic*

Introduction générale

Depuis l'apparition des radios mobiles cellulaires analogiques, le nombre de systèmes de communications numériques a littéralement explosé pour satisfaire le marché des télécommunications. Paradoxalement aujourd'hui, c'est une vraie réaction de fusion à laquelle on assiste entre le marché de l'audiovisuel, de l'informatique et des télécommunications grâce à l'essor des technologies numériques. De ce fait, les télécommunications en général qu'elles soient câblées ou radio cellulaires ont eu pour principales caractéristiques l'augmentation des débits de transmission ainsi que l'usage de fréquences porteuses de plus en plus élevés. Il est tout à fait clair que pour satisfaire ce marché il faudrait surmonter quelques difficultés posées aux concepteurs des systèmes de transmission. En effet, l'utilisation des modulations à grand nombre d'états pour optimiser le rapport débit bande, peut entrainer des perturbations introduites par le canal de transmission. De plus, si ces canaux sont sévères tels que les canaux multi-trajets, des programmes de traitement pour l'élimination de l'interférence entre symbole ISI sont plus que nécessaires. Parmi ces programme on site l'OFDM.

L'OFDM (Orthogonal Frequency Division Multiplexing) est une technique de transmission très performante pour les réseaux sans fil à hauts débits numériques. Dans un système OFDM, la bande de fréquence est divisée en des multiples sous-porteuses orthogonales. Les usagers présents dans le système se partagent ces sous-porteuses pour échanger les données avec la station de base. Les systèmes basés sur l'OFDM sont largement utilisé dans les systèmes de communication numérique sans fils actuels.

Pour qu'un système OFDM soit implémenté d'une façon efficace sur un circuit numérique, il est nécessaire d'utiliser des circuits offrants la possibilité de calcul parallèle et en même temps la possibilité de reconfiguration. Les circuits FPGA sont la bonne solution de ces contraintes.

Les FPGAs sont des composants qui permettent de les reprogrammer à volonté afin d'accélérer notablement certaines phases de calculs. Un FPGA consiste en une matrice d'élément singulier (bloc logiques) qui peut être interconnecté de façon générale comme un PLD (programmable logic Dévice), les interconnexions entre les éléments sont programmées par l'utilisateur.

Réduire les couts , La reconfiguration, augmenter les performances et la fiabilité d'un circuit, diminuer les délais de mise en place d'un prototype opérationnel, et réduire le temps de développement ,sont des atouts conjugués dans un FPGA.

L'objectif de ce projet de fin d'études est d'étudier et de proposer un conception implémentable sur FPGA d'un système OFDM en utilisant l'outil « System Generator » de XILINX.

Dans le premier chapitre on présente le principe de base d'un système OFDM, son évolution, ces avantages et ces inconvénients.

Dans le deuxième chapitre nous commençons par la présentation des principaux composants de l'architecture interne du circuit FPGA, ces étapes de développements, Puis nous détaillons l'architecture de la famille SPARTAN-6 de XILINX.

Dans le troisième chapitre nous présentons nos conceptions de l'émetteur récepteur OFDM pour trois types de mapping qui sont 4-QAM, 8-QAM et 16-QAM. Les trois conceptions ont été réalisées à l'aide d'un logiciel très efficace et très performant pour l'implémentation sur FPGA. Il s'agit du logiciel « System Generator » de XILINX qui est compatible avec l'outil Simulink de MATLAB. Pour chaqu'une des trois conceptions nous donnons les résultats de simulation à travers des graphes de signaux pris aux différents étapes du système. Nous finissons par une conclusion générale qui résume les parties essentielles de notre projet, les acquits sur le plan théorique et pratique ainsi que les perspectives futures de notre travail.

Chapitre 1 : Multiplexage par répartition en fréquences orthogonales OFDM

I.1. Introduction

La technique de multiplexage par répartition en fréquences orthogonales OFDM ''Orthogonal Frequency Division Multiplexing'', est une modulation multi porteuses, où les symboles de données modulent des sous-porteuses orthogonales parallèles et régulièrement espacées. Pour entretenir l'orthogonalité des sous-porteuses dans le domaine temporel, une plage de fréquences de séparation minimale est requise. Un intervalle de garde permet la suppression des interférences entre symboles ISI (Inter Symbol Interférence) et l'interférence entre porteuses ICI (Inter Carrier Interférence) Les principales applications de ce type de modulation se trouvent dans les standards IEEE 802.11a/g de la famille Wifi (Wireless Fidelity).

I.2. Iinterférence inter symbole(ISI) :

Une interférence inter-symbole est une forme de distorsion d'un signal qui a pour effet que le symbole transmis précédemment affecte le symbole actuellement reçu. C'est en principe un effet non désiré car l'effet du caractère précédent agit comme du bruit, ce qui rend la communication moins fiable. Il existe des solutions pour réduire les interférences inter-symboles par exemple l'OFDM . Sur un canal radio-mobile, l'interférence entre symboles conséquente à la propagation multi-trajets, n'est pas nécessairement néfaste. En effet, elle apporte de la diversité en réception qui peut être exploitée par différents mécanismes d'égalisation. Dans un environnement multi-trajets, un symbole transmis prend différentes temps à cause d'accès à différents chemins de propagation au récepteur. Du point de vue du récepteur, le canal présente la dispersion de temps dans laquelle la durée du symbole reçu est étirée.

Dans OFDM, l'ISI se rapporte habituellement à l'interférence d'un symbole d'OFDM par des symboles précédents d'OFDM.

Pour une bande passante dans un système donnée, le taux de symbole d'un signal OFDM est très inférieur à un schéma de transmission à mono-porteuse. Par exemple pour une modulation mono-porteuse BPSK, le taux de modulation correspondant au débit binaire de la transmission. Cependant la bande passante du système OFDM est divisée en N sous-

porteuses, ce qui entraîne un débit de symboles qui est N fois plus faible que la transmission mono- porteuse.

Ce faible taux de symbole rend l'OFDM résistant aux effets de l'interférence inter-symboles (ISI) causée par la propagation par trajets multiples. La propagation multi-trajets est provoquée par le signal de transmission radio réfléchie par des objets dans l'environnement de propagation tel que des murs, des bâtiments, des montagnes, etc...

Figure I. 1. *Interférence inter symbole* **(***ISI).*

I.3. Principe d'OFDM :

Orthogonal Frequency Division Multiplexing OFDM est une modulation de signaux numériques par répartition en fréquences orthogonales. L'OFDM est un procédé de multiplexage des signaux numériques utilisé entre autres pour les systèmes de transmissions mobiles à haut débit de données. Le multiplexage par répartition orthogonale de la fréquence est une technique de modulation multi -porteuses à base de transformée de Fourier discrète. L'OFDM est particulièrement bien adapté aux canaux de transmission radio sans transmissions d'onde multiples. L'idée du multiplexage a pu être dépistée dans le multiplexage fréquentiel classique (FDM), la bande totale est subdivisée en N sous canaux qui ne se chevauchent pas, alors que sur OFDM la bande est divisée en un certain nombre de sous canaux se superposant mais avec des fréquences orthogonaux. Le principe de l'OFDM consiste à représenter le signal numérique que l'on veut transmettre par un grand nombre de porteuses [1].

I .2.1 Évolution de l'OFDM :

L'évolution de la technique OFDM peut être divisée en trois parties.

- Multiplexage par Division de fréquence (FDM).
- Communication Multi-Porteuse (Mc).
- Multiplexage par Division en Fréquences Orthogonales.

I.2.1.1. Multiplexage par Division De Fréquence (FDM) :

Multiplexage par répartition de fréquences (FDM) a été employé pendant longtemps pour porter plus d'un signal sur une ligne téléphonique. FDM est le concept d'utiliser différents canaux de fréquence pour diffuser l'information de différents utilisateurs. Chaque canal est identifié par la fréquence centrale de la transmission. Pour s'assurer que le signal d'un canal ne recouvrent pas avec le signal adjacent, un certain espace ou bande de garde est laissé entre différents canaux. Évidemment, cette bande de garde mènera aux inefficacités qui ont été exagérées au début puisque le manque de filtrage numérique lui est fait difficile de filtrer les canaux adjacents étroitement emballés.

I.2.1.2. Communication multi porteuses :

Le concept de la communication multi porteuse (MC) utilise une forme de technologies de FDM mais seulement entre une seule données de la source et une donnée de réception [2]. Comme les communications multi porteuses ont été introduites, elles ont permis une augmentation de la capacité globale de la communication, ce qui augmente le débit global. La technique MC est en réalité le concept de la division d'un signal en un certain nombre de signaux. Moduler chacun de ces nouveaux signaux sur son propre canal de fréquence, multiplexer ces différents canaux fréquentiels ensemble d'une manière FDM.

I.2.1.3. Multiplexage par répartition en fréquences orthogonales :

L'OFDM est simplement définie comme forme de modulation de multi-porteuses où l'espacement de porteuse est soigneusement choisi de sorte que chaque sous-porteuse soit orthogonale aux autres sous-porteuses. L'orthogonalité peut être réalisée en choisissant soigneusement les fréquences de sous-porteuse. L'une des manières consiste à choisir des fréquences de sous-porteuse de façon qu'elles soient des harmoniques entre eux .

I.3.2. Principes de base de l'OFDM :

Le problème des échos dus aux trajets multiples devenant incontournable, les chercheurs ont développés le concept de multiplexage par répartition en fréquences orthogonalesOFDM pour pallier à ce problème. Le principe étant de moduler respectivement et simultanément l'information haut débit à transmettre sur N sous-porteuses à bandes étroites orthogonales dans le but de réduire la bande du signal modulé. Afin de maintenir l'orthogonalité des formes d'ondes dansle domaine temporel, les sous-porteuses doivent garder un intervalle minimal entre les fréquences pour éviter le recouvrement spectral [3].

1.3.2.1. Technique de modulation OFDM :

1.3.2.1.1. Procédé de modulation :

c_0 .....c_{k-1}

Figure I. 2 . *Procédé de modulation OFDM.*

L'augmentation de la durée totale du symbole OFDM dépend entièrement de la particularité de la procédure avec laquelle le flux d'information a été parallélisé. En effet, selon que l'on utilise une modulation B/Q-PSK ou une modulation d'amplitude en quadrature à M états ou M-QAM le procédé n'est pas le même [4].

A partir du train binaire on génère le symbole OFDM comme indiqué par le schéma de la **figure (I.2).** Selon le type de modulation numérique utilisée (QPSK, 16QAM, 32QAM ……), le flux binaire (b0, b1, ...), dont la durée de chaque bit est égale àT_B, est regroupé par paquets de L bits : 1,2, 4, 5, 6… bits respectivement. Ces paquets (c_0 , c_1, … , c_{k-1}), de durée T_C = L ×T_B, sont des symboles complexes ($c_k = a_k + jb_k$) qui sont acheminés vers une mémoire tampon. La mémorisation permet de paralléliser les symboles tout en réalisant l'entrelacement fréquentiel par le biais d'une table de correspondance entre les K symboles et les N sous-porteuses. Une fois cette opération effectuée, les N sous-porteuses (f_k) sont modulées simultanément par les N symboles c_k. Finalement, le symbole OFDM sera le résultat de la somme des sous-porteuses générées et aura pour durée $T_U = L$ ×N× T_B.

1.3.3.1.2. Insertion de l'intervalle de garde :

Malgré la bonne immunité de l'OFDM aux distorsions du canal, il n'en demeure pas moins qu'il peut subsister une légère interférence entre deux symboles OFDM transmis successivement. Pour s'en affranchir, il est possible d'ajouter un espace entre les symboles OFDM, d'une durée supérieure ou égale au retard maximum du au canal de transmission. Du coup, les derniers échos du symbole OFDM se produiront durant cet intervalle dit intervalle de garde, épargnant ainsi des perturbations pour le symbole OFDM suivant. Pratiquement, cet intervalle de garde est choisi de durée inférieure ou égale au quart de la durée du symbole OFDM, réalisant ainsi un compromis entre la diminution des erreurs et la perte en débit binaire utile.

La **figure I.3** représente un train de symboles OFDM sépares par un intervalle de garde de durée T_g . Cette durée est supérieure ou égale au retard maximum du au canal de transmission τ_{max}.

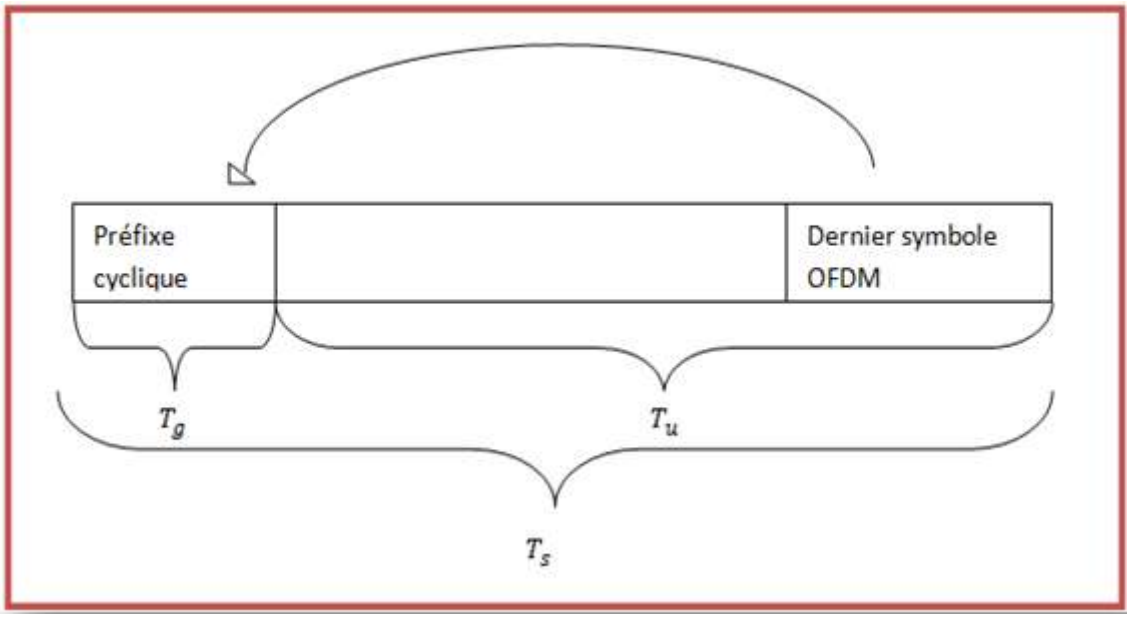


Figure I. 3. *L'intervalle de garde.*

1.3.2.2. Expression du symbole OFDM :

A l'instant t, l'expression du signal OFDM est donnée par :

$$s_E(t) = \sum_{n=0}^{\infty} \sum_{k=0}^{N-1} c_{k,n} \cdot c(t - n\,T_s) e^{j2\pi f_k t} \qquad \textbf{(I.1)}$$

Où c(t-n T_s) est le signal de mise en forme du symbole d'information OFDM.

Les N sous-porteuses étant espacées en fréquence par Δf = 1/T_U ou T_U représente la durée utile d'un symbole OFDM sans que la durée de l'intervalle de garde T_g ne soit prise en compte.Une fois l'intervalle de garde T_g est rajouté, la durée réelle d'un symbole devient égale à T_s = T_U+T_g et tous les symboles constituent une base orthogonale sur l'axe des temps. En réalité l'intervalle de garde renforce la robustesse du système dans le sens où il lui confère une supériorité face aux ISI. Cet intervalle de garde nommé aussi préfixe cyclique CP, est la copie des ν derniers échantillons du symbole OFDM qui est réinjectée à son entrée. En plus de maintenir l'orthogonalité des sous-porteuses, le préfixe cyclique crée une redondance qui s'interprète par un canal de convolution circulaire lors de l'égalisation dans le domaine fréquentiel en réception [5].

Le rajout du CP crée une perte en débit utile, c'est pour cela qu'un compromis entre la réduction des ISI et la perte en débit doit être établie. La durée du CP est en général fixée par

la norme du standard, mais une durée de T_U constitue un bon compromis. Si l'on considère 'q' le nombre de bits par symbole numérique, le débit est qN/T_U. La bande passante utilisée sera égale à B = N/T_U, mais lorsque le CP est rajouté, la durée réelle du symbole augmente ($T_s = T_U+T_g$), le débit diminue et devient qN/(T_U+T_g).

A cause des multi trajets les signaux arrivent au récepteur avec des retards différents après avoir traversé le canal de transmission. La durée de l'intervalle de garde doit être choisie supérieure à la durée du retard maximum τ_{max}.

$$T_g > \tau_{max}. \qquad \textbf{(I.2)}$$

Les N sous-porteuses (f_k) de la section **1.3.2.1.1**peuvent être réécrites comme suit :

$$f_k = f_0 + \frac{k}{T_u}, \text{ k=0,1,…, } N-1. \qquad \textbf{(I.3)}$$

La relation donnée par l'´équation**(I.1)** est le symbole OFDM après rajout du préfixe cyclique. En supposant la fréquence $f0 = 0$ ce qui ramène le signal en bande de base pour simplifier l'expression, l'équation devient :

$$s_E(t) = \sum_{n=0}^{\infty}\sum_{k=0}^{N-1}(c_{k,n}\,.\,c(t-nt_s) + d_{k,n}.d(t-nT_s))e^{j2\pi\frac{kt}{T_u}} \qquad \textbf{(I.4)}$$

Dans l'expression **(1.4)** les d_k, sont les symboles de redondance du préfixe cyclique tandis que $d(t-nT_s)$ représente le signal de mise en forme du symbole de redondance. Pour la suite, nous ne considérerons que les symboles de données (c_k) car la même démarche reste valable pour les symboles de l'intervalle de garde et que le filtre de mise en forme c(t) est la fonction rectangulaire (Porte, Π TS(t)) nous considérons un nombre N d'échantillons espacés d'un intervalle T_C, alors :

$$T_u = N.T_C \qquad \textbf{(I.5)}$$

Les échantillons étant prélevés aux instants t_q et sont définis par :

$$t_q = qT_C \qquad (q = 0,1,\dots,N-1) \qquad \textbf{(I.6)}$$

L'expression de l'équation **(1.4)** après échantillonnage s'écrit :

$$S_E(qT_C) = \sum_{k=0}^{N-1} C_k\,.\prod T_s\,(qT_C)e^{j2\pi\frac{k}{T_u}qT_c} \qquad \textbf{(I.7)}$$

Le filtre d'émission étant choisi de sorte à avoir Π TS(qT_C) égal à 1 pour chaque échantillon, et en remplaçant T_U par la valeur donnée en **(1.5)**, nous aurons :

$$S_E(qT_u) = \sum_{k=0}^{N-1} C_k \, e^{j2\pi \frac{k}{N T_C} qT_c} \qquad \textbf{(I.8)}$$

Après simplification, l'expression du symbole OFDM échantillonné aux instants t_q, s'écrit :

$$S_E(q) = \sum_{k=0}^{N-1} C_k \, e^{j\frac{2\pi k}{N} q} \qquad \textbf{(I.9)}$$

Sachant que la transformée de Fourier inverse et discrète IDFT (Inverse Discret Fourier Transform) est donnée par l'équation **(1.10),** avec :

$$x_q = \frac{1}{N} \sum_{k=0}^{N-1} C_k \, e^{j\frac{2\pi kq}{N}} \qquad \textbf{(I.10)}$$

Il est facile de comparer les équations **(1.9)** et **(1.10)** pour en conclure que le signal OFDM correspond à une IDFT des symboles c_k, à un coefficient 1/N prés. A partir de là, construire le symbole OFDM ne nécessite pas à chaque sous-porteuse son propre oscillateur. Autrement dit, il n'est plus nécessaire d'avoir un banc de N modulateurs analogiques mais, plutôt, il suffit d'appliquer sur les symboles c_k l'IDFT. En réception la démodulation est réalisée à l'aide d'une DFT (Discrete Fourier Transform). L'IDFT et la DFT sont réalisées en pratique par, respectivement, la transformée de Fourier rapide inverse l'IFFT (Inverse Fast Fourier Transform) et la transformée de Fourier rapide FFT (Fast Fourier Transform). L'avantage majeur d'un tel procédé est la possibilité de travailler en temps réel. L'implémentation par FFT réduit d'une manière très significative la complexité du système de transmission à base de l'OFDM.

1.4. Chaine de transmission OFDM :

I.4.1. Etude d'un émetteur OFDM :

Au niveau de l'émetteur, une conversion série/parallèle est appliquée à la séquence d'information en série divisée en blocs. Après, chaque bloc est mappé à travers une constellation. Ensuite, une modulation aux sous porteuses parallèles dans le domaine fréquentiel [6].

Les valeurs complexes résultantes sont converties par une IFFT du domaine fréquentiel vers le domaine temporel. Le préfixe cyclique (ou l'intervalle de garde) est alors ajouté à chaque symbole avant la conversion numériques-analogique et puis la transmission.

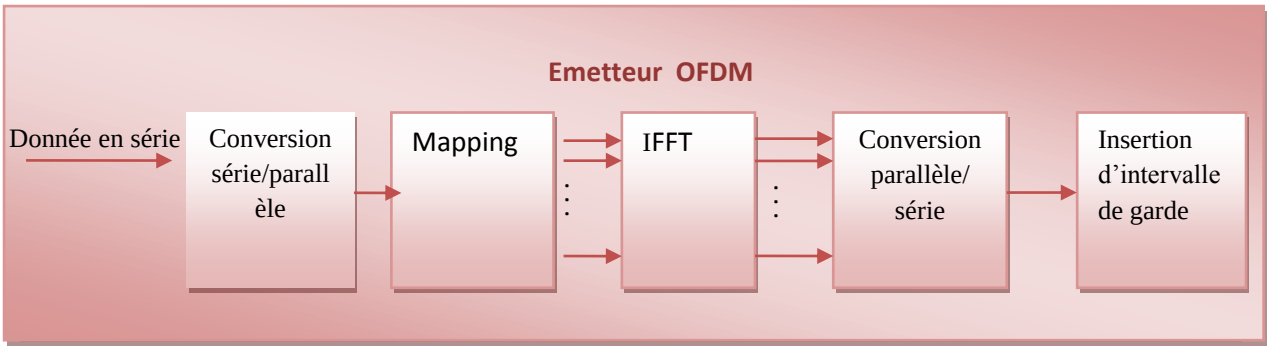


Figure I. 4. *L'émetteur OFDM.*

✓ Conversion série-parallèle :

Les données à transmettre sont sous forme d'une séquence d'information série. La conversion consiste à convertir cette dernière en sous séquences parallèles. Cette étape est nécessaire pour transmettre un nombre important d'information par un seul symbole OFDM. Le nombre de bits transmis dans chaque symbole OFDM dépend des schémas de modulations utilisées et du nombre des sous porteuses utilisées.

✓ Mapping :

On subdivise la séquence d'information en sous blocs de R bits. On utilisera une modulation M-QAM (M-ary Quadrature Amplitude Modulation). La taille M de la constellation est donnée par $M = 2^R$. Chaque R bits est représenté par un signal correspondant à un point de la constellation. Ce point peut être représenté par un nombre complexe dont les parties réelles et imaginaires sont notées respectivement I et Q. La figure **(I.5)** montre trois constellations 4-QAM, 8-QAM et 16-QAM.

Figure I. 5. *Constellation : 4- QAM,8-QAM et 16-QAM.*

✓ IFFT :

Après l'étape du mapping, avant l'application de l'IFFT, chaque échantillon de l'IFFT correspond à une seule sous porteuse. L'IFFT est utilisé pour convertir ce signal au domaine temporel. Le k ^{ième} symbole du signal module une sous porteuse de fréquencef_k. La fréquence, en bande de base, de chaque sous porteuse est un multiple de l'inverse de la durée du symbole OFDM, ce qui implique que chaque sous porteuse a un nombre entier de période par symbole OFDM. Cette propriété entraîne la vérification de la condition d'orthogonalité entre les sous porteuses. Ainsi, lorsque l'échantillonnage est effectué précisément à la fréquencef_k d'une sous-porteuse, il n'y a aucune interférence avec les autres sous-porteuses. Ceci permet d'obtenir ainsi une occupation optimale du spectre.

✓ Insertion de l'Intervalle de garde :

Pour IFFT de taille N on peut inséré un intervalle de garde de taille [1,…… ,.N-1], L'ajout de ce temps de garde Tg a pour but d'éliminer l'ISI qui subsiste malgré l'orthogonalité des porteuses.

I.4.2.Etude d'un récepteur OFDM :

Au récepteur, après conversion analogique-numérique et suppression du préfixe cyclique, une FFT de taille N agit pour traduire le symbole OFDM reçu en des signaux d'information de données complexes. Les opérations de décodage et de demapping sont utilisées pour récupérer le flux des données transmises [7]. La **figure(I.6)** montre un schéma d'un récepteur OFDM.

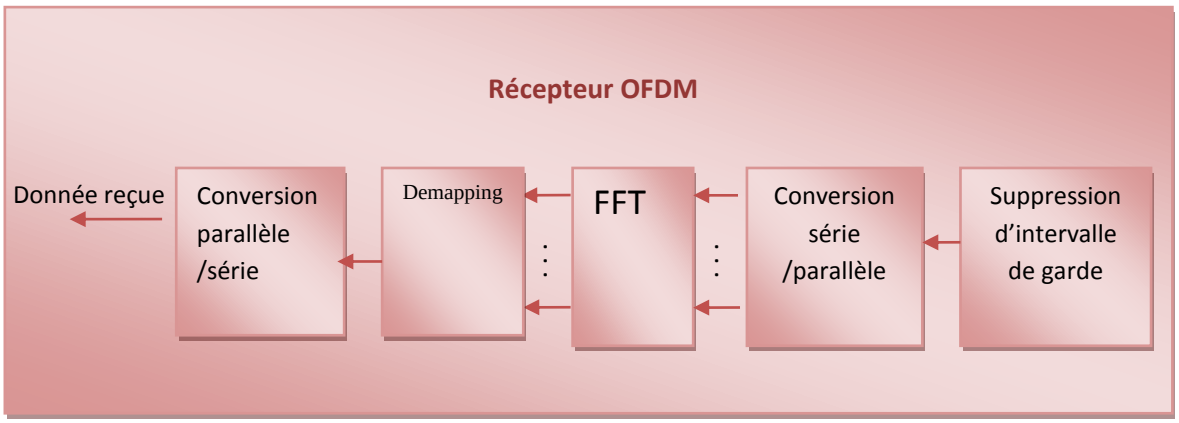


Figure I. 6. *Schéma du récepteur OFDM.*

✓ Suppression de l'intervalle de garde :

Dans cette étape on supprime le préfixe cyclique qui était ajouté à l'émission pour éliminer ISI.

✓ FFT :

Réalise le calcul de l'FFT du signal parvenu au bloc de l' FFT après suppression de l'intervalle de garde, ce bloc convertit le symbole OFDM en des signaux d'information. Il réalise l'opération inverse de l'IFFT.

✓ Démapping :

Le démapping n'est que l'opération inverse du Mapping c'est à dire correspondre à un vecteur (I, Q) un ensemble de bits selon le map ou la constellation utilisée à l'émission.

La chaine de transmission complète émettrice et réceptrice d'un système OFDM est donnée dans la **Figure I.7.**

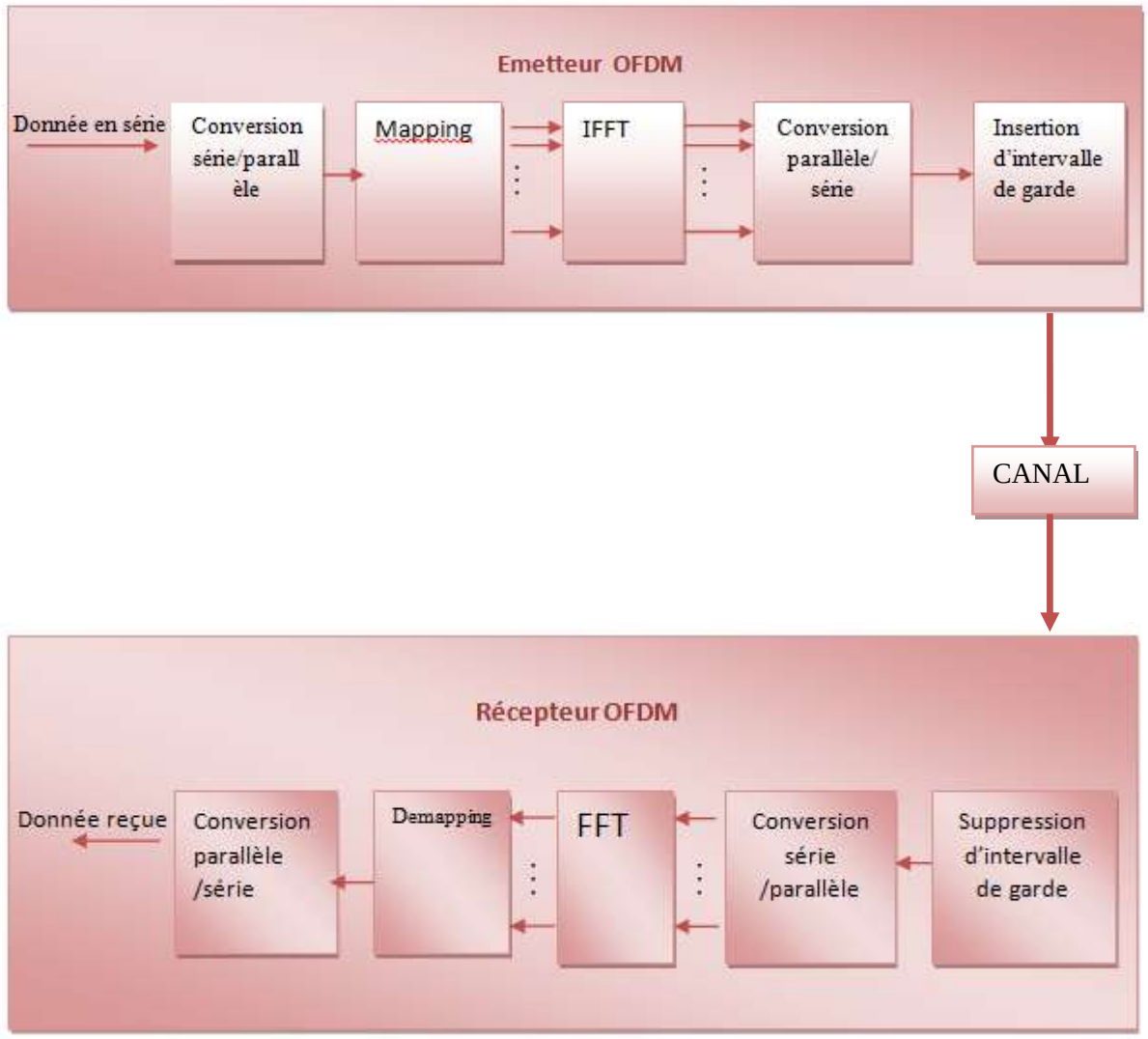


Figure I. 7. *Schéma du système OFDM.*

I.5. Avantages et inconvénients de l'OFDM :

I.5.1. Avantages :

Les trajets multiples, les évanouissements du canal ainsi que l'interférence entre symboles ISI, sont les raisons principales pour le choix de l'OFDM comme technique de modulation. C'est en minimisant les ISI que les débits élevés peuvent etre atteints. Nous donnons en suite les principaux avantages de l'OFDM.

✓ Minimisation des ISI :

Le rajout de l'intervalle de garde T_g (voir **figure I.3**) augmente la robustesse du symbole OFDM aux trajets multiples [5]. En effet, les symboles OFDM arrivent au niveau du récepteur sans qu'ils n'interférent les uns avec les autres aux instants d'échantillonnage.

✓ Optimisation de l'encombrement spectral :

L'encombrement spectral est optimisé par effet d'orthogonalité des N sous-porteuses, permettant ainsi, le chevauchement de leurs bandes fréquentielles respectives. L'occupation spectrale de la bande de fréquence allouée du signal modulé est bien optimisée [8].

✓ Simplicité de réalisation de la modulation :

Une des principales raisons d'étre de l'OFDM est l'utilisation d'une simple IFFT pour la modulation au niveau de l'émetteur et d'une simple FFT pour réaliser la démodulation au niveau du récepteur. Cette téchnique a permis de réduire de maniere trés importante les temps de calculs ainsi que l'implémentation du systéme sur circuit de transmission.

✓ Le canal devient invariant localement :

Les sous-porteuses ont des bandes passantes réduits par rapport à la bande passante totale du signal OFDM. Par conséquent, nous pouvons considérer la réponse fréquentielle du canal de transmission comme étant plate au niveau de chaque sous-porteuses. Le type d'évanouissement dû au canal de transmission dans ce cas est dit lent ou flat fading en anglais.

✓ Simplicité d'égalisation fréquentielle :

l'égalisation fréquentielle est réalisée par un simple produit de multiplication, il s'ensuit une réduction de la complexité des calculs de façon conséquente.

I.5.2. Inconvénients :

Les principaux inconvénients de l'OFDM sont le résultat des caractéristiques temporelles du symbole OFDM. Nous citerons le problème de synchronisation de l'émeteur et du recepteur ainsi que les fluctuations de l'enveloppe du signal OFDM.

✓ Probléme de sychronisation émetteur/récepteur :

Une translation en fréquence due aux "offsets" en fréquences entre les oscillateurs locaux RF ainsi que le décalage fréquentiel du à l'effet Doppler, détruit l'orthogonalité des N sous-

porteuses [9]. Ceci a un effet sur l'échantillonnage qui ne se fait plus aux maxima des sous-porteuses (aux maxima des sinus cardinaux) causant l'interférence entre les symboles c_k. Il est possible de corriger ce probléme en envoyant une séquence d'apprentissage dont on calcule l'autocorrélation afin de corriger la fréquence d'échantillonnage. Dans [10] Minn, Al-Dhahir et Li ont développés un algorithme robuste basé sur le MSE (Mean Square Error) pour retrouver la séquence d'apprentissage optimale dans un canal OFDM MIMO avec offset et en présence de bruit.

I.6. Conclusion :

Un des majeurs problèmes que rencontre la transmission à débit élevé est le problème de trajet multiple. L'OFDM apparait comme une bonne solution pour les trajets multiples, et ceci en divisant la bande de transmission en N sous-canaux orthogonaux. Un préfixe cyclique (Intervalle de Garde) est ensuite ajouté au début du symbole et ce préfixe est identique au segment de même longueur à la fin du symbole. La longueur de cet intervalle est choisie de façon à être supérieure à la valeur maximale de délai du a l'effet de trajet multiple.

L'OFDM présente une grande simplicité dans la modulation et la démodulation ayant besoin d'un seul modulateur et d'un seul démodulateur. Ceci a lieu dans le cas où les différents éléments fondamentaux sont correctement sélectionnés : Nombreuses porteuses orthogonaux, intervalle de garde, entrelacement et des bonnes informations sur l'état du canal.

Chapitre2 : Généralité sur les FPGAs

II.1. Introduction :

L'électronique représente un très large marché très lucratif et un domaine très dynamique riche en nouvelles découvertes et applications. Un domaine qui se caractérise par la tendance à la miniaturisation et la simplification. Pour arrivés à la réalisation des systèmes compacts, légers, économiques, ergonomiques et fiables.

Cette course industrielle scientifique a permis de pousser plus loin ce progrès et l'amélioration des systèmes en intégrant plus de transistors dans une surface de semi conducteur la plus petite possible pour donner naissance à des circuits intégrés de plus en plus denses et performants tel que les microprocesseurs, les ASICs, les FPGAs.

Actuellement, les FPGAs représentent une nouvelle famille de circuits logiques programmables. Ce terme signifie Field Programmable Gate Array. Les circuits du type FPGA sont de plus en plus utilisés pour le prototypage ou la fabrication en petites séries des systèmes électroniques numériques. Les FPGAs sont des composants VLSI (Very Large Scale Integrated Circuits), entièrement reconfigurables, ce qui permet de les reprogrammer afin d'accélérer notablement certaines phases de calculs. L'avantage de ce genre de circuit est sa grande souplesse, qui permet de les réutiliser dans des algorithmes différents en un temps très court (quelques secondes). Le progrès de ces technologies permet de faire des composants toujours plus rapides et à haute intégration, ce qui produit des programmes pour des applications importantes. Le deuxième avantage des FPGAs, c'est que l'on peut aisément les utiliser dans des chaînes systoliques; ce qui facilite de paralléliser des phases de calculs.

Réduire les couts, augmenter les performances et la fiabilité d'un circuit, diminuer les délais de mise en place d'un prototype opérationnel, maintenabilité et réduire l'encombrement des composants sur circuit ,sont des atouts conjugués dans un FPGA. Ces atouts justifient le succès de ses composants dans tous les domaines d'applications de l'électronique, l'aéronautique, l'industrie, les télécommunications, les appareils médicaux l'électroménager…etc, tous les domaines trouvent le bon compromis en intégrant les FPGAs.

Un système reconfigurable est un système qui est constitué de composants ou entités à architecture modifiable afin de répondre à un objectif bien déterminé.

Ce système reconfigurable dispose d'un mécanisme permettant de choisir une nouvelle configuration et de la mettre en place dans le cadre du processus de reconfiguration. Les circuits FPGA sont un type de ces circuits reconfigurable .Ils sont programmables ou configurables sur les carte sur quelle ils sont implantés par l'utilisateur. Cette reconfigurabilitée est une propriété nécessaire face aux systèmes à charges et contraintes variables.

Les dernières familles des FPGAs ont atteint des niveaux de complexité et de performances tels qu'il devient possible de valider rapidement un système électronique numérique intégrant quelques millions de portes, et fonctionnant à quelques centaines de MHz.

II.2. Les FPGAs (Field programmable Gate Array):

Les circuits FPGA (Field Programmable Gate Arrays) ou "réseaux logiques programmables" sont des composants qui permettent de les reprogrammer à volonté afin d'accélérer notablement certaines phases de calculs. Un FPGA consiste en une matrice d'élément singulier (bloc logiques) qui peut être interconnecté de façon générale comme un PLD (programmable logic Dévice), les interconnexions entre les éléments sont programmées par l'utilisateur. Les premiers FPGAs ont été introduits en 1985 par la compagnie Xilinx. Par la suite plusieurs autres compagnies telles que Actel , Altera , Advanced Micro Devices (AMD),Quick-logic et autres, ont introduit de nouvelles architectures FPGA.

II.2.1. Architecture des FPGAs:

On appelle les FPGAs quelque fois LCA, abréviation anglaise de « Logic Cell Array » signifiant réseau de cellules logiques. Pour réussir à implanter un système dans un FPGA de manière efficace, il est indispensable de bien connaitre sa structure interne et ses limites du point de vue performances. Les composants logiques programmables sont des circuits composés de nombreuses cellules logiques élémentaires librement assemblables.

Celles-ci sont connectées de manière définitive ou réversible par programmation afin de réaliser la ou les fonctions numériques désirées. Un FPGA est un circuit intégré avec

une structure adaptable par l'utilisateur et composée d'un réseau de cellules élémentaires ou d'éléments logiques programmables CLB et IOB répartis régulièrement et reliés entre eux grâce à des connections qui forment une matrice de routage programmable pour obtenir un comportement spécialisé du circuit dans sa globalité .

Puisque tous les éléments sont programmables, le FPGA peut émuler et réaliser n'importe quel circuit à l'unique condition que celui-ci n'épuise pas les ressources logiques et de routage du FPGA. L'ensemble des systèmes reconfigurables FPGA est subdivisé en trois catégories suivant les fonctions préexistantes et des possibilités de les interconnectées. Ces catégories sont : des systèmes reconfigurables nommés 'grain fin', des systèmes reconfigurables nommés 'grain moyen' et des systèmes reconfigurables nommés 'grain large'. L'architecture interne des FPGA est différente d'un constructeur à un autre et même entre les différentes gammes de même constructeur mais rien n'empêche que leurs ressemblances peuvent être rassemblées dans le schéma représentatif de **Figure II.1.**

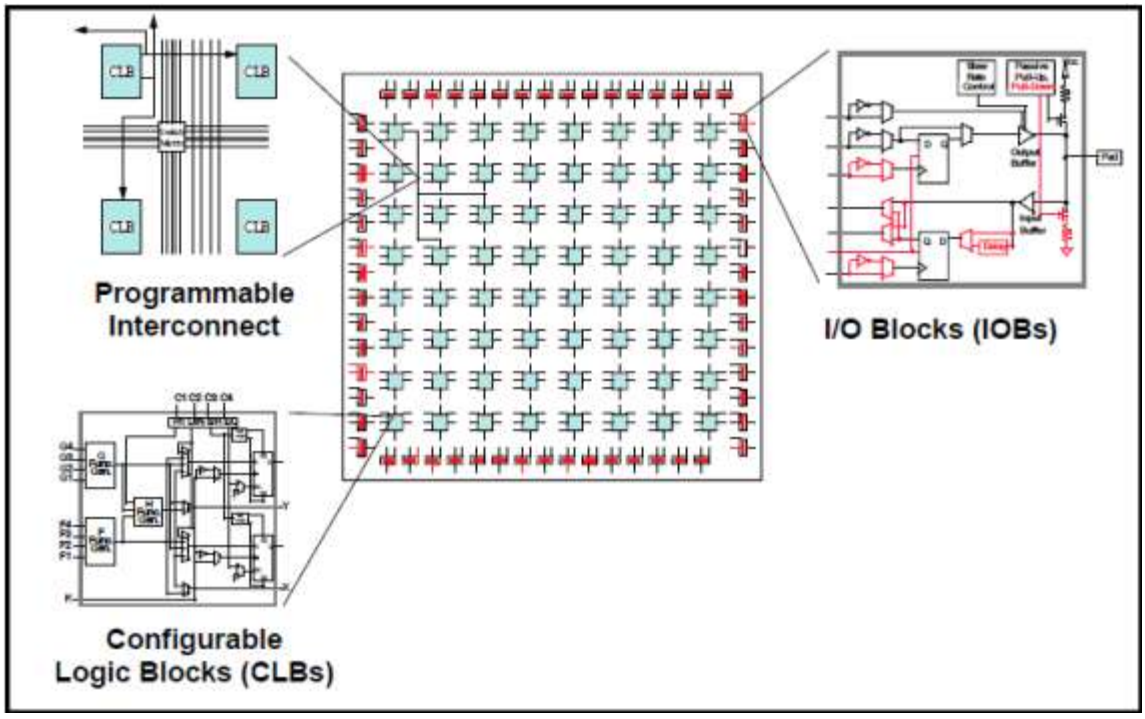


Figure II. 1. *Architecture interne d'un FPGA.*

- Les macro-cellules internes sont appelées :
  - Soit CLB qui est la dénomination adaptée par XILINX et abréviation anglaise de « configurable logic block », signifiant bloc logique configurable.
  - Soit LC qui est le nom choisi par Cyprès et abréviation anglaise de « Locic Cell», signifiant cellule logique.
- Soit LE qui c'est l'appellation d'Altéra abréviation anglaise de « Logic Element» signifiant élément logique.
- Les macro-cellules sur la périphérie sont appelées : IOB abréviation anglaise de « Input Output Block », signifiant bloc logique d'entrées sorties.
- L'ensemble des points de connexion est appelé PIP, abréviation anglaise de « Programme Interconnect Points »

La granularité des FPGA par les macro-cellules CLB nous permet d'implémenter des fonctions logiques « combinatoires ou séquentielles » complexes car chaque CLB est constitué d'une partie combinatoire et d'une partie séquentielle. Chaque fonction est décomposée en petites fonctions booliennes qui peuvent être contenues par de petites cellules élémentaires SLICES. Ces dernières comportent des LUT pour la partie combinatoire et une ou plusieurs bascules (généralement de type D) pour la partie séquentielle. [11]

II.2.2. Etapes de développement :

Les outils de développement permettent au concepteur de programmer le circuit à partir de la description de la fonction à réaliser. Cette description peut être textuelle dans ce cas on utilise généralement des langages de développement : comme le VHDL. Cette description peut aussi être graphique et ce au moyen de chronogrammes, de graphes d'état et de symboles de fonction.

Après la saisie du code dans l'outil (CAO **C**oncepsion **A**ssisté par **O**rdinateur) Xilinx ISE ou Model Sim, l'implantation sur la cible FPGA suit les étapes suivantes :

- Synthèse.

  Le synthétiseur permet de partitionner l'architecture du module réalisé en bloc logiques configurables (CLBs) en tenant compte des spécifications technologiques du composant programmable utilisé.

- Placement et routage.

  Cette étape consiste à placer les blocs logiques configurables CLBs utilisés, parmi les ressources disponibles du circuit cible. Le routage consiste, quant à lui, à établir les interconnexions entres ces CLBs.

- Simulation temporelle du module.

  Validation du bon fonctionnement de l'application réalisée en tenant en compte les retards physiques.

- Construction du fichier binaire.

  Ce fichier sera transféré par liaison (JTAG par exemple) vers le circuit cible pour le configurer.

II.2.3 . Outils de développement FPGA :

La programmation d'un FPGA est réalisée *via* un nombre important de points mémoire permettant de configurer la structure matérielle de la fonctionnalité réalisée. Cette configuration permet notamment de programmer :

- le contenu des LUT et les autres paramètres des blocs logiques (présence d'une bascule, état au *reset*, utilisation de la chaîne de retenue, etc.) ;
- les connexions dans les blocs de routage ;
- l'initialisation du contenu des mémoires ;
- la taille et le chemin de données des blocs arithmétiques ;
- les autres structures programmables telles que les entrées/sorties, les générateurs d'horloge, etc.

Les outils de CAO pour les FPGA permettent de transformer le *Design*, spécifié à l'aide de schémas ou d'un langage de description du matériel, en une suite de données binaires (*Bitstream*) permettant de programmer le FPGA lorsque celui-ci est en mode configuration [12].

II.2.4. Différents domaines d'application des FPGAs :

Les FPGA on fait révolutionner certain domaines de contrôle numérique et de plus en plus utilisés pour intégrer des architectures numériques complexes. Ils sont devenus les plus populaires en matière d'implantation et de prototypage des circuits numériques après leur apparition sur le marché. La clé maitresse de leurs réussites est l'aspect de programmation de ces applications parmi les applications nous citons :

- informatique : périphériques spécialisés.
- Machinerie industrielle : contrôleur pour machines.
- Télécommunications : traitement d'images, filtrage.
- Instrumentation : équipement médical, prototypage.
- Transport : contrôle d'avions et métros.
- Aérospatiale : satellites.
- Militaire : radar, communication protégée, la détection ou la surveillance.

II.3. Famille SPARTAN-6 de XILINX :

Spartan-6 offre un équilibre optimal de faible risque et à faible coût et de faible consommation d'énergie. [13]. Dans la suite nous donnons une discréption de l'architecture des éléments de base de la famille Spartan-6.

II.3.1. Les CLBs :

Les blocs logiques configurables (CLB) sont les principales ressources logiques pour l'implémentation des fonctions séquentielles et combinatoires. Chaque élément CLB est connecté à une matrice de commutation (switch matrix) pour l'accès à la matrice générale d'interconnexion **la Figure II.2,** et contient une paire de slices qui ne sont pas en connexion directe et dont chaqu'un s'organise en colonne ; étiqueté slice (1) pour la partie supérieur et slice(0) pour la partie inferieure.

Figure II. 2. *Arrangement des slice dans un CLB.*

Les Slices du Spartan-6 sont désignés suivant la règle: Un "X" suivie d'un numéro qui identifie la position de chaque slice de la paire et de sa colonne. Le slice de démarrage de la séquence 0,1 constitue la première colonne(en bas à gauche), celui de la séquence 2,3 constitue la deuxième colonne(en bas à droite)…etc. Un "Y" suivie d'un numéro identifie la ligne du slice. Un CLB est donc représentée par le même numéro de ligne (Y) et une paire de numéro de colonne (X) , La **Figure II.3** schématise quatre CLB commençant par le CLB de démarrage en bas à gauche (X(0,1),Y(0)) [14].

Figure II. 3. *Numérotation des lignes et des colonnes des Slices.*

II.3.2. Description des Slices :

Chaque slice contient quatre générateurs de fonction logique LUT (look_up table) et huit éléments de stockage. Ces éléments sont utilisés par toutes les slices pour fournir des fonctions logiques et des fonctions mémoire. (**Tableau II.1)** Le Slicex est le slice de base, il comporte des LUT et des bascule_D (flip_flop). Les SLICEL, Contiennent en plus des logics de retenue et des multiplexeurs larges. Les SLICEMs contiennent, en plus des éléments de SLICEL, des RAM distribués et des registres à décalage.

Tableau II. 1. *Caractéristiques des slices du Spartan-6.*

Feature	SLICEX	SLICEL	SLICEM
LUTs 6-entrées	✓	✓	✓
8 Flip-Flop	✓	✓	✓
Multiplexeur		✓	✓
Logic de retenue		✓	✓
RAM distribuées			✓
Registre à décalage			✓

Chaque colonne de CLB contient deux colonnes de slices. Une colonne est une colonne Slicex, les autres colonnes alterne entre SLICEL et SLICEMs. Environ 50% des slices

disponibles sont de type SLICEX, alors que 25% SLICEL et 25% SLICEM. Le XC6SLX4 ne comporte pas de SLICEL.

Le tableau II.2 résume les ressources logiques d'un CLB. Chaque CLB ou SLICE peut être implémenté dans une des configurations citées.

Tableau II. 2. *Ressources logiques d'un CLB*

Slices	LUTs	Flip-Flop	Arithmitic and carry chains	RAM distribuées	Registre à décalage
2	8	16	1	256 bits	128 bits

Tableau II.3 montre les ressources disponibles pour les CLB Spartan-6. Le rapport entre le nombre de LUT à 6 entrées et les cellules logiques est de 1,6. Cela reflète la capacité accrue de la nouvelle architecture de LUT à 6 entrées par rapport à LUT traditionnels 4-entrées [14].

Tableau II. 3. *Ressources logique de Spartan-6.*

Dispositif	*Logic cell*	*Total slices*	*SLICE M*	*SLICE L*	*SLICE X*	*Nombre des LUT 6-entrée*	*Max des RAMs distribuées (Kb)*	*Registres à décalage (kb)*	*Nombre de Flip-Flop*
XC6SLX4	*3.840*	*600*	*300*	*0*	*300*	*2,400*	*75*	*38*	*4.800*
XC6SLX9	*9.152*	*1.430*	*360*	*355*	*715*	*5.720*	*90*	*45*	*11.440*
XC6SLX16	*14.579*	*2.278*	*544*	*595*	*1.139*	*9.112*	*136*	*68*	*18.224*
XC6SLX25	*24.051*	*3.758*	*916*	*963*	*1.879*	*15.032*	*229*	*115*	*30.064*
XC6SLX45	*43.661*	*6.822*	*1.602*	*1.809*	*3.411*	*27.288*	*401*	*200*	*54.576*
XC6SLX75	*74.637*	*11.662*	*2.768*	*3.063*	*5.831*	*46.648*	*692*	*346*	*93.296*
XC6SLX100	*101.261*	*15.822*	*3.904*	*4.007*	*7.911*	*63.288*	*976*	*488*	*126.576*

XC6SLX150	*147.443*	*23.038*	*5.420*	*6.099*	*11.519*	*92.152*	*1.355*	*678*	*184.304*
XC6SLX25T	*24.051*	*3.758*	*916*	*963*	*1.879*	*15.032*	*229*	*115*	*30.064*
XC6SLX45T	*43.661*	*6.822*	*1.602*	*1.809*	*3.411*	*27.288*	*401*	*200*	*54.576*
XC6SLX75T	*74.637*	*11.662*	*2.768*	*3.063*	*5.831*	*46.648*	*692*	*346*	*93.296*
XC6SLX100T	*101.261*	*15.822*	*3.904*	*4.007*	*7.911*	*63.288*	*976*	*488*	*126.576*
XC6SLX150T	*147.443*	*23.038*	*5.420*	*6.099*	*11.519*	*92.152*	*1.355*	*678*	*184.304*

Figure II. 4 représente un schéma détaillé du SLICEM.

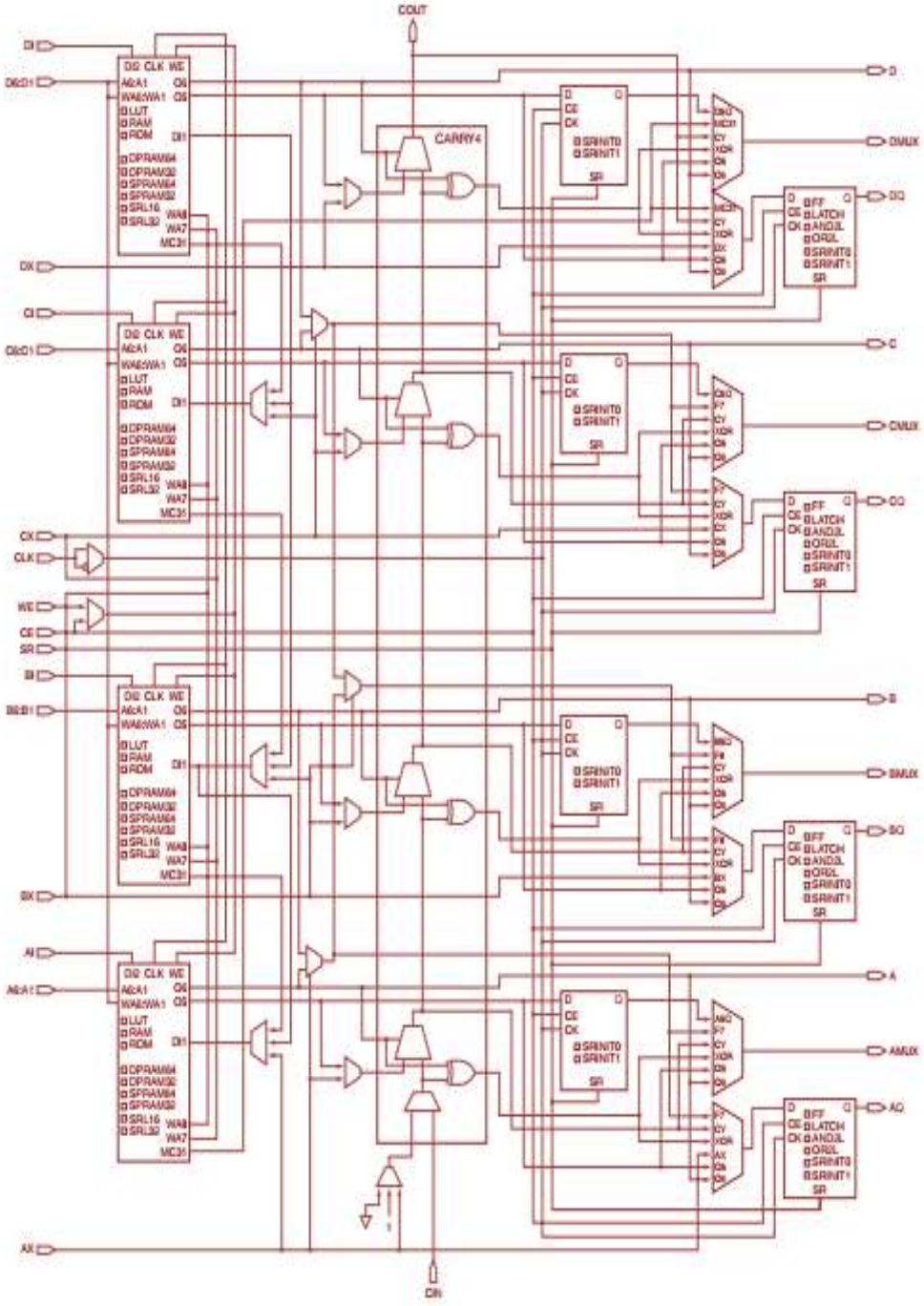


Figure II. 4. *Logigramme de SLICEM.*

La **Figure II.5** donne le schéma détaillé du SLICEL.

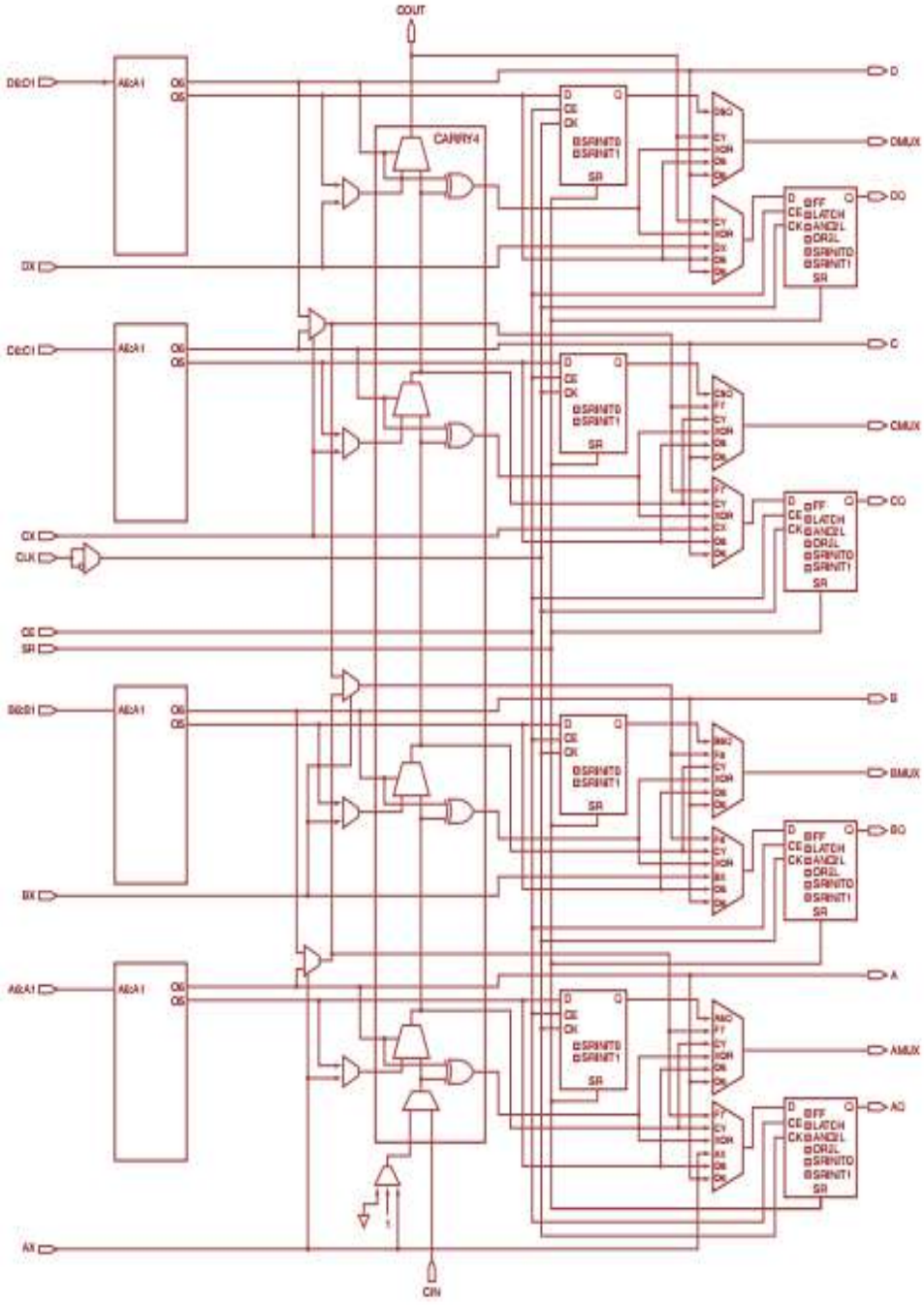


Figure II. 5 . *Logigramme de SLICEL.*

La **Figure II.6** donne le schéma détaillé du SLICEX.

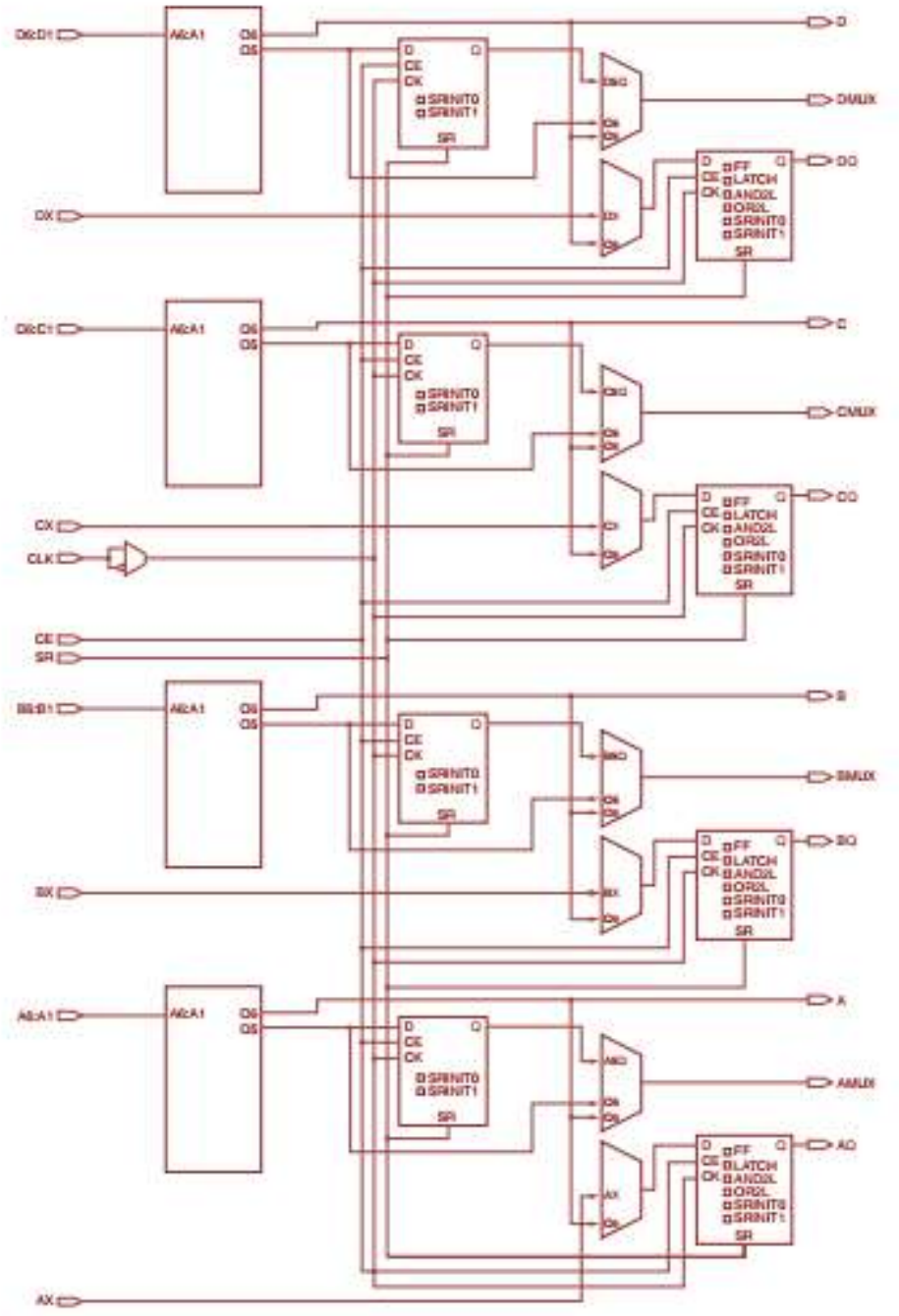


Figure II. 6. *Logigramme de SLICEX.*

II.3.4. Look-Up Table (LUT):

Les générateurs de fonctions dans Spartan-6 sont implémentés sous forme de tables de correspondance de six entrées (LUT). Il existe six entrées indépendantes (entrées A-A1 à A6) et deux sorties indépendantes (O5 et O6) pour chacun des quatre générateurs de fonction dans un slice (A, B, C et D). Les générateurs de fonction peuvent mettre en œuvre une fonction booléenne à six entrées arbitrairement défini. Chaque générateur de fonction peut également mettre en œuvre deux fonctions booléennes à cinq entrées arbitrairement défini, ces deux fonctions partagent des entrées communes. Seule la sortie O6 du générateur de fonction est utilisée lorsqu'une fonction de six entrées est implémentée. Les deux sorties O5 et O6 sont utilisés pour chacun des générateurs de fonctions à cinq entrées implémentées. Dans ce cas, A6 est orientée vers le haut par le logiciel,

Le retard de propagation à travers les LUTs est indépendant de la fonction implémentée, cependant il peut dépondre des générateurs de fonction six-entrées ou cinq-entrées qui sont implémentées. **La Figure II. 7** représente une vue simplifiée de la connectivité pour un seul LUT à 6 entrées.

Figure II.7. *Structure d'un LUT à 6 entrées.*

Outre les tables de correspondances de base, SLICEL et SLICEM contiennent trois multiplexeurs (F7AMUX, F7BMUX, et F8MUX). Ces multiplexeurs sont utilisés pour combiner jusqu'à quatre générateurs de fonctions pour fournir une fonction de sept ou huit entrées dans un slice. F7AMUX et F7BMUX sont utilisés pour générer des fonctions à sept entrées. Cependant F8MUX est utilisé pour combiner tous les Slices et générer une fonction à huit entrées. Les Fonctions de plus de huit entrées peuvent être implémentées en utilisant

plusieurs slices. Il n'y a pas de liens directs entre les slices pour former des générateurs de fonctions supérieures à huit entrées dans un CLB, mais les sorties CLB peuvent être acheminés à la matrice commutation [14].

II.3.5. Eléments de stockage :

Chaque slice comporte huit éléments de stockage. Il ya quatre éléments de stockage dans un slice qui peut être configuré soit comme bascules-D (Flip-Flop) ou verrous (Latch) sensible à un niveau .L'entrée D peut être orientée directement par une sortie de LUT via AFFMUX, BFFMUX, CFFMUX ou DFFMUX, ou par une entrée BYPASS du slice contournant les générateurs de fonctions via AX, BX, CX, ou DX.

Dans Spartan-6, il ya quatre éléments de stockage supplémentaires qui ne peuvent être configurés que comme bascules-D (Flip-Flop). L'entrée D peut être orientée par la sortie O5 de la LUT. Lorsque les quatre éléments de stockage originaux sont configurés comme des verrous, ils ne peuvent pas être utilisés.

Figure II.8 représente les huit éléments de stockage d'un Slice [14].

Figure II. 8. *Configuration d'un slice: 4 registres seuls et 4 registre / Verrou.*

Les signaux de contrôle d'horloge (CLK), validation d'horloge (CE), et set / reset (SR) sont communs à tous les éléments de stockage dans un slice [14].

II.3.6. Les RAMs distribuées :

Les générateurs de fonctions dans SLICEMs ajoutent une entrée de données et une validation qui permet au générateur de fonction d'être implémenté en tant que RAM distribuée. Les ressources RAM sont configurables dans un SLICEM pour implémenter la RAM distribué représentée dans le **tableau II.4.** Plusieurs LUT dans un SLICEM peuvent être combinés de différentes manières pour stocker plus de données. La RAM distribuée est rapide, localisée, et idéal pour les petits tampons de données, les FIFO, ou registres de fichiers. Pour les besoins des plus grandes mémoires, on peut utiliser les ressources de RAM de block 18K.

Les RAM distribués sont des ressources synchrones (écriture) et asynchrone (lecture). cependant, une source synchrone peut être implémentée dans un élément de stockage ou dans un Flip-Flop au sein du même slice. L'emplacement de ce Flip-Flop améliore la performance de la RAM distribuée en réduisant le retard de la valeur de l'horloge du Flip-Flop, avec l'addition d'une horloge de latence. Les ressources distribuées partagent la même entrée d'horloge. Pour une opération d'écriture, l'entrée (WE), orienté soit par le CE ou le pin WE d'un SLICEM, doit être mis à l'état haut.

Tableau II.4 montre le nombre de LUT (quatre par slice) occupée par chaque configuration de RAM distribuée.

Tableau II.4. Configuration de la RAM distribuée.

RAM	Nombre de LUT	Description
32 x 2Q[2]	4	Quad-Port 32 x 2-bit RAM
32 x 6SDP[2]	4	Simple Dual-Port 32 x 6-bit RAM
64 x 1S	1	Single-Port 64 x 1-bit RAM
64 x 1D	2	Dual-Port 64 x 1-bit RAM
64 x 1Q[3]	4	Quad-Port 64 x 1-bit RAM
64 x 3SDP[3]	4	Simple Dual-Port 64 x 3-bit RAM
128 x 1S	2	Single-Port 128 x 1-bit RAM
128 x 1D	4	Dual-Port 128 x 1-bit RAM
256 x 1S	4	Single-Port 256 x 1-bit RAM

- S = configuration à un seul port; D = configuration double port; Q = configuration quatre port; SDP = configuration simple à deux ports.
  - Dans la configuration à un seul port la RAM distribuée a une adresse de port commune pour des écritures synchrones et des lectures asynchrones.
  - Dans la configuration à double port la RAM distribuée a un port pour l'écriture synchrone et la lecture asynchrone et un autre port pour la lecture asynchrone.
  - Dans la configuration simple à deux ports il n'y a pas de donnée sur le port d'écriture

- Dans la configuration à quatre ports la RAM distribuée a un port d'écriture synchrone et de lecture asynchrone en plus des trois port de lecture asynchrone

Les **figures (II.9) (II.10)** illustre deux exemples de configuration de RAM distribuées occupant un slice, lors de l'usage d'une configuration x2 (RAM32x2Q) l'entrée A6 et WA6 sont orientés en haut par le logiciel afin d'obtenir des sortis O5 et O6 indépendantes [14].

Figure II. 9. *RAM distribuée (RAM32x2Q).*

Figure II. 10. *RAM distribuée(RAM32X6SDP).*

Figure II. 11. *RAM distribuée (RAM64X1S).*

Figure II. 12. *RAM distribuée(RAM64X1D).*

II.4. Conclusion :

Les FPGAs sont caractérisées par de petites cellules identiques interconnectées nécessitant d'importantes ressources de placement/ routage. La sortie est variable en fonction du routage. La puissance des FPGAs actuels permet d'intégrer des applications de plus en plus complexes à l'intérieur d'un seul circuit grâce à ces avantages cités dans ce chapitre.

Les FPGAs ont une architecture interne plus compliquée. Ils peuvent être vus comme plusieurs blocs logiques plus ou moins puissants selon les familles. Parmi ces dernières nous avons donnés une vue sur la famille Spartan-6 de XILINX et son architecture qui décrit ses éléments essentiels pour qu'un system soit implémenté sur un circuit FPGA de famille Spartan-6.

Chapitre3 : Conception et réalisation

L'objectif de ce présent travail est de proposer une conception implementable sur circuit de type FPGA de la technique OFDM.

Les trajets multiples, les évanouissements du canal ainsi que l'interférence entre symboles ISI, sont les raisons principales pour le choix de l'OFDM comme technique de modulation. Pour les systemes de communication à haut débit ,c'est en minimisant les ISI que les débits élevés peuvent etre atteints.

Dans le premier chapitre nous avons commencé par l'étude de la technique OFDM qui apparait comme une bonne solution pour les trajets multiples, le multiplexage par répartition en fréquence permet de réduire l'occupation spectrale du signal à transmettre ce qui permet de réduire l'effet de l'ISI du point de vue réalisation pratique, la modulation OFDM est réalisée par l'opération d'IFFT alors que la démodulation OFDM est donc réalisée pour l'opération FFT.

Donc l'OFDM présente une grande simplicité dans la modulation et la démodulation du fait qu'elle utilise qu'un seul modulateur et un seul démodulateur.

Dans le deuxième chapitre nous avons donné une idée générale sur les circuits FPGA, leur architecture générale et spécialement celle du SPARTAN 6. Le rôle des FPGA est d'intégrer des circuits logiques complexes. Ces circuits sont susceptibles d'être reconfigurés pour ce qui permet l'implémentation de ces changements ou modification dans le système.

Dans le dernier chapitre nous avons fait une conception du système OFDM pour trois type de mapping (4-QAM, 8-QAM et 16-QAM) en utilisant l'outil de conception « SYSTEM GENERATOR »de XILINX. Pour vérifier le bon fonctionnement de notre conception nous avons fait des simulations pour visualiser les formes des signaux dans les différentes étapes :Mapping, entrée IFFT, sortie IFFT, entrée FFT, sortie FFT et sortie final après estimation et demapping. Nous avons constaté que les résultats de simulation ont été identique à ceux obtenu par calcule théorique.

La réalisation de ce travail nous a donné l'occasion d'acquérir des connaissances précieuses sur :

- Le principe du la technique OFDM largement utilisé dans les System de communications.

- L'outil de développement System Generator de Xilinx.
- Les circuits logiques FPGA (Spartan-6).

Comme perspective de notre travail, nous pouvons citer entre autres :

- L'implémentation sur FPGA de notre conception.
- Intégration de l'estimation du canal et de la correction des décalages de fréquences.
- Utilisation de l'OFDM pour un système MIMO.

[1] *Bouchenafa M.A et Zemir C,'' Etude et simulation de la technique OFDM optique dans les systèmes WDM,'' Mémoire de fin d'études pour l'obtention Du diplôme de Master en Génie électrique, Université Dr YAHIA FARES de, Médéa , Algérie ,2011.*

[2] *J. A. C. Bingham ,''Multi Carrier Modulation for Data Transmission, An Idea Whose Time Has Come'', IEEE Communications Magazine, pp., 5-14, May. 1990.*

[3] *M. Hanzo, B. J. Choi et T. Keller,"OFDM and MC-CDMA for Broadband Multi-usercommunications, WLANs and Broadcasting," John Wiley & Sons, UK, juin 2004.*

[4] *X.Wang, et H. V. Poor, "Wireless Communication Systems: Advanced Techniques forSignal Reception," Prentice Hall Communications Engineering and Emerging Technologies Series Theodore S. Rappaport, Series Editor, june 2002.*

[5] *P. J. W. Melsa, R. C. Younce et C.E. Rohrs, "Impulse Response Shortening for discrete*

Multitone Transcievers," IEEE Trans. on comm., vol. 44, pp. 1662-1672, Dec. 1996.

[6] *Altera. A, Scalable, ''OFDMA Engine for WiMAX,'' Version 2.1, Application Note 412''.May 2007.*

[7] *K. Fazel et S. Kaiser, Multi-Carrier and Spread Spectrum Systems, John Wiley & Sons, 2003.*

[8]*R. W. Chang, "Synthesis of band-limited orthogonal signals for channels data transmission," Bell Syst. Tech. J., vol. 45, pp. 1775-1796, Dec 1966.*

[9]*R. Prasad, "OFDM for Wireless Communications Systems, "Artech House, Inc., London,UK, 2004.*

[10] *H. Minn, N. Al-Dhahir, et Y. Li, "Optimal Training Signals for MIMO OFDM Channel Estimation in the Presence of Frequency Offset and Phase Noise," IEEE Trans. OnComm., vol. 54, no.10, pp. 1754-1759, Oct. 2006.*

[11]*Zahir Ait Ouali "application des FPGA à la commande d'un moteur asynchrone, " Université MOULOUD MAMMERI, Tizi-Ouzou.*

[12]*http://www.techniques-ingenieur.fr/consulter consulter mars 2014.*

[13] *http://www.xilinx.com consulté avril 2014.*

[14] *Spartan-6 FPGA CLB User Guide, UG384 (v1.1) February 23, 2010.*