République algérienne démocratique et populaire

Ministère de l'enseignement supérieur et de la recherche scientifique

Université Dr. Yahia fARES de Médéa

Département du génie électrique

Mémoire de fin d'études pour l'obtention du diplôme de master en télécommunication

Option: systèmes des télécommunications

THEME

Comparaison des performances de démodulateurs FSK/MSK à base de PLLs

Présentés par :

M$_{me}$: ZOUGAIEYasmine

M$_{elle}$: GUETTAFIZoulikha

Encadrés par :

Dr. BATEL Noureddine

Année universitaire : 2016/2017

Résumé

Un système de démodulation FSK/MSK est réalisé à base de deux types de PLLs, la DPLL Conçue sur Pspice et la SPLL implémenté sur DSP, qui a pour objectif de testé les performances de ce types de démodulation en présence et en dehors de bruit.

Abstract

An FSK/MSK demodulation système was realised using too types of PLL, the DPLL designed on Pspice and the SPLL implemented on DSP; its object is to test the Performances of such systems in the presence and absence of noise.

Dédicace :

Je dédié ce travail avec grand amour, sincérité, et fierté :

A mesplus belles perlent du monde chères, adorables et respectueux parents, Said et MebarkaQui m'ont toujours encouragé durant mes années d'études

Pour leurs patiences, leurs amours et leurs soutiens

Que dieu leur préserve une longue vie et bonne santé.

Ames très chers frères :Lakhdar, Mostafa, et Messaoud.

Ames sœurs : Bahdja, Fadhila, Fatiha, Nacira, (et leurs enfants)et ma petite sœur Zineb,

Et surtout ma plus proche Nabila, qui a été toujours présent pourmoi.

Je leur souhaitant tout le succès … tout le bonheur…

A mes amis avec qui j'ai partagé des moments des plus agréables.

Farida, Nesrine, Imane, Soraya,Assia, Hanane, Yosra,Yasmine, …

Atous ceux qui m'aiment et qui aurait voulu partager ma joie….

A toutes personnes qui m'ont encouragé ou aidé au long de mes études.

GuettafiZoulikha

Je dédie ce mémoire à…

Mes très chers parents Zougaie Mohamed et Salah Dahbia ; c'est grâce à eux que j'ai pu résister à tout les empêchements que j'ai rencontré sur mon chemin, merci pour votre compréhension et merci pour votre soutien…

A mes sœurs Wafa et Imen…

A mes frères Hamdi et Saïd…

A mes neveux :

Abdellah, Abd El-Madjid ; Nada, Bochra, et mon petit cœur Axel…

A mon cher Mari Rabah…

A ma grand-mère Wardia età l'esprit de mon grand pèreIdir.

A mes chèresoncles, et surtout mon oncle Tamime….

A mes chères amies : Rabab, Wissem, Douja et Zoulikha…

ZOUGAIE Yasmine

Remerciements

On tien à remercier Dieux qui nous a donner le courage pour pouvoir réaliser ce modeste travail…

On adresse tout d'abord nos remerciements les plus sincères, à Dr. Nourddine BATEL, qui a très volontiers accepté d'être le promoteur de ce projet. Sa grande connaissance dans le domaine, ainsi que son expérience, ont joué un rôle important dans la conception de ce travail.On le remercie vivement pour le partage de son temps et expertises.

On tient aussi à remercie les membres de juré Mr MIMEN Bakhti et Mr BAILICHE Amine.

On tien à remercier nos parents et nos familles pour leurs soutiens.

Table des matières

Remerciement

Dédicace

Résumé

Table des matières :

Liste des abréviations

Liste des figures

Liste des tableaux

Introduction générale ……02

Chapitre I : description de la DPLL et de la SPLL :

I.1 Introduction 04

a. les PLLs numérique (ADPLL) ……....04

b. Les PLLs software (SPLL) ……..04

I.2 Description de la DPLL……..05

I.2.1Blocs constituants la DPLL……..06

a. Le détecteur ou comparateur de phase ……06

b. L'oscillateur contrôlé par tension (VCO) ……07

c. Le filtre de boucle ……08

I.2.2Fonctionnement d'une DPLL ……...10

I.2.3Plages de fonctionnement De la DPLL……..11

a. La plage de maintien (verrouillage)….....11

b. La plage de capture (acquisitions)……11

I.3 Description de la SPLL ……..…….....12

I.3.1 Conception de la SPLL ……....12

I.3.1 Support hard et soft du DSP ……13

a. Les interruptions …….……..13
b. Logiciels d'accompagnement :…….……..13

I.3.2 Fonctionnement d'une SPLL comme DPLL ……15

Chapitre II : Génération d'une FSK orthogonale

II.1 Introduction ……..**.....**17

II.1.1 la modulation de fréquence ……..17

a. FSK à phase discontinue : ……17
b. FSK à phase continue (CPFSK) : ……..…....18

II.1.2Conditions d'orthogonalité d'une FSK : ……19

II.2 Données de simulation : ……..23

II.2.1 Modulation par Pspice :……..23

- Générateur pseudo-aléatoire ……...25

II.2.2 Modulation par DSP : ……..**.....**28

Chapitre III : Démodulation FSK/MSK

III.1 Démodulation en dehors de bruit : ……. 33

III.1.1 Démodulation FSK : …….……....33

III.1.1.1 Démodulation par DPLL : ……..…….33

III.1.1.2 Démodulation par SPLL : ……..…...40

III.1.2 Démodulation MSK : ……... 42

III.1.2.1 Démodulation par DPLL : …….…… 42

III.1.2.2 Démodulation par SPLL : …….……..…….. 45

III.2 Démodulation en présence de bruit : ……... 47

III.2.1 Diagramme en Œil : ……..……48

III.2.2 Démodulation FSK : …….…....54

III.2.2.1 Démodulation par DPLL : ……..…….54

III.2.2.2 Démodulation par SPLL : ……..…...55

III.2.3 Démodulation MSK : ……... 56

III.2.3.1 Démodulation par DPLL : …….…… 56

III.2.3.2 Démodulation par SPLL : …….……..……..57

Conclusion ……....58

Bibliographie ……....61

Annexe ……..…..63

Liste des abréviations

PLL: Phase Lock Loop

DPLL: Phase Lock Loop semi-numeriques

LPLL: Phase Lock LoopLinéaires

AD PLL: Phase Lock LoopNumériques

SPLL: Phase Lock LoopSoftware

NPLL: Phase Lock LoopNeuronal

DFP:Détecteur ou Comparateur de Fréquence/Phase

VCO: Voltage Controlled Oscillator ou Oscillateur Contrôlé en Tension

FSK: Frequency Shift Keying

ASK: Amplitude Shift Keying

PSK: Phase Shift Keying

MSK: Minimum Shift Keying

CPFSK: Continuous Phase Frequency Shift Keying

DSP: Digital Signal Processing

VLIW: Very Long Instruction Word

CPU: Central Processor Unit

CCS: Code Composer Studio

API: Application Programming Interface

CSL: Chip Support Library

RTDX: Real Time Data Exchange

HWI: Hardware Interruption

SWI: Software Interruption

DCO: Digital Controlled Oscillator

BIOS: Basic Input Output System

Listes des figures

Figure 1 :schéma bloc d'une DPLL…….....05

Figure 2 : Fonctionnement du comparateur phase-fréquence. ……...07

Figure 3 : Schéma de principe du VCO. …….08

Figure 4 : Filtre passe-bas de boucle ……..…….08

Figure 5 :plage de capture et plage de maintien d'une DPLL ……11

Figure 6 : Schéma-bloc fonctionnel de la DPLL. ……10

Figure 7 : Schéma-bloc des opérations d'une SPLL opérant en tant qu'une DPLL…….15

Figure 8 : signal modulant m (trait continu) et phase θ du CPFSK (trait discontinu)…….19

Figure 9 :modulateur FSK-MSK…….23

Figure 10 :Démodulateur FSK /MSK…….24

Figure 11 : Séquence de données pseudo aléatoires…….....25

Figure 12 : Générateur Pseudo aléatoire réalisé sur Pspice……..26

Figure 13 :répartition des tranches de bits…….....27

Figure 14 :diagramme de bode de la DPLL en boucle fermé ……...….33

Figure 15 : sortie démodulée avec c_{stes} de temps optimales (1^{er} choix) pour le fichier F300/2.vec ……...…….34

Figure 16 : sortie démodulée avec c_{stes} de temps optimales (2^{eme} choix) pour le fichier F300/2.vec ……...…….35

Figure 17 : sortie démodulée avec c_{stes} de temps optimales (1^{er} choix) pour le fichier F150/5.vec ……35

Figure 18 : sortie démodulée avec c_{stes} de temps optimales (2^{eme} choix) pour le fichier F150/5.vec ……36

Figure19 : sortie démodulée avec c_{stes} de temps optimales (1^{er} choix) pour le fichier F400/8.vec ……36

Figure 20 : sortie démodulée avec c_{stes} de temps optimales (2^{eme} choix) pour le fichierF400/8.vec
……37

Figure 21 : impulsion délivrées par le DFP ……38

Figure 22 : zoom detension de filtre au bas de la figure III-3 montrant les résidus aux deux fréquences de de saut en correspondance avec la sortie du détecteur DFP pour les niveaux bas ……...39

Figure 23 : zoom de tension de filtre au bas de la figure III-3 montrant les résidus aux deux fréquences de saut en correspondance avec la sortie du détecteur DFP pour les niveaux hauts. ……...39

Figure 24 :sortie démodulée pour fichier F300/2 par SPLL ……..40

Figure 25 :sortie démodulée pour fichier F150/5 par SPLL ……..40

Figure 26 : sortie démodulée pour fichier F400/8 par SPLL …… 41

Figure 27 :sortie démodulée pour fichier M300/2.vec ……...42

Figure 28 :sortie démodulée pour fichier M150/5.vec ……...43

Figure 29 : sortie démodulée pour fichier M400/8.vec ……...43

Figure 30 : Zoom sur la sortie démodulée de la figure III-16 ……44

Figure 31 :sortie démodulée pour fichier M300/2 par SPLL ….....45

Figure 32 : sortie démodulée pour fichier M150/5.vec …….....45

Figure 33 : sortie démodulée pour fichier M400/8 par SPLL …….46

Figure 34 : Diagramme en œil avec f_1=357 KHz sur 3 cycles ……...48

Figure 35 : Diagramme en œil avec f_2=243 KHz sur 3 cycles …….....49

Figure 36 : superposition des deux fréquences sur le même graphe ……...49

Figure 37 : Diagramme en œil avec f_1=357 KHz à gigue de phase de 30° .....…..50

Figure 38 : Diagramme en œil avec f_2=243 KHz à gigue de phase de 30° ……51

Figure 39 : superposition des deux fréquences à gigue de phase de 30° sur le même graphe ……...51

Figure 40 : Diagramme en œil avec f_1=357 KHz à gigue de phase de 10° …….....52

Figure 41 : Diagramme en œil avec f_2=243KHz à gigue de phase de 10° …….....52

Figure 42 : superposition des deux fréquences à gigue de phase de 10° sur le même graphe ……...53

Figure 43 :signalF400/5 démodulé par DPLL à gigue de phase10° ……..54

Figure 44 : signalF400/5 démodulé par SPLL à gigue de phase10° ……...55

Figure 45 : signalM400/5 démodulé par DPLL à gigue de phase10° ……56

Figure 46 : signalM400/5 démodulé par SPLL à gigue de phase10° ……57

Liste des tableaux :

Tableau 1 :choix des fréquences orthogonales ……22

Tableau 2 : Exemple sur lalargeur d'une séquence pseudo-aléatoire…….26

Tableau 3 :fichier du signale modulé qui calcule le nombre total d'interruption…….30

Tableau 4 : données du signal modulant des fichiers FSK……31

Tableau 5 :données du signal modulant des fichiers MSK……...32

Introduction générale :

Le système permettant un asservissement de fréquence, donc une synchronisation s'appelle la boucle a verrouillage de phase. Ce système a été introduit en 1932 par le physicien français Henri de Bellescize qui a cherché à améliorer les conditions de réception de signaux radioélectriques fortement noyés dans le bruit.

Il s'agit d'un système bouclé destiné à asservir la phase instantanée du signal de sortie sur la phase instantanée du signal d'entrée. Cela permet aussi d'asservir la fréquence du signal de sortie sur la fréquence du signal d'entrée.

Un tel système est à la base d'innombrables circuits d'électronique : détection synchrone, démodulation d'amplitude, de fréquence (FM et FSK), télécommunication numérique.

Elle est donc aujourd'hui l'un des composants les plus répandus dans le traitement du signal. En raison de sa fiabilité, de sa facilité de mise en œuvre, et de son faible coût, cette structure a investi beaucoup d'appareils tels que modems, téléphones mobiles, postes de radio AM-FM, radars aussi bien routiers que militaires, sonars, téléviseurs, processeurs microinformatiques, etc...

Notre travail est basé sur l'utilisation de la PLL dans la démodulation de fréquence (FSK) et l'exploiter dans une comparaison entre les performances des démodulateurs FSK/MSK. Ce choix été fait à cause de l'avantage que nous offre la PLL en terme de bruit ; qui fonctionne mieux même si le signal modulé est fortement bruité.

I. Introduction :

Une PLL (phase locked loop), c'est à dire boucle à verrouillage de phase est un système bouclé qui produit une tension variable dont la phase est asservie sur celle de la tension variable appliquée en entrée.

Dans les années 80, les PLLs analogiques ou linéaires LPLL, ainsi que les PLLs semi-numériques DPLL ont dominé les circuits à asservissement de phase, mais depuis la dernière décennie deux différents types ont été développées :

- **les PLLs numériques (ADPLL) :**

Entièrement construites par des circuits logiques, ce qui élimine les inconvénients liés à la partie analogique d'une DPLL.

- **Les PLL software (SPLL):**

Ce sont des PLLs qui peuvent être programmées pour agir comme une PLL, une DPLL ou bien une ADPLL grâce aux DSP rapides.

Ce type de PLL doit remplir une condition nécessaire ; l'algorithme de calcul doit impérativement être exécuté au moins une fois à chaque période du signal d'entrée ce qui conduit à une limitation sévère de la rangée couverte en fréquence. [1]

Dans notre mémoire intitulée « comparaison entre les performances des démodulateurs FSK/MSK basés sur PLLs », on va se limiter à l'emploi de la DPLL conçue sur Pspice et la SPLL implémenté sur DSP afin d'agir comme une DPLL ; qui a pour objective d'étudier le comportement de chacune d'elles dans l'opération de la démodulation de saut de fréquence (FSK), cela couvre l'aspect sans et avec bruit au niveau de la phase du signal à démoduler.

II. Description de la DPLL

La DPLL classique est un système réalisé à partir des blocs analogiques et d'autres numériques.

La figure I.1 montre son diagramme bloc :

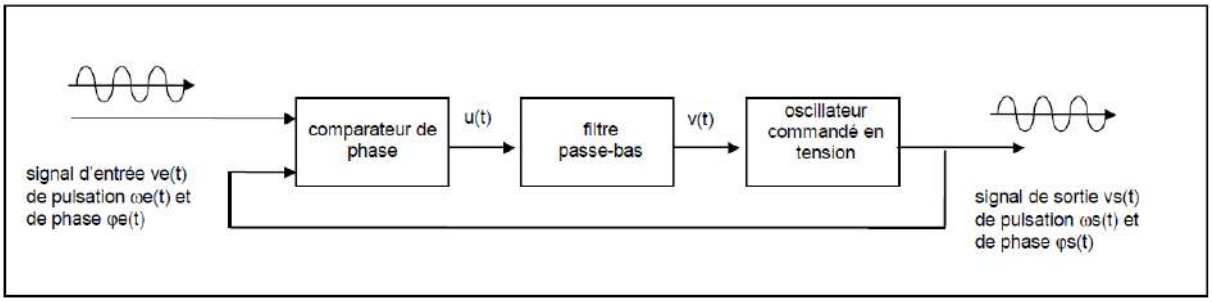


Figure I.1 : Schéma-bloc d'une DPLL

Une DPLL contient trois composants de base :

- Le détecteur de phase.
- Le filtre de boucle.
- L'oscillateur contrôlé en tension (VCO).

Un compteur diviseur de fréquence peut être rajouté éventuellement pour assurer un rapport N entre la fréquence de sortie et celle d'entrée $\mathbf{w_2=Nw_1}$

II.1 Bloc constituant la DPLL :

a- Le détecteur ou comparateur de phase :

Le comparateur de phase délivre en sortie une tension qui dépend de la différence entre les phases instantanées des signaux d'entrée, cette tension est proportionnelle à un coefficient K_d appelé gain de comparateur de phase :

$$v(t) = K_d(\varphi_0(t) - \varphi_s(t) \quad \dots (1.1)$$

Il existe plusieurs types de comparateurs de phase partagés en deux grandes catégories :

- ❖ Les comparateurs de phase analogique : telque les multiplieurs et les mélangeurs à diodes (employé en HF et RF).
- ❖ Les comparateurs de phase numérique ou logique : citons les modèles les plus connus :
  - La porte XOR.
  - La bascule JK.
  - La pompe de charge ou détecteur fréquence-phase DFP.

Les DPLL actuelles utilisent souvent des comparateurs phase-fréquence appelés aussi comparateurs à pompe de charge (DFP).Il présente à sa sortie un signal qui ne dépend pas uniquement de l'erreur de phase mais aussi de l'erreur en fréquence $\Delta\omega = \omega_1 - \omega_2$

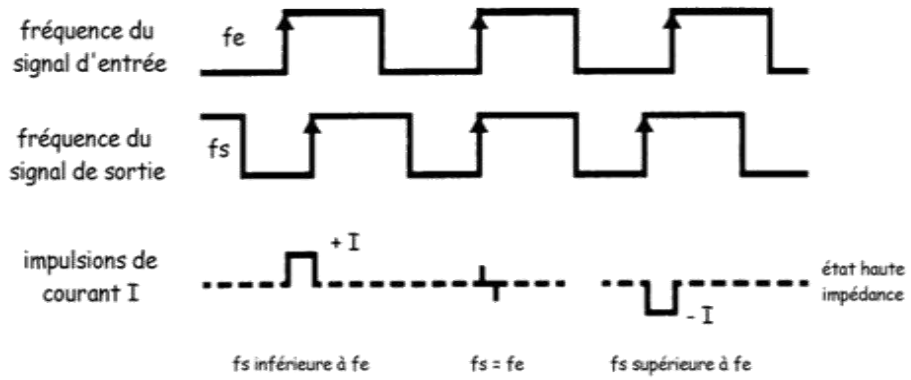


Figure I. 2: Fonctionnement du comparateur phase-fréquence.

b- L'oscillateur contrôlé par tension (VCO):

L'oscillateur contrôlé en tension VCO, délivre en sortie un signal dont la fréquence dépend de la tension d'entrée. Il est dit idéal si la fréquence est une fonction linéaire de la tension

$$f_s(t) = f_o + K_o v(t) \ldots (1.2)$$

Où f_o est la fréquence centrale du VCO et K_o est sa sensibilité ou gain.

Dans la plupart des cas, le VCO fait partie de la DPLL est typiquement un circuit intégré.[10]

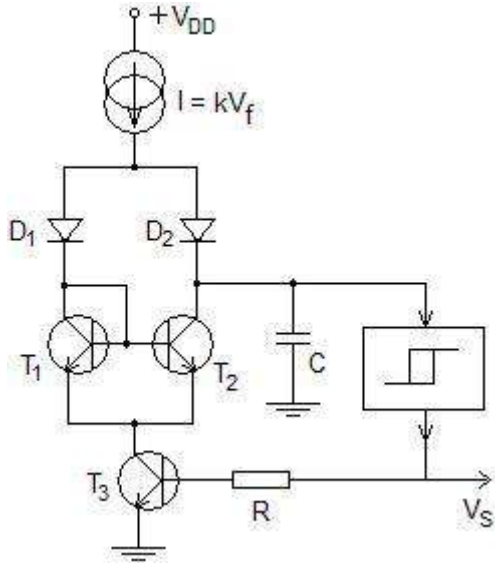


Figure I. 3: Schéma de principe du VCO.

c- Le filtre de boucle :

Le filtre de boucle enlève les termes indésirables qui se trouvent à la sortie du comparateur de phase.

Ces termes sont souvent situés dans la partie HF ce qui nécessite un filtre de type passe-bas et qui est généralement du premier ordre ; montré dans la figure I.4 :

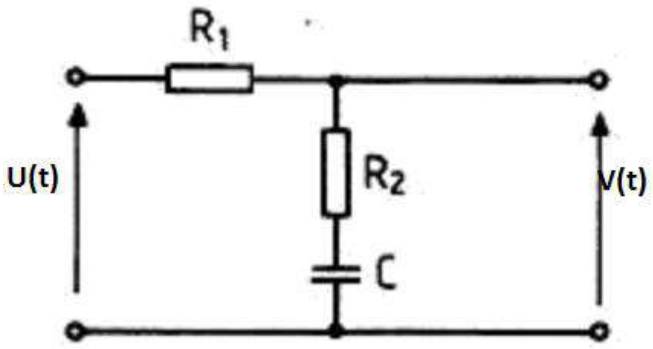


Figure I. 4 : Filtre passe-bas de boucle.

Sa fonction de transfert est la suivante : [1]

$$f(p) = \frac{1+\tau_2 P}{1+(\tau_1+\tau_2)p} \quad \dots (1.3)$$

Où $\tau_1 = R_1C$ et $\tau_2 = R_2C$.

En présence du détecteur de phase de type DFP, le filtre agit comme un intégrateur idéal, et sa fonction de transfert devient :

$$f(p) = \frac{1+\tau_2 P}{(\tau_1+\tau_2)p} \quad \dots (1.4)$$

II.2 Fonctionnement d'une DPLL :

Le comparateur de phase compare la phase instantanée f_e du signal d'entrée à la phase instantanée f_s fournie par le VCO. Lorsque la boucle est verrouillée, soit $f_s=f_e$, la tension U(t) en sortie du comparateur de phase comprend des termes indésirables qui sont filtrées par un filtre passe-bas afin de ne conserver que la composante utile. La fonction de transfert du filtre influence les propriétés de l'asservissement et permet, par le choix des paramètres introduits, de modifier les performances du dispositif. Le filtre doit supprimer efficacement les termes indésirables issus du comparateur de phase (constante de temps élevée) mais ne doit pas entraîner l'instabilité du système (constante de temps faible). Un bon filtrage et une bonne stabilité sont donc incompatibles, et le problème essentiel des DPLLs consiste à déterminer le filtre permettant le meilleur compromis.

Le signal filtré V(t) est alors appliqué au VCO .Cette tension V(t) qui contrôle le VCO modifie la fréquence f_s dans une direction telle que cette fréquence rattrape la fréquence instantanée f_e à l'entrée du système. La boucle est verrouillée lorsque les deux fréquences sont identiques. L'objet d'un tel dispositif est donc de synchroniser le signal d'un oscillateur modulable en fréquence avec un signal d'entrée de référence, le synchronisme étant assuré par un asservissement de la phase des signaux.

II.2.1 Plages de fonctionnement de la DPLL :

a- La plage de maintien (verrouillage) :

La plage de maintienest donc l'intervalle de fréquence pour lequel la PLL est verrouillée mais dont les limites sont fixées par les deux fréquences conduisant au décrochage de la PLL.
Systématiquement, la plage de maintien est supérieure ou égale à la plage de capture.

b- La plage de capture (acquisition) :

Appelé aussi plage d'acquisition, la plage de captureest définie par l'intervalle de fréquence pour lequel la PLL est verrouillée mais dont les limites sont fixées par les deux fréquences conduisant à la capture.

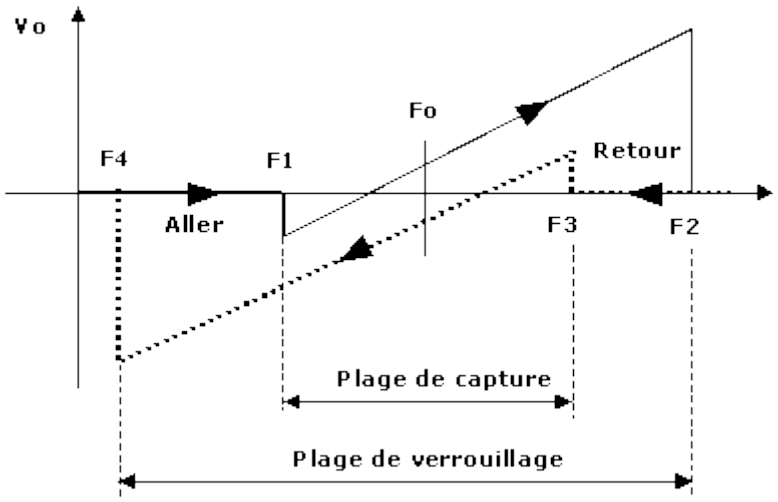


Figure I.5 : Plage de capture et plage de maintien d'une DPLL. [5]

III. Description de la SPLL:

Grâce aux DSPs, il est maintenant possible d'implémenter un système PLL par software d'où les composants de la PLL sont remplacés par un programme orienté pour agir talqueux. Tandis que et la complexité des algorithmes et le nombre d'instructions utilisé augmentent vise à vis avec le niveau de performance requis.

Selon le théorème d'échantillonnage, l'algorithme d'une SPLL doit s'exécuter deux fois ou plus dans chaque cycle du signal de référence.

Le DSP dispose de mémoires séparées pour le programme et les données, c'est-à-dire il peut y accéder à des instructions et des données en même cycle machine; ce qui est appelé architecture Harvard avec pipeline, ce terme signifie que les unités arithmétiques et logiques de la machine sont totalement découplées se font en un seul cycle machine. Ceci, améliore grandement la capacité de calcul. [6]

III.1 Conception de la SPLL :

La conception d'une SPLL dépend généralement du type de PLL à simuler ; une fois le choix est fait la SPLL ne présente pas un critère universel à suivre, elle est beaucoup plus guidée par des étapes générale citer ci-dessous :

- Définition de l'algorithme SPLL par des équations algébriques et/ou logiques, ou à l'aide d'organigrammes.
- Définition du langage qui doit encoder l'algorithme défini. Dans le cas de DSP utilisant les techniques de Pipeline, le compilateur doit générer un code assembleur parallèle.
- Estimation de l'exécution en temps réel, suite au temps d'exécution estimé du programme.
- Test du temps réel afin de s'assurer que le système opère comme planifié. [7]

III.2 Support hard et soft du DSP

Le DSP choisi pour notre travail, est à virgule flottante sur 32 bits. L'application est développée d'abord sur un simulateur de Texas Instrument utilisant le DSP TMS320C6713 à architectures VelociTITM et VLIW avancé (Very Long Instruction Word) de la famille C6000.

a- Les Interruptions :

Il existe huit registres de contrôle pour gérer les interruptions. Le DSP supporte 16 interruptions à priorité. L'interruption à plus haute priorité est INT_00 qui est dédiée à l'interruption RESET, alors que l'interruption la plus basse en priorité est INT_15. Les quatre premières interruptions sont non masquables. Les autres interruptions sont masquables. L'ensemble des périphériques du C6713 procure jusqu'à 32 sources d'interruptions, alors que le CPU n'en peut gérer que 12. [7]

Dans notre travail on a utilisés deux interruptions INT_04 et INT_05 ; pour faire appel aux fichiers de démodulation dans le chapitre 3.

b- Logiciels d'accompagnement :

Des outils softwares sont intégrés dans l'environnement de développement CCS. Ces outils constituent le système opératoire DSP/BIOS et ses librairies. Le DSP/BIOS et un ensemble d'API et d'outils pour le développement d'applications en temps réel sur DSP.

La génération automatique de code peut être effectuée par un outil DSP/BIOS spécial de configuration, présentant une interface graphique. La librairie CSL est une catégorie de cette interface graphique. Elle permet de configurer aisément les périphériques internes en programmant leurs registres, voire leurs champs en bits. Le code de configuration résultant automatiquement, est inséré dans un fichier source en C prêt à être employé dans l'application.

Dans notre application SPLL, on trouve la catégorie «Scheduling» qui parmi les catégories constituant l'outil graphique de configuration DSP/BIOS tel que :

- Le choix des logiciels d'affichage sur PC inclut : Matlab 6.5 s'en charge de tracer les signaux calculés par notre SPLL.
- Les données enregistrées peuvent être retrouvées par n'importe quelle application hôte permettant à l'utilisateur de visualiser ses données d'une manière plus représentative.

La catégorie 'Scheduling', a deux types d'interruptions:

- **Interruptions Hardwares :**

Module HWI : est un gestionnaire d'interruption hardware renfermant des objets HWI prédéfinis. Avec l'outil de configuration, on peut assigner une routine à n'importe quelle interruption hardware.

- **Interruptions Softwares :**

Une interruption software est un objet qui encapsule une fonction à exécuter avec une priorité. Parmi eux on a :

Module SWI : est un gestionnaire d'interruption software, qui sauvegarde automatiquement les registres du processeur avant de servir une interruption soft à haute priorité interrompant une autre à basse priorité.

III.3 Fonctionnement d'une SPLL comme DPLL

Lorsque le signal d'entrée U_1 d'une PLL est un signal binaire, il est plus adéquat d'implémenter une SPLL pour opérer comme une DPLL. Les fonctions requises sont représentées par le schéma bloc suivante.

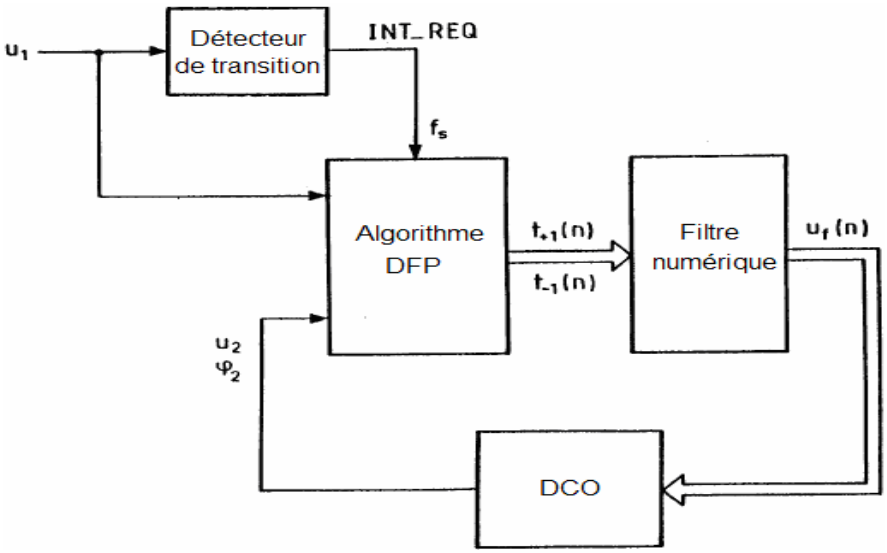


Figure I.6 : Schéma-bloc des opérations d'une SPLL opérant en tant qu'une DPLL

Le filtre numérique doit opérer de la même manière que le filtre passif de la DPLL. Le seul signal qui existe physiquement, est le signal d'entrée U_1 à forme carrée dont la fréquence peut varier dans la plage fréquentielle du DCO. Le signal fictif U_2 de sortie de la SPLL, doit aussi être de forme carrée. [6]

Conclusion :

La conception sur Pspice est faite pour aboutir une DPLL, pour cela on a utilisé un comparateur de phase à pompe de charge ou détecteur de phase –fréquence

associé à un filtre passif de 1er ordre.

II.1 Introduction :

La modulation consiste à faire varier les caractéristiques de la porteuse (amplitude, fréquence, phase) en fonction du message à transmettre.
Elle a pour fonction de transposer l'information sur une porteuse, afin d'occuper un espace fréquentiel plus réduit et que l'on a choisie.

Parmi les modulations les plus fréquentes nous avons les trois types principaux de la modulation :

- Modulation par déplacement d'amplitude **ASK.**
- Modulation par déplacement de phase **PSK.**
- Modulation par déplacement de fréquence **FSK.** [4]

II.1.1 la modulation de fréquence :

Un signal FSK peut être caractérisé de deux manières, dépendant de la méthode utilisée pour le générer.

a. <u>FSK à phase discontinue :</u>

Le signal numérique actionne un commutateur qui sélectionne une des deux fréquences délivrés par les oscillateurs (f_1 ou $f_{2)}$. La forme d'onde obtenue est discontinue aux instants de commutation. La PSD de ce signal présente des raies discrètes aux fréquences f_1 et f_2.

$$s(t) = \begin{cases} A_P \cos(w_1 t + \emptyset_1) \\ A_P \cos(w_2 t + \emptyset_2) \end{cases} \dots (2.1)$$

D'où : A_P : amplitude

$\emptyset$: La phase instantanée

$w = 2\pi f$: La pulsation de fréquence

b. FSK à phase continue (CPFSK) :

La modulation est basée sur un oscillateur contrôlé par tension (VCO) qui délivre les deux fréquences de saut avec une continuité de phase aux instants de commutation. La PSD ne présente plus de raies et l'encombrement spectral du signal est réduit.

Un cas particulier de la modulation à saut de fréquence est l'MSK (Minimum Shift Keying) son indice de modulation est h=0.5.

Son intérêt est de présenter un encombrement spectral minimal.

II.1.2 Conditions d'orthogonalité d'une FSK :

Seules des fréquences orthogonales de saut sont susceptibles d'assurer une meilleure immunité contre le bruit AWGN environnant, où la plus faible probabilité d'erreur binaire est obtenue en cas de détection cohérente et optimale.

Soit une fréquence porteuse $\omega_p = 2\pi f_p$, modulée en FSK par un signal d'information polaire NRZ aléatoire m(t) d'amplitude m_{amp} et de débit $D_b = 1/T_b$ où T_b est la durée de bit. Les deux symboles de la FSK s'écrivent : [8]

$$S(t) = A_P \cos\left[\omega_p t + K \int_0^t m(x)dx\right] = \cos\left[2\pi\ (fp+-\Delta F)\ t\right] \ldots (2.2)$$

Avec m(t) = $\pm m_{amp}$ de débit $1/T_b$, K constante du modulateur, et ΔF l'excursion en fréquence.

On en déduit que :

$$\pm 2\pi\Delta F = \pm K m_{amp} \ldots (2.3)$$

La variation de phase correspondante à l'amplitude m_{amp}, figure II.1 est :

$$\Delta\theta = K \int_0^{T_b/2} m_{amp}\, dt = K\, m_{amp} \frac{T_b}{2} = 2\pi\, \Delta F \frac{T_b}{2} \ldots (2.4)$$

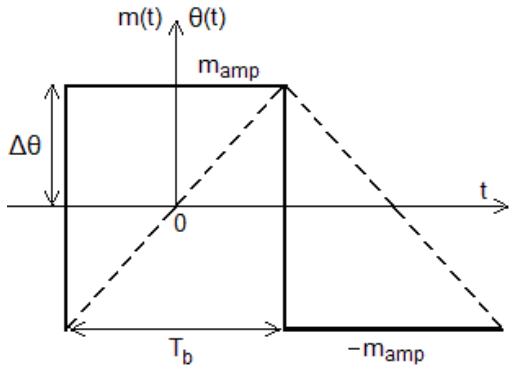


Figure II-1 : signal modulant m (trait continu) et phase θ du CPFSK (trait discontinu)

Pour l'orthogonalité, il faut vérifier en (2.4), $2\pi \Delta F\, T_b/2 = \pi/2$.

En généralisant :

$$\Delta\theta = (2k+1)\,\pi/2 \ldots (2.5) \quad \text{pour } k = 0, 1, 2, \ldots$$

Le saut de phase total associé à la commutation de $m = -m_{amp}$ à m_{amp}, devient donc :

$$2\Delta\theta = 2\pi\,\Delta F\, T_b = (2k+1)\,\pi \ldots (2.6)$$

Les fréquences de saut sont par contre :

$$\begin{cases} f_1 = f_p + \Delta F \\ f_2 = f_p - \Delta F \end{cases} \Rightarrow f_p = \frac{f_1+f_2}{2} \quad \ldots (2.7)$$

Avec un saut de fréquence de :

$$h = f_1 - f_2 = 2\Delta F \ldots (2.8)$$

En combinant (2.6) et (2.8), il vient :

$$\pi\,(f_1 - f_2)\,T_b = (2k+1)\,\pi \quad \text{ou bien} \quad (\omega_1 - \omega_2)\,T_b = (2k+1)\,2\pi \ldots (2.9)$$

D'autre part, une 2ème condition d'orthogonalité portée sur la durée d'un bit, est :

$$\int_0^{T_b} \cos\omega_1 t\, \cos\omega_2 t\, dt = 0 \quad \Rightarrow \quad \text{sinc}\left[(\omega_1+\omega_2)T_b\right] + \text{sinc}\left[(\omega_1-\omega_2)T_b\right] = 0 \ldots (2.10)$$

En remplaçant (2.9) dans (2.10), on obtient :

$$\text{sinc}\,[(\omega_1+\omega_2)\,Tb] = 0 \quad \rightarrow \quad (\omega_1+\omega_2)\,T_b = n\pi \ldots (2.11) \quad \text{où } n = 1, 2\ldots$$

En examinant (2.9) et (2.11), on a :

$$n > 2(2k+1) \text{ pour } (\omega_1 + \omega_2) > (\omega_1 - \omega_2)$$

On en déduit par sommation et différence :

$$\begin{cases} \omega_1 = \dfrac{[n+2(2k+1)]\pi}{2T_b} \rightarrow f_1 = \dfrac{n+2(2k+1)}{4T_b} \\ \omega_2 = \dfrac{[n-2(2k+1)]\pi}{2T_b} \rightarrow f_2 = \dfrac{n-2(2k+1)}{4T_b} \end{cases} \ldots (2.12)$$

$$\text{Et} \quad \begin{cases} fp = \dfrac{n}{4T_b} \quad , \quad n > 4k+2 \\ \Delta F = \dfrac{2k+1}{2T_b} \quad , \quad k = 0,1,2,.. \end{cases} \ldots (2.13)$$

L'indice de modulation défini par rapport à l'excursion ΔF, est :

$$h = \Delta F / D_b = \Delta F \, T_b \ldots (2.14)$$

On sait que pour une modulation MSK à minimum de saut de fréquence orthogonale, on a :

$h = 1/2 \rightarrow \Delta F = D_b/2$ ou $f_1 - f_2 = D_b$ avec $\Delta\theta = \pi \Delta F \, T_b = \pi/2$;pour k = 0.

Afin d'extraire les fréquences de saut d'une FSK orthogonale (notamment une MSK), il suffit de déterminer n pour f_p et T_b fixés dans (2.13) puis déterminer pourk < (n−2)/4, les fréquences orthogonales possibles. Voir fichier Choix_freq.m.

La bande de transmission du signal FSK, similaire à celle donnée par la formule de Carson, s'arrête aux premiers passages par zéro du spectre, de part et d'autre des deux fréquences de saut :

$$B = 2(D_b + \Delta F) = 2(1+h)D_b \ldots (2.15)$$

Ainsi pour une MSK, on trouve comme bande minimale :

$$B = 3D_b \ldots (2.16)$$

Après avoir déterminé les conditionsd'une modulation FSK orthogonale, et afin d'extraire les fréquences de saut orthogonales possiblesil suffit de déterminer n pour f_p et T_b fixés dans (2.13) puis déterminer les fréquences pour $k < (n-2)/4$

On a exploité les résultats déjà obtenues en (2.13) sous un programme Matlab qui va nous fournir un fichier texte englobanttoutes les fréquences de saut possibles (f1 et f2) et l'indice de modulation qui leurs correspond.Voir fichier Choix_freq en annex.

Les fréquences de test des PLLs utilisées sont : 150KHz, 300KHz, 400KHz. Et considérées comme fréquence porteuse pour différents débits du signal modulant 8, 5 et 2 kbit/s table II.1.

f_P (KHz)	150			300			400		
D_b (kb/s)	8	5	2	8	5	2	8	5	2
f_1 (KHz)	154	152.5	151	304	302.5	301	404	402.5	401
f_2 (KHz)	146	147.5	149	296	297.5	299	396	397.5	399
h_{MSK}	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
f_1 (KHz)	290	247.5	211	400	327.5	357	460	492.5	521
f_2 (KHz)	100	47.5	89	200	272.5	243	340	307.5	279
h_{FSK}	17.5	20.5	30.5	12.5	5.5	28.5	7.5	18.5	60.5

Table II-1 : choix des fréquences orthogonales

II.2 Données de simulation :

II.2.1 Simulation par Pspice :

Pour chaque fréquence porteuse fp et débit choisi de la table II-1, les fréquences de saut mentionnées sont utilisées pour la configuration des composants du schéma-bloc fonctionnel d'un émetteur FSK/MSK réalisé dans Pspice, figure II-2.

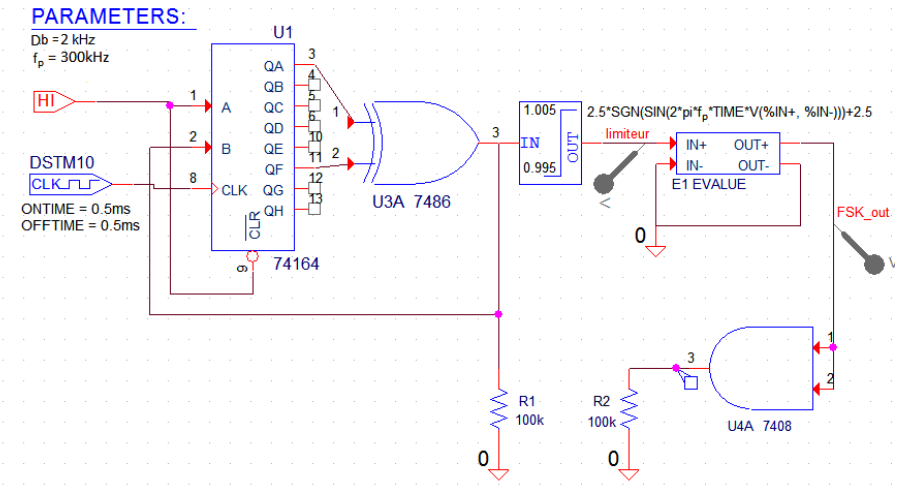


Figure II-2 : modulateur FSK-MSK

Afin de simuler le comportement des deux PLLs cibles qui doivent être soumises aux mêmes signaux FSK (MSK) d'entrée, Pspice nous offre des solutions simples combinant de vrais composants électroniques à des boîtes noires comportant de la même façon que ces derniers guidées par des expressions mathématiques.

Donc il est suffisant d'enregistrer le signal FSK/MSK généré dans un fichier de données à l'aide de l'outil Vector1, et de les réutiliser à l'aide du composant ‘‘FileStim’’ Figure II-3, dont il faut lui indiquer le chemin et le nom du fichier de données. [9]

Remarque :

Les noms des fichiers de données seront codés comme suit :

- F f_p/D_b.vec ; pour les fichiers FSK
- M f_p/D_b.vec ; pour les fichiers MSK

Exemple :

Pour les données inferieurs de la dernière colonne de la table II-1 où h=60.5, sera affecté un fichier texte contenant les données du signal modulé, au nom de F400/2.vec.

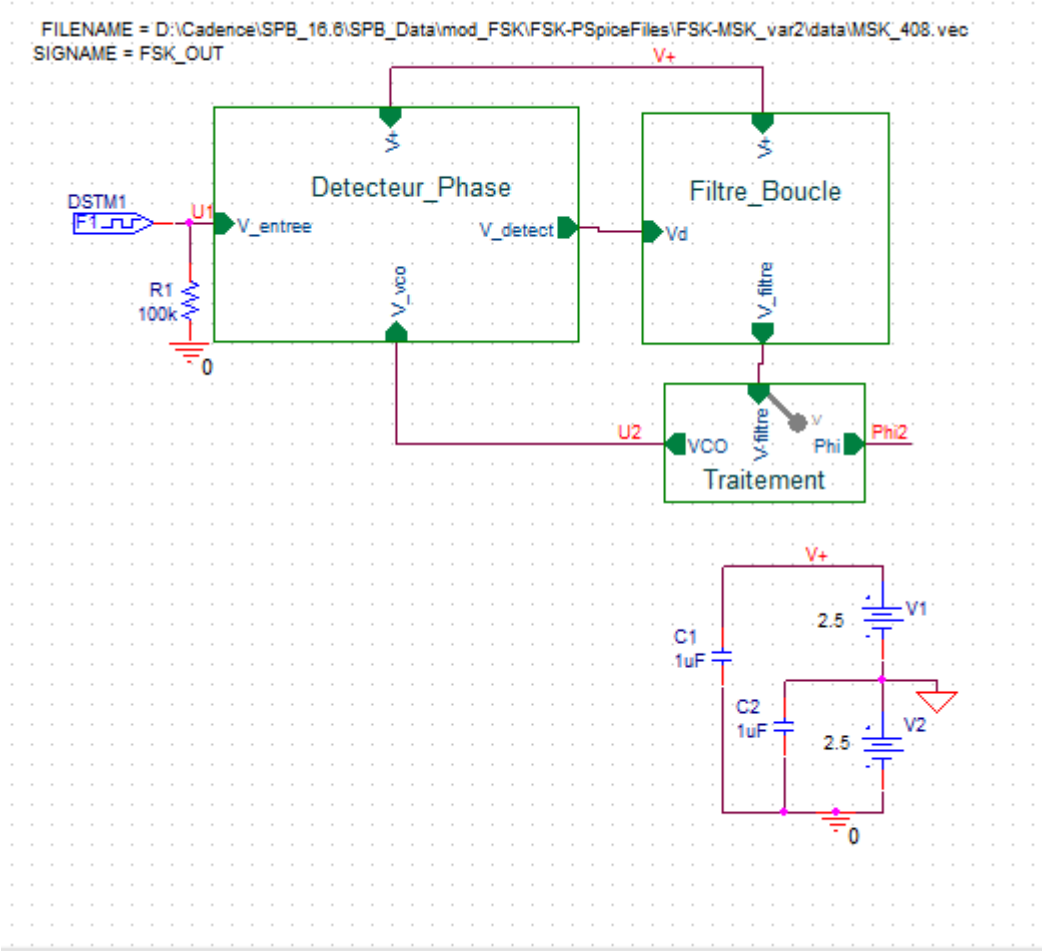


Figure II-3 : Démodulateur FSK /MSK

Il ne reste alors qu'à convertir ces fichiers de données dans une autre forme qu'accepte l'environnement du DSP C6713.

- **<u>Générateur pseudo-aléatoire :</u>**

Dans un premier temps, nous allons commencer par la génération de données binaires aléatoires. Pour ce faire, nous nous intéressons au plus simple circuit générateur de séquence binaire pseudo-aléatoire.

La SBPA est caractérisée par une « longueur de séquence » à l'intérieur de laquelle les variations de la largeur des impulsions varient aléatoirement, mais, sur un grand

intervalle de temps, elles sont périodiques, la période étant définie par la longueur de la séquence. [9]

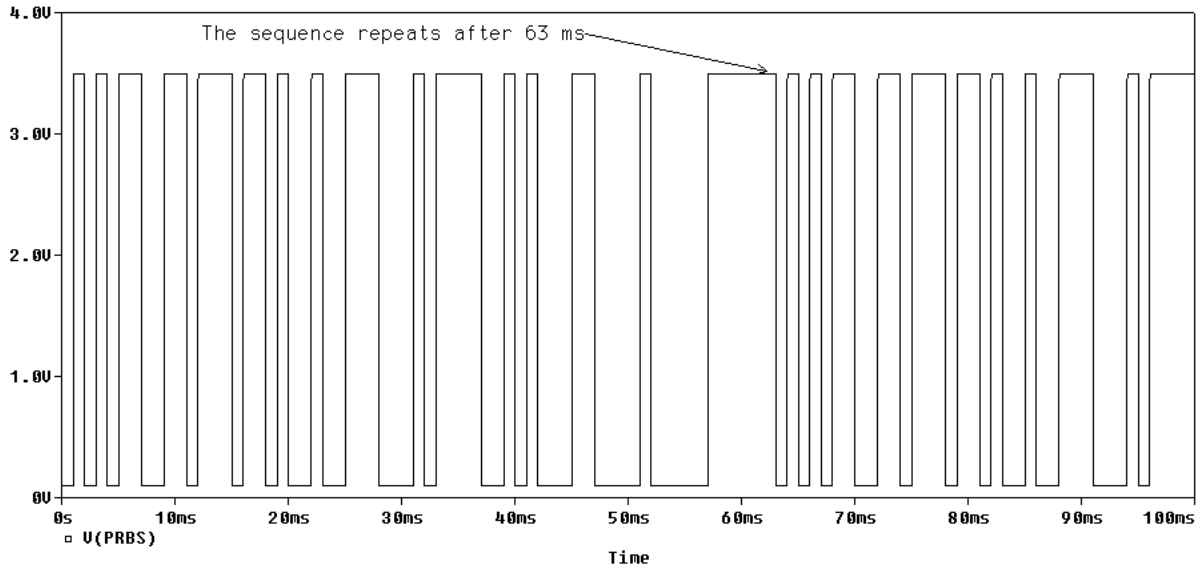


Figure II-4 : Séquence de données pseudo aléatoires.

La SBPA est générée à l'aide de registres à décalage bouclés, réalisés en bascules D ou par logiciel. La longueur maximale d'une séquence est 2^m-1 où m est le nombre de cellules duregistre à décalage.

Le tableau II.2 montre quelque exemple de la largeur maximale d'une séquence pseudo aléatoire.

Nombre des cellules	Largeur de la séquence
6	63
17	131072
32	4.2950×10^9
33	8.5899×10^9

Table II-2 : Exemple sur lalargeur d'une séquence pseudo-aléatoire.

Dans notre projet, on a utilisé un générateur de données avec une largeur de séquence égale à 63 bits comme il est montré dans la figure II.4, et on intéresse à la 4ème séquence de bit 0101111001 de la figure II-6.

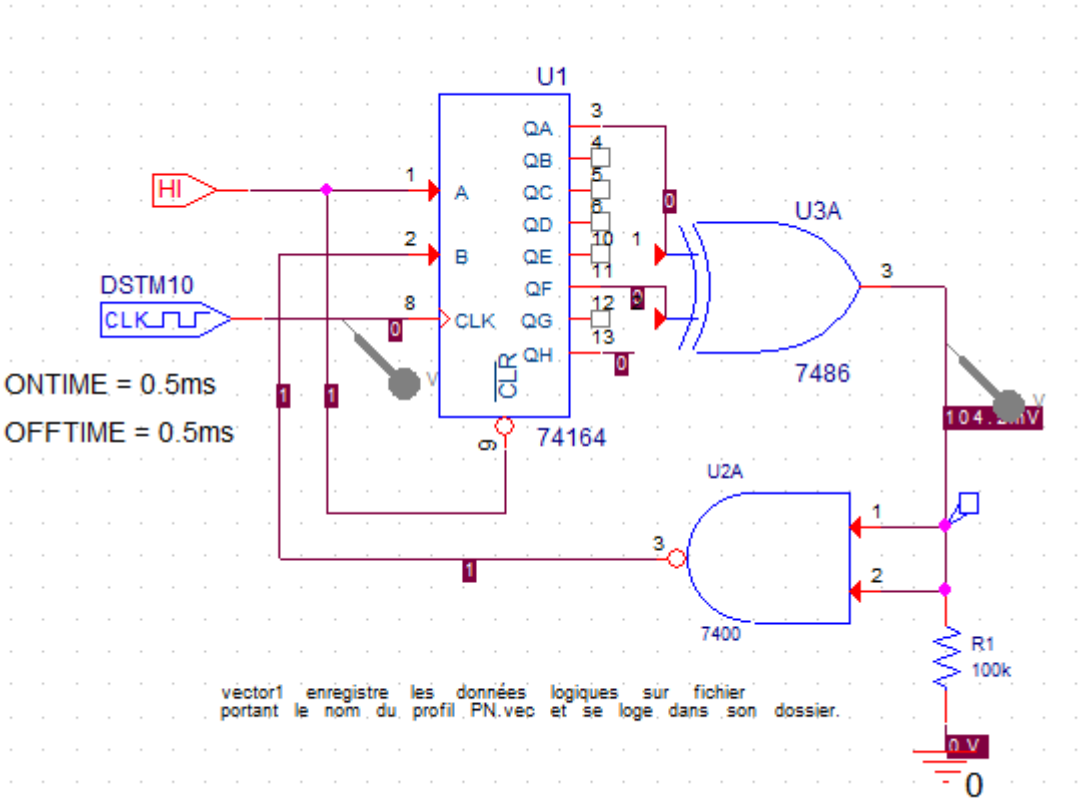


Figure II-5 : Générateur Pseudo aléatoire réalisé sur Pspice

La séquence de bits obtenue par le générateur est partagée en tranches de 10 bits, ce qui nous donne une possibilité d'avoir 7 tranches différentes.

Le temps de simulation Ts se diffère d'une tranche à l'autre selon le débit choisis, prenant un exemple d'un D_b =2kbit/s :

$$Ts=\frac{\text{Nombre de bits}}{D_b}=\frac{10}{2e^3}=5ms.$$

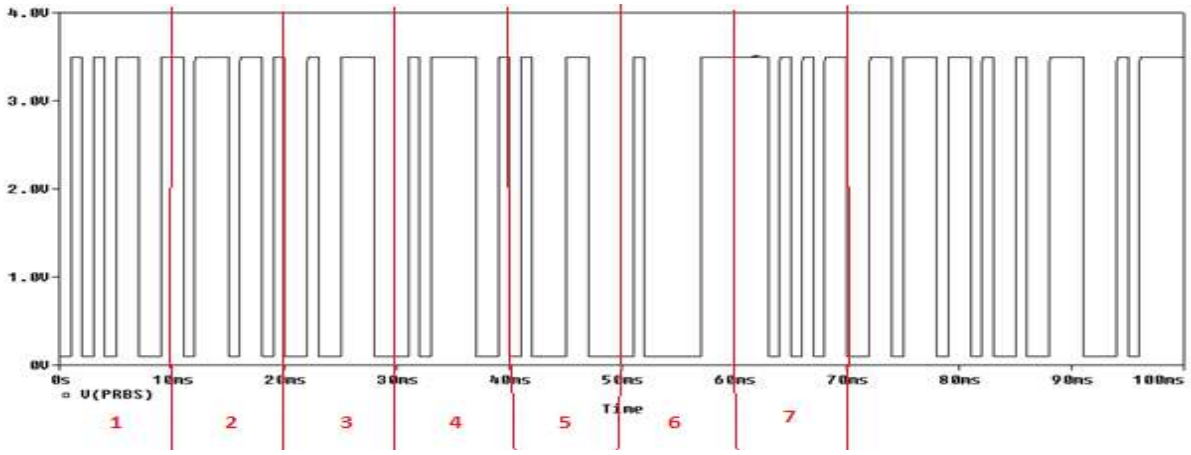


Figure II.6: répartition des tranches de bits.

II.2.2Simulation par DSP :

Cependant, il reste à convertir ces fichiers de données dans une autre forme, [2] et [3], qu'accepte l'environnement du DSP C6713 de manière à pouvoir simuler la SPLL qui y est implémentée.

Les fichiers ''.vec'' obtenus par Pspice sont convertis sous forme de fichiers de données renfermant les instants de commutation exprimés en nombre de cycle CPU(f_{cpu} = 225MHz).

Par exemple, le fichier F300/8 utilisant les fréquences de saut f_2=200KHz et f_1=400KHz, leurs correspondent les nombres de cycles du DSP :

225MHz / 200KHz ≈ 1125 cycles, et 225MHz / 400KHz ≈ 563 cycles.

De ce dernier on obtient deux fichiers de données, F300/8_4.txt qui génère les commutations à l'arrivée des états bas du signal FSK, et F300/8_5.txt qui génère celles à l'arrivée de ses états hauts .La durée de bit étant de 1.25ms, la durée équivalente en nombre de cycles CPU est de 1.25×200 ≈ 25 cycles pour la fréquence F_2=200KHz, et 1.25×400 ≈ 50 cycles pour la fréquence F_1=400KHz.

Les répétitions de cycles propres aux deux fréquences de saut dépendent de la nature aléatoire des bits de la tranche de données modulantes considérée, d'où les fichiers du signal modulé pour la quatrième tranche de bits sont :

- **F300/8_4.txt:**

+563 (+1125) rpt 25 (+563) rpt 50 (+1125) rpt 25 (+563) rpt 200 (+1125) rpt 50 (+563) rpt 50

- **F300/8_5.txt :** a les mêmes valeurs sans la toute première :

(+1125) rpt 25 (+563) rpt 50 (+1125) rpt 25 (+563) rpt 200 (+1125) rpt 50 (+563) rpt 50

Le nombre total d'interruptions se calcule à partir des répétitions évoquées dans les deux fichiers :

[(100 + 200) x 2 + 800 + 200] x2 = 3200 interruptions (On double le nombre pour tenir compte des interruptions délivrées par deux fichiers), à qui l'on rajoute encore 1 pour la première valeur. Ce qui donne 3201 interruptions théoriques.

Le simulateur a besoin d'un certain temps pour initialiser le programme durant lequel il inhibe toutes interruptions. Par conséquent, le simulateur n'en considère que 2755 interruptions pratiques (mesurés à partir de la fenêtre d'observation des variables du programme, en l'occurrence, le compteur d'interruption m). C'est-à-dire :

2800 - 2755 = 45 interruptions qui manquent au début de simulation.

Le calcul nécessaire pour construire les deux fichiers précédentsest cité dans la table II-3.

On distingue :

- ✓ D_b : débit [kbit/s].
- ✓ T_s : temps de simulation [ms].
- ✓ T_b : durée de bit [ms].
- ✓ $T_{cpu} = 1/f_{cpu}$ telque f_{cpu} =225MHz ; fréquence du CPU.

Les tables II-4 et II-5regroupent les fichiers du signale modulé et les nombres total d'interruptions qui leurs corresponds

On note : Ti=1 / Fi

Tb*fi : durée équivalent à la durée de bit en nombre de cycle CPU

Ti/Tcpu : nombre de cycle de DSP pour une fréquence f_i.

Fréquence porteuse f_p	Paramètres	D_b =2kbit/s Ts =5ms Tb =0.5ms		D_b =5kbit/s Ts =2ms Tb =0.2ms		D_b =8kbit/s Ts =0.125ms Tb =1.25ms	
		FSK	MSK	FSK	MSK	FSK	MSK
150	f1	211	151	247.5	152.5	290	154
	f2	89	149	47.5	147.5	100	146
	Tb*f1	106	76	124	76	145	77
	Tb*f2	45	75	24	74	50	73
	T1/Tcpu	1066	1490	909	1475	776	1464
	T2/Tcpu	2528	1510	4737	1525	2250	1541
300	f1	357	301	327.5	302.5	400	304
	f2	243	299	272.5	297.5	200	296
	Tb*f1	179	151	164	151	200	152
	Tb*f2	122	150	136	149	100	148
	T1/Tcpu	630	748	687	744	563	740
	T2/Tcpu	926	753	826	756	1125	760
400	f1	521	401	492.5	402.5	460	404
	f2	279	399	307.5	397.5	340	396
	Tb*f1	261	201	99	81	230	202
	Tb*f2	140	200	62	80	170	195
	T1/Tcpu	432	561	457	559	499	557
	T2/Tcpu	806	564	732	566	662	568

Table II-3 : fichier du signale modulé qui calcule le nombre total d'interruption.

Nom de fichier	Contenue de fichier du signal modulé	Nombre total d'interruption
F150/2	+1264 (+2528) rpt 45 (+1066) rpt 106 (+2528) rpt 45 (+1066) rpt 424 (+2528) rpt 90 (+1066) rpt 106	1632
F150/5	+1098 (+2196) rpt 21 (+1140) rpt 40 (+2196) rpt 21 (+1140) rpt 160 (+2196) rpt 42 (+1140) rpt 40	648
F150/8	+1125 (+2250) rpt 13 (+776) rpt 37 (+2250) rpt 13 (+776) rpt 148 (+2250) rpt 26 (+776) rpt 37	548
F300/2	+413 (+826) rpt 55 (+688) rpt 66 (+826) rpt 55 (+687) rpt 264 (+826) rpt 110 (+687) rpt 66	1232
F300/5	+413 (+826) rpt 136 (+687) rpt 164 (+826) rpt 136 (+687) rpt 656 (+826) rpt 272 (+687) rpt 164	3056
F300/8	+563 (+1125) rpt 25 (+563) rpt 50 (+1125) rpt 25 (+563) rpt 200 (+1125) rpt 50 (+563) rpt 50	3200
F400/2	+403 (+806) rpt 140 (+432) rpt 261 (+806) rpt 140 (+432) rpt 1044 (+806) rpt 260 (+432) rpt 261	4252
F400/5	+366 (+732) rpt 99 (+457) rpt 62 (+732) rpt 99 (+457) rpt 248 (+732) rpt 124 (+457) rpt 62	4256
F400/8	+331 (+662) rpt 43 (+489) rpt 58 (+662) rpt 43 (+489) rpt 232 (+662) rpt 86 (+489) rpt 58	1040

Table II-4: données du signal modulant des fichiers FSK.

Nom de fichier	Contenue de fichier du signal modulé	Nombre total d'interruption
M150/2	+755 (+1510) rpt 75 (+1490) rpt 76 (+1510) rpt 75 (+1490) rpt 304 (+1510) rpt 150 (+1490) rpt 76	1512
M150/5	+763 (+1526) rpt 30 (+1476) rpt 31 (+1526) rpt 30 (+1476) rpt 124 (+1526) rpt 60 (+1476) rpt 31	612
M150/8	+771 (+1541) rpt 19 (+1464) rpt 20 (+1541) rpt 19 (+1464) rpt 80 (+1541) rpt 38 (+1464) rpt 20	392
M300/2	+377 (+753) rpt 150 (+748) rpt 151 (+753) rpt 150 (+748) rpt 604 (+753) rpt 300 (+748) rpt 151	3012
M300/5	+378 (+756) rpt 60 (+744) rpt 61 (+756) rpt 60 (+744) rpt 244 (+756) rpt 120 (+744) rpt 61	1212
M300/8	+380 (+760) rpt 37 (+740) rpt 38 (+760) rpt 37 (+740) rpt 152 (+760) rpt 74 (+740) rpt 38	752
M400/2	+282 (+564) rpt 200 (+561) rpt 201 (+564) rpt 200 (+561) rpt 804 (+564) rpt 400 (+561) rpt 201	4012
M400/5	+282 (+564) rpt 80 (+561) rpt 81(+564) rpt 80 (+561) rpt 324 (+564) rpt 400 (+561) rpt 81	2092
M400/8	+282 (+564) rpt 50 (+561) rpt 51 (+564) rpt 50 (+561) rpt 204 (+564) rpt 100 (+561) rpt 51	1012

Table II-5: données du signal modulant des fichiers MSK.

Conclusion :

Nous avons implémentées une SPLL sur DSP, pour cela le comportement des composants de la DPLL (VCO, DFP, filtre de boucle) a été traduit en algorithmes implémenté sur un simulateur du C6713 de texas instrument.

III.1 Démodulation en dehors de bruit :

III.1.1 Démodulation FSK :

III.1.1.1 Démodulation par DPLL :

Le filtre de boucle à constantes de temps optimales présente une fréquence de coupure à −3dB de 2.95kHz.

Les diagrammes de Bode relatifs au système DPLL en boucle fermée, sont données en figure III-1 où la bande passante à −3dB est estimée être de 35.9kHza bande est donc largement suffisante pour faire passer l'information BF démodulée qui au plus, est de 8kHz selon nos tests adoptés. [3]

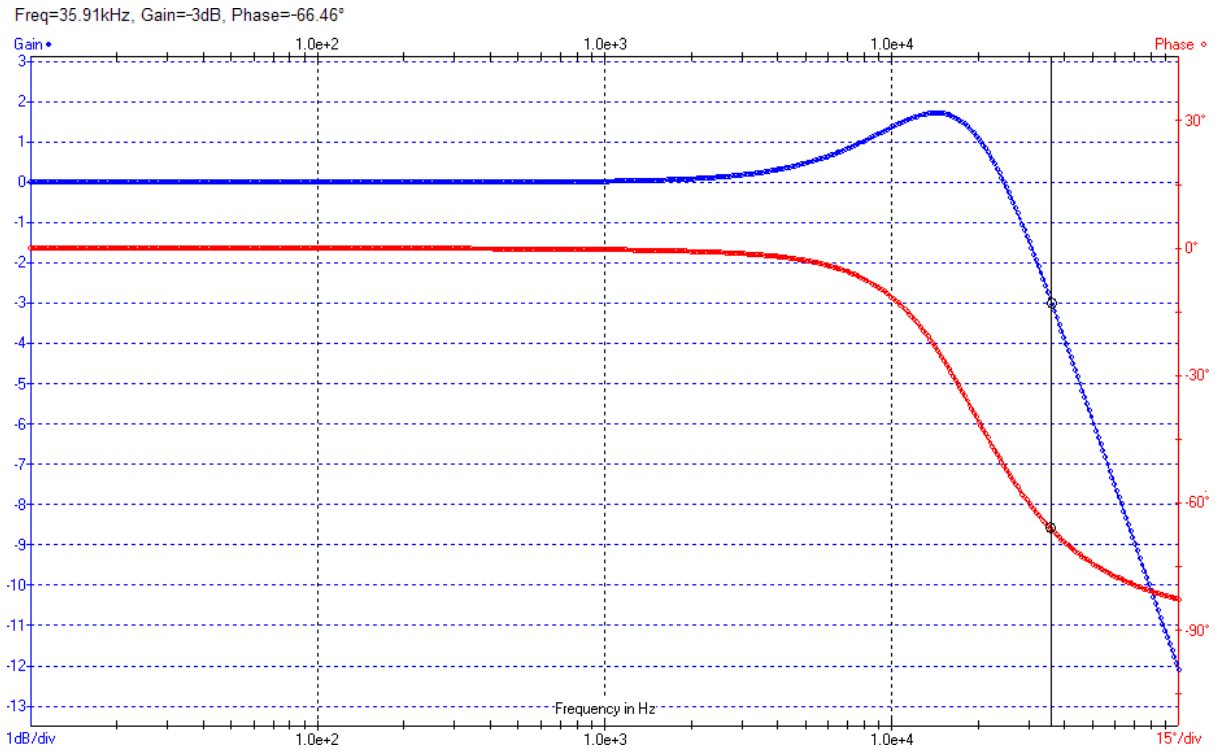


Figure III-1 : Diagramme de Bode de la DPLL en boucle fermé

Avec le choix de composants du filtre de boucle optimale, deux choix ont été suggérées dans [1] :

Le premier choix (optimal) de composants du filtre de boucle : R_1=45k, R_2=12k, C=1nF.

La réponse pour entrer-fichier F300/2.vec est donnée par les figures III-2 et III-3.

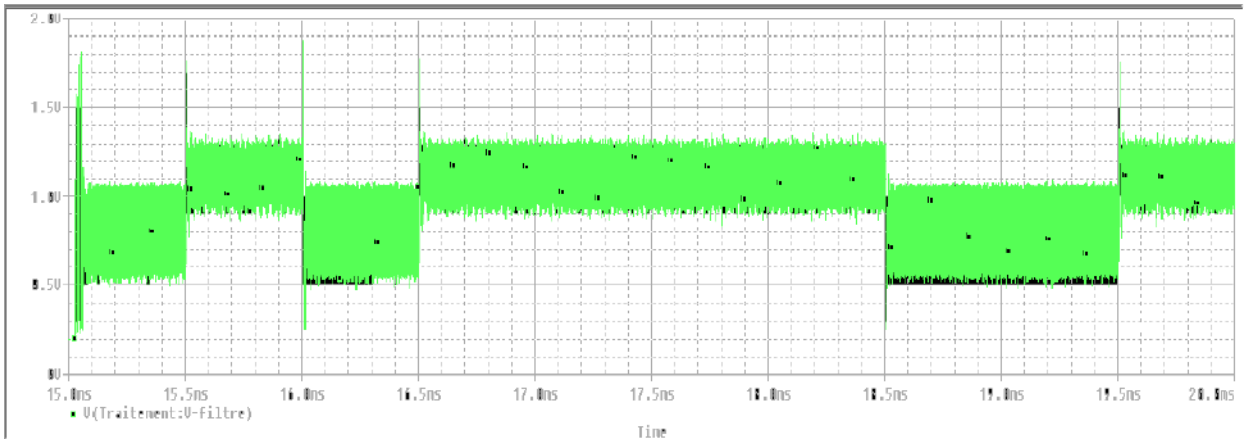


Figure III-2 : sortie démodulée avec c_{stes} de temps optimales (1^{er}choix) pour le fichier F300/2.vec

Les valeurs du $2^{ème}$choix de composants du filtre de boucle sont dans un rapport de 100 avec ceux du 1^{er}choix : R_1 = 450Ω, R_2 = 120Ω, et C = 0.1µF, la réponse du démodulateur à DPLL s'améliore, figure III-3.

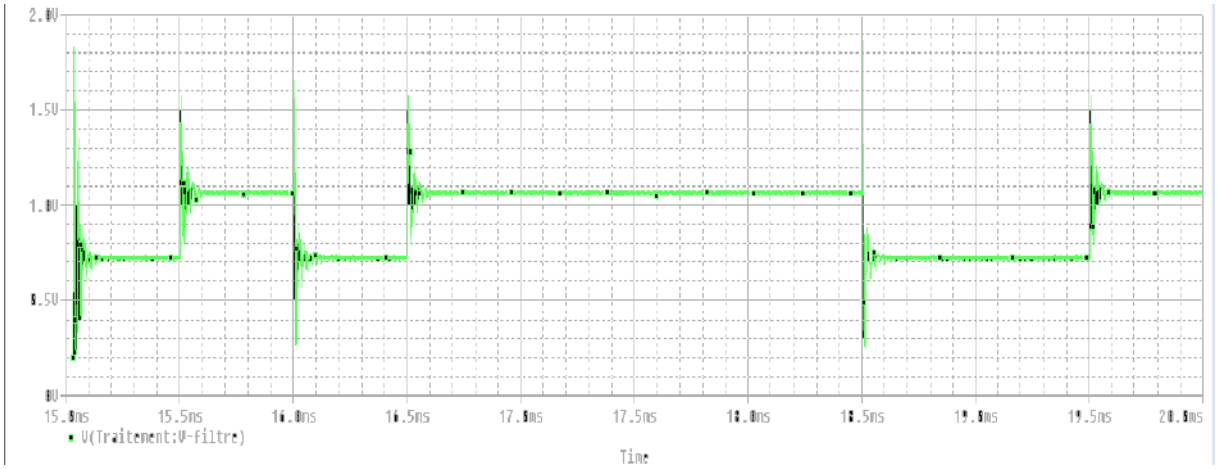


Figure III-3 sortie démodulée avec c_{stes} de temps optimales (2ème choix) pour le fichier F300/2.vec

La réponse pour entrer fichier F150/5.vec est donnée par les figures III-4 et III-5.

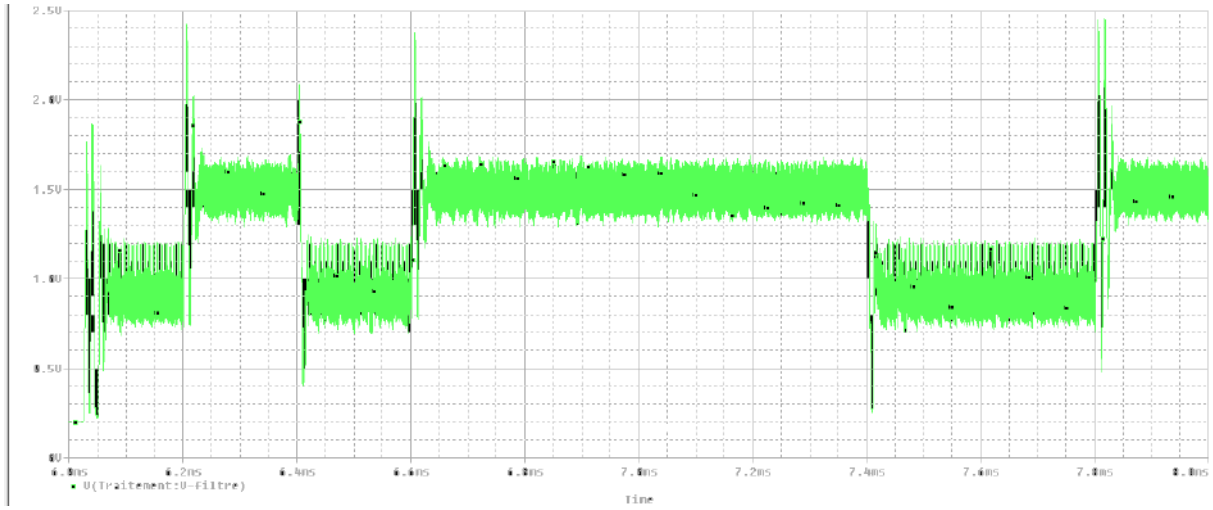


Figure III-4:sortie démodulée avec c_{stes} de temps optimales (1er choix) pour fichier F150/5.vec

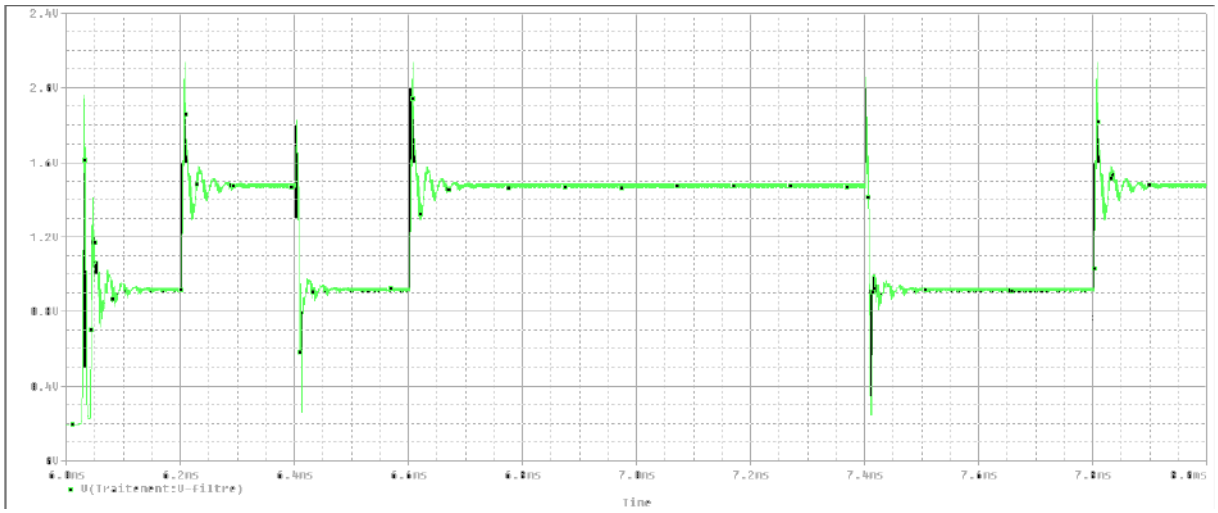


Figure III-5:sortie démodulée avec c_{stes} de temps optimales (2^{eme} choix) pour le fichier F150/5.vec

La réponse pour entrer-fichier F400/8.vec est donnée par les figures III-6 et III-7.

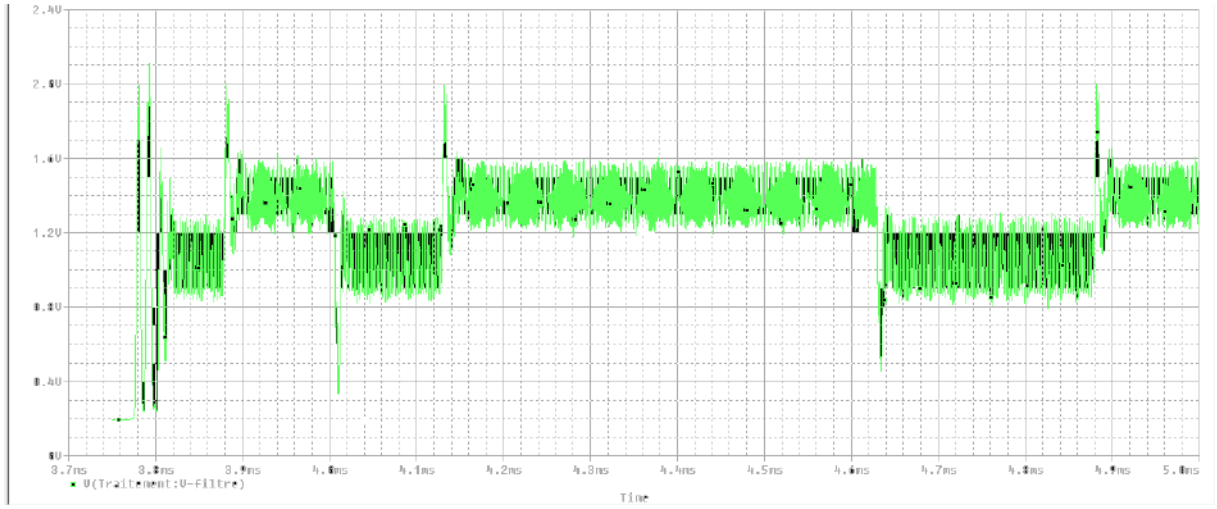


Figure III-6:sortie démodulée avec c_{stes} de temps optimales (1^{er} choix) pour le fichier F400/8.vec

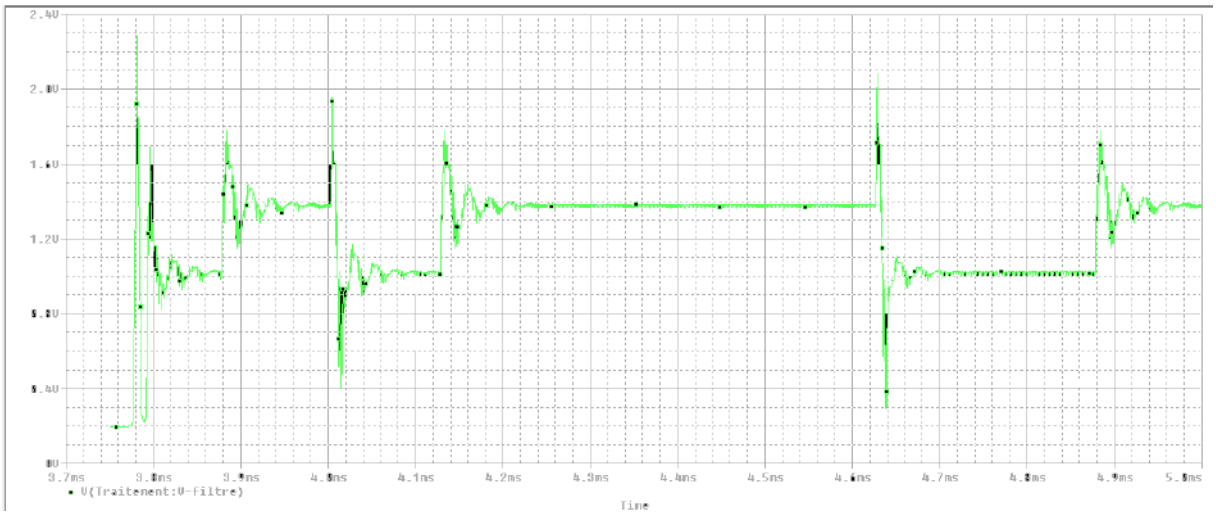


Figure III-7:sortie démodulée avec c_{stes} de temps optimales (2^{eme} choix) pour le fichier F400/8.vec

Les résultats obtenues pour les entrées fichiers : F150/5.vec et F400/8.vec confirme que la démodulation FSK avec le 1^{er} choix optimal est réussie et que les bits de la séquence sont bien distingués malgré qu'elle présente des atténuations au niveau de ces derniers, et que le 2éme choix optimal du filtre améliore les réponses de démodulateur à DPLL on faisant disparaitre les atténuations.

Note :

Les pics en figure III-3 sont liés aux phases d'avant verrouillage de la boucle où celle-ci traque chaque fréquence de saut d'entrée en ajustant la fréquence de son VCO. Ces pics précèdent donc les paliers horizontaux du signal filtré dont la constance témoigne du verrouillage de la boucle, et sont dus au principe même de fonctionnement du détecteur de phase de type DFP employé. Celui-ci génère de larges impulsions pendant chaque transition du signal qui coïncide avec un saut de fréquence d'entrée. Les impulsions sont positives pour rattraper la fréquence plus élevée de saut ou bien négatives pour rattraper celle plus basse de saut.

Impulsions U_d délivrées par le DFP en présence de l'entrée U_1 et celle du VCO U_2', avec cas où $f_{U1} > f_{U2'}$ délivrant $U_d > 0$, et cas $f_{U1} < f_{U2'}$ délivrant $U_d < 0$. Avec Ud_{moy} en dent de scie pseudo-périodique.

.

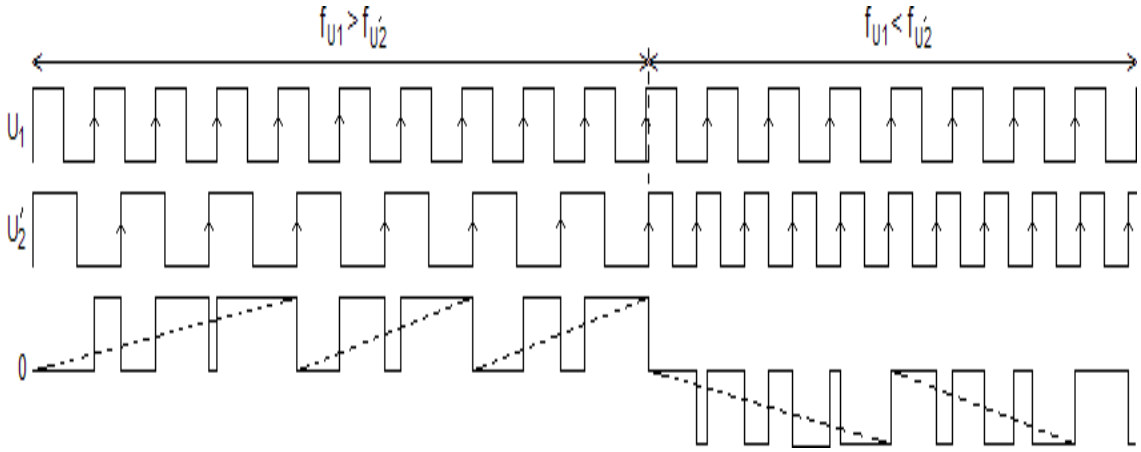


Figure III-8 : Impulsions délivrées par le DFP

Lorsqu'une des fréquences change, par exemple le cas où f_{U1} devient inférieure à $f_{U2'}$, et après une succession de 2 impulsions en provenance d'une même entrée (ici VCO), la polarité des impulsions change. La variation du facteur de forme de ces impulsions amène une valeur moyenne < 0 en dent de scie.

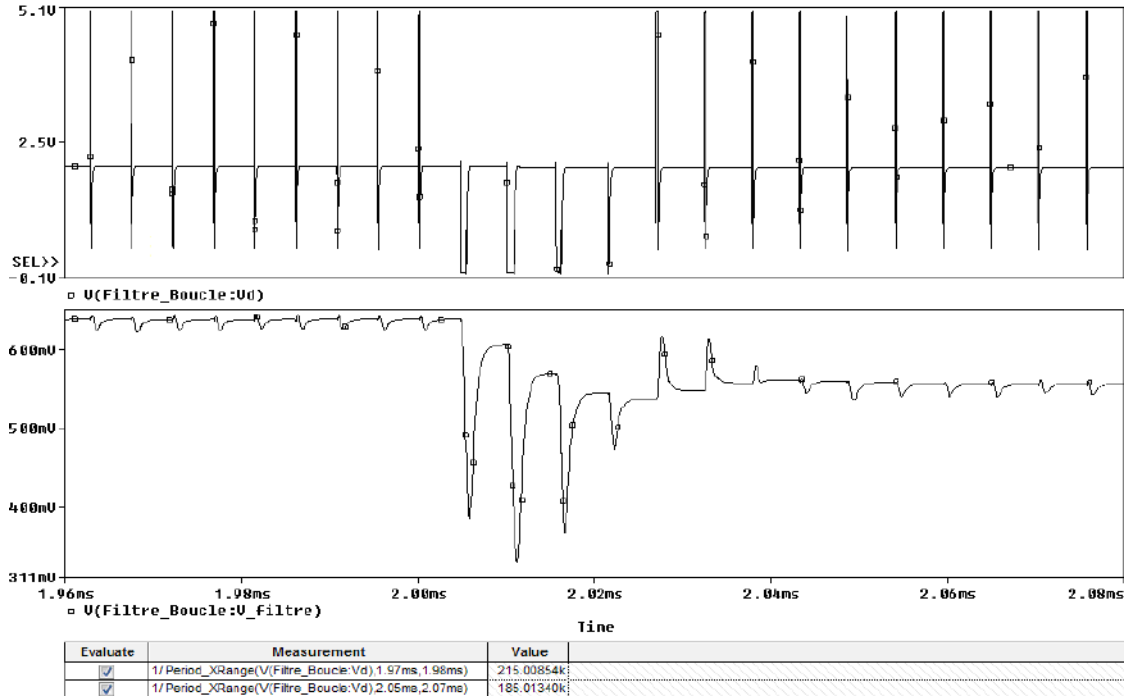


Figure III-9 : zoom de tension de filtre au bas de la figure III-3 montrant les résidus aux deux fréquences de saut en correspondance avec la sortie du détecteur DFP pour les niveaux bas

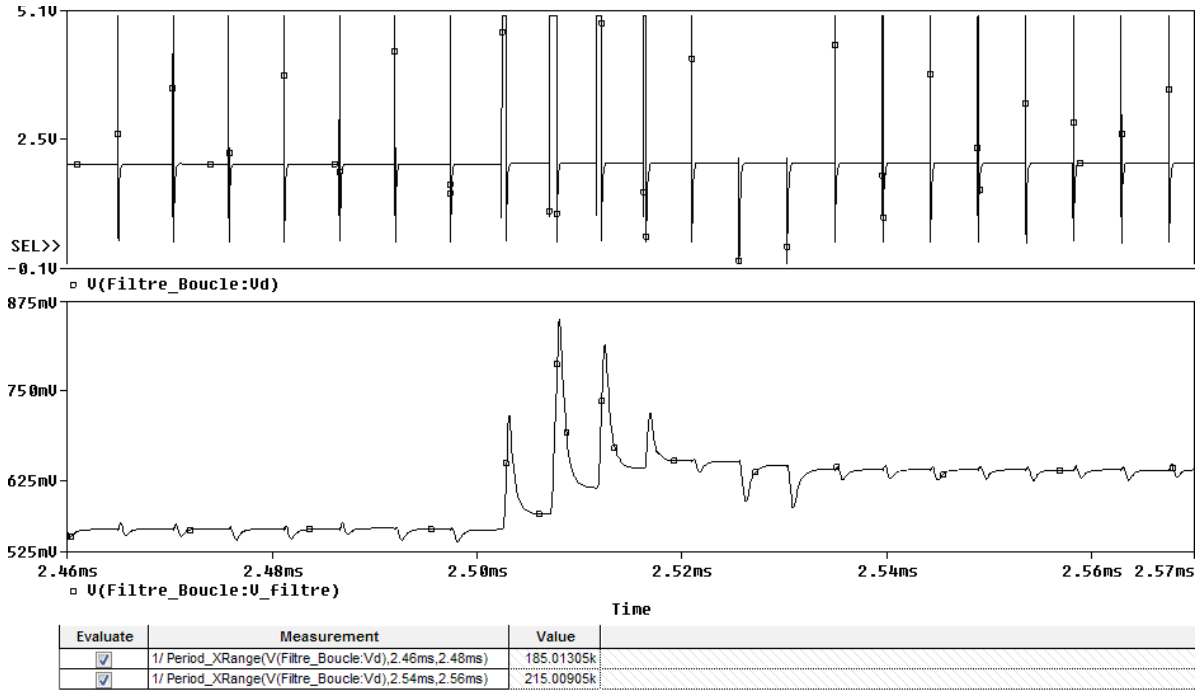


Figure III-10 : zoom de tension de filtre au bas de la figure III-3 montrant les résidus aux deux fréquences de saut en correspondance avec la sortie du détecteur DFP pour les niveaux hauts.

III.1.1.2 Démodulation par SPLL :

La réponse pour entrer fichier M300/2 est donnée par les figures III-11.

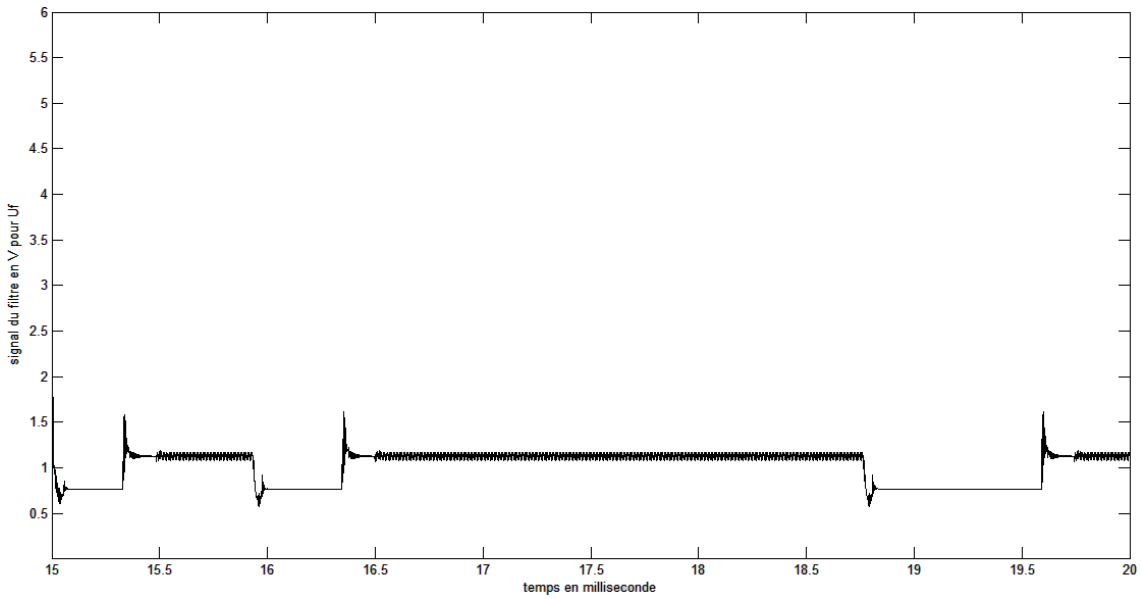


Figure III-11 : sortie démodulée pour fichier F300/2 par SPLL

La séquence est correctement détectée et les niveaux sont bien séparés

La réponse pour entrer fichier M 150/5 est donnée par les figures III-12.

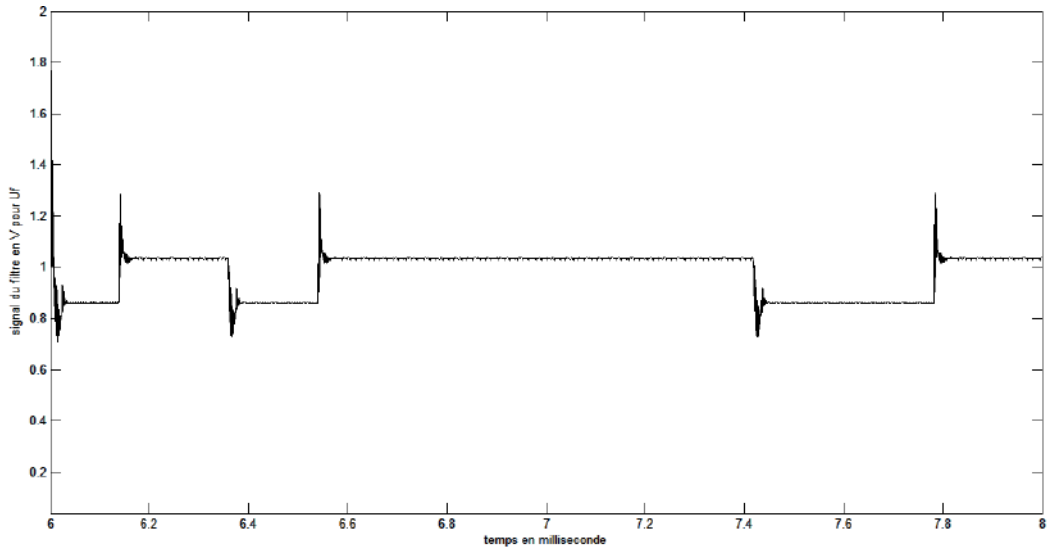


Figure III-12: sortie démodulée pour fichier F150/5 par SPLL

La réponse pour entrer fichier M400/8 est donnée par les figures III-13.

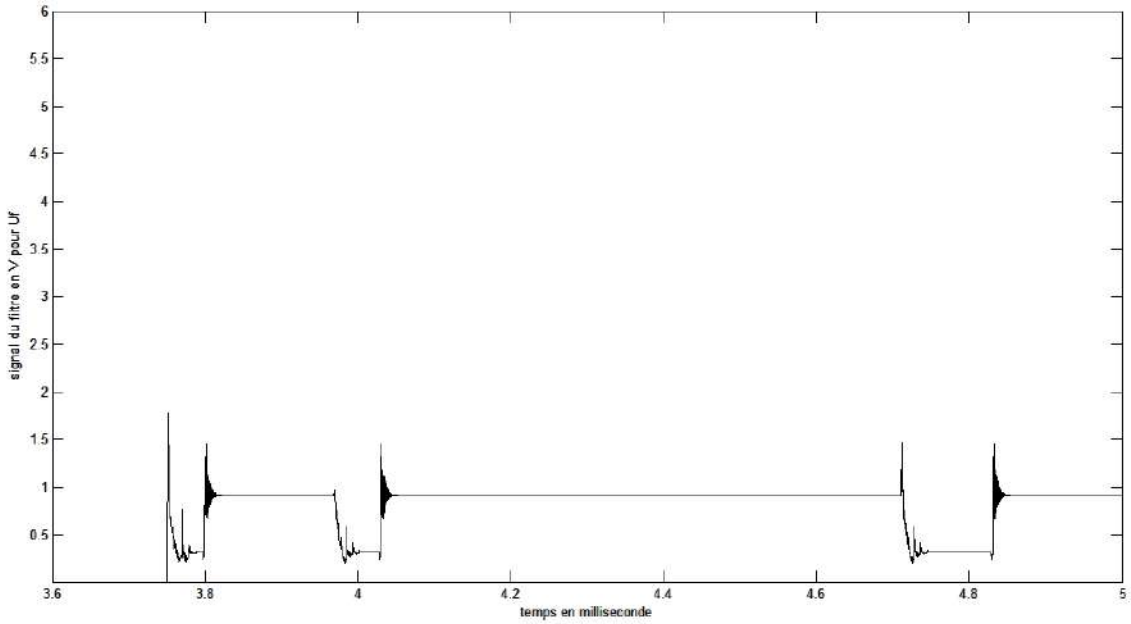


Figure III-13 : sortie démodulée pour fichier F400/8 par SPLL

- **1ère comparaison DPLL-SPLL :**

Les résultats obtenus par la SPLL implémentée sur DSP concernant la démodulation FSK sont identiques aux résultats obtenus par la DPLL conçue sur Pspice ; donc on peut dire initialement que le comportement de la DPLL a été bien simulé par la SPLL.

III.1.2 Démodulation MSK :

III.1.2.1 Démodulation par DPLL :

La réponse pour entrer fichier M 300/2.vec est donnée par les figures III-14.

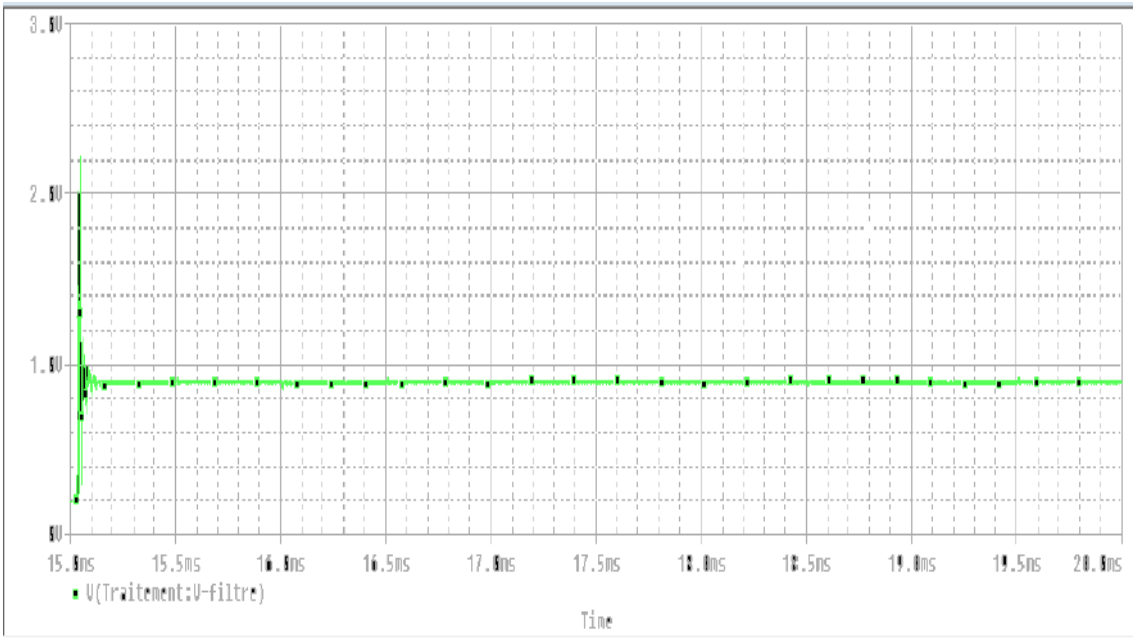


Figure III-14 :sortie démodulée pour fichier M300/2.vec

La démodulation entrées fichiers M300/2.vec à échouer

La réponse pour entrer fichier M150/5.vec est donnée par les figures III-15.

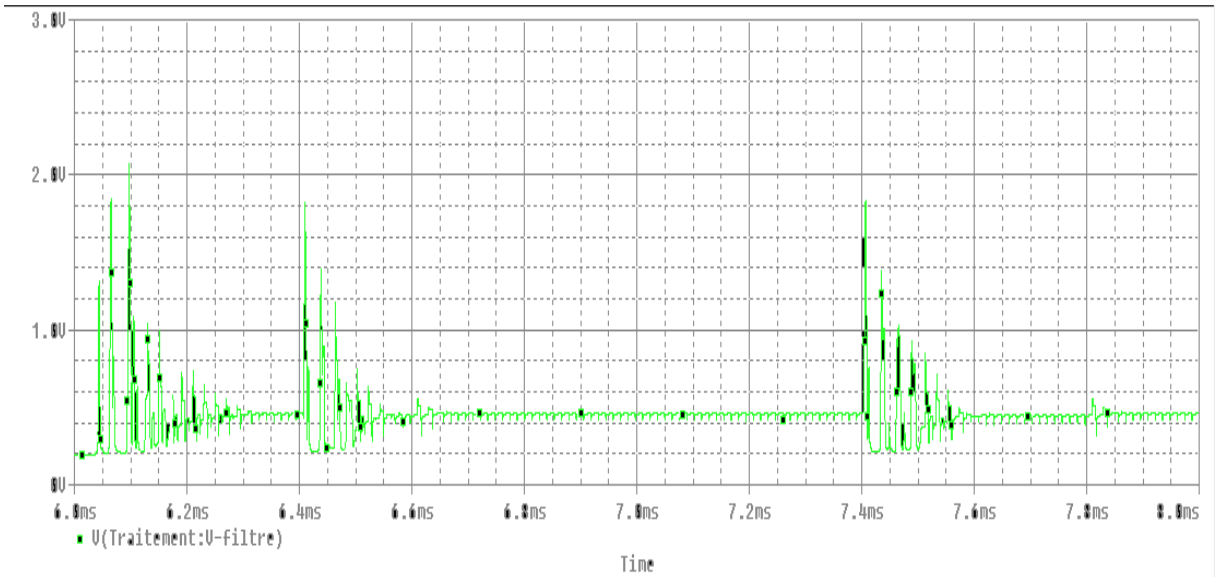


Figure III-15:sortie démodulée pour fichier M150/5.vec

La démodulation entrées fichiers M300/2.vec à échouer.

La réponse pour entrer fichier M400/8.vec est donnée par les figures III-16.

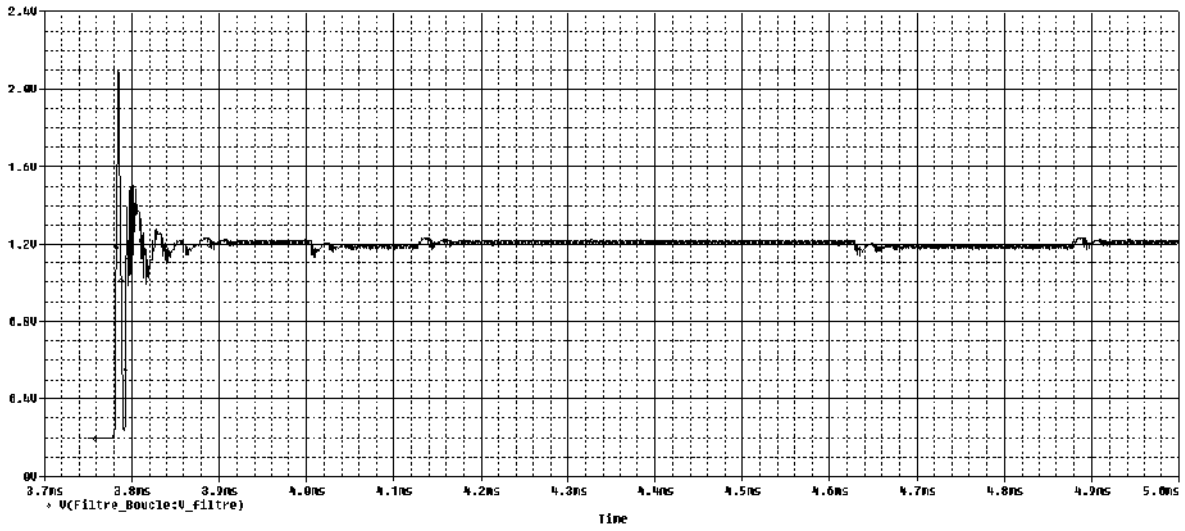


Figure III-16 :sortie démodulée pour fichier M400/8.vec

Les niveaux sont faiblement détectés pour le fichier M400 /8.

La démodulation MSK à échouer dans les trois essais réalisés. On observe que pour un débit faible de 2 kbit/s (Fichier M300/2) on ne peut pas distinguer les bits 1 des bits 0 et la séquence n'est pas reconnue du tout, mais en augmentant le débit à 5kbit/s (Fichier M150/5) on remarque des atténuations au niveau des bits ''0'' mais la séquence reste toujours non reconnue, et en arrivant au plus grand débit utilisé 8kbit/s(Fichier M400/8) en remarque une petite variation en amplitude en zoomant sure le signal de la figure III-16 ; qui fait séparées les bits de séquences ; mais on peut pas la considérer comme une démodulation réussite.

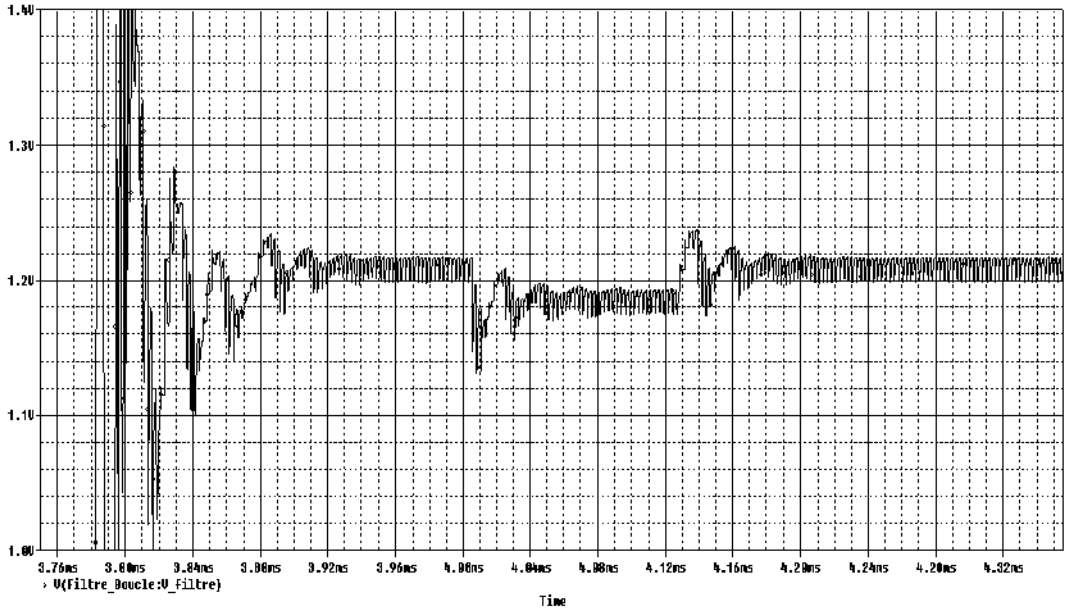


Figure III-17 : Zoom sur la sortie démodulée de la figure III-16

D'après les observations précédentes on peut conclure qu'une démodulation MSK par DPLL nécessite des signaux à fort débits ; cela à cause des deux fréquences de saut qui sont très rapprochés l'une de l'autre, mais il reste un autre problème à résoudre en utilisant des débits forts ; la réponse de filtre dans ce cas est très lente ce qui conduit à une perte d'information ; comme il est montré dans la figure III-17 ; le 1er bit '0' n'est pas détecté correctement.

III.1.2.2 Démodulation par SPLL :

La réponse pour entrer fichier M300/2 est donnée par les figures III-18.

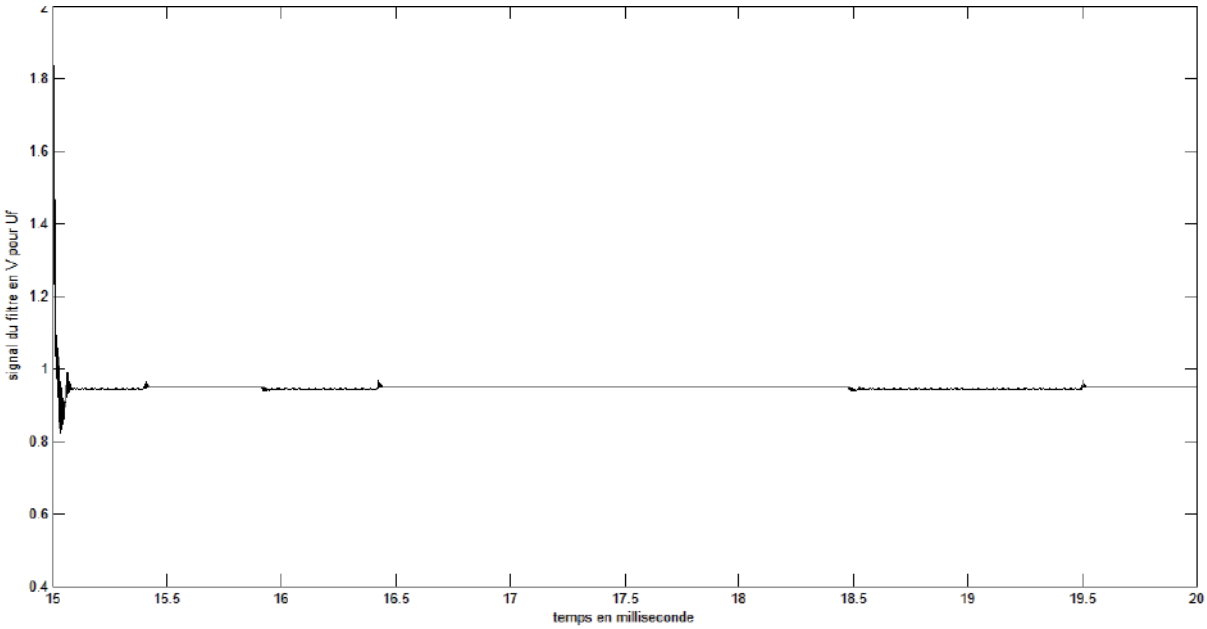


Figure III-18 : sortie démodulée pour fichier M300/2 par SPLL

Démodulation non réussite ; niveaux faiblement détectés

La réponse pour entrer fichier M150/5 est donnée par les figures III-19.

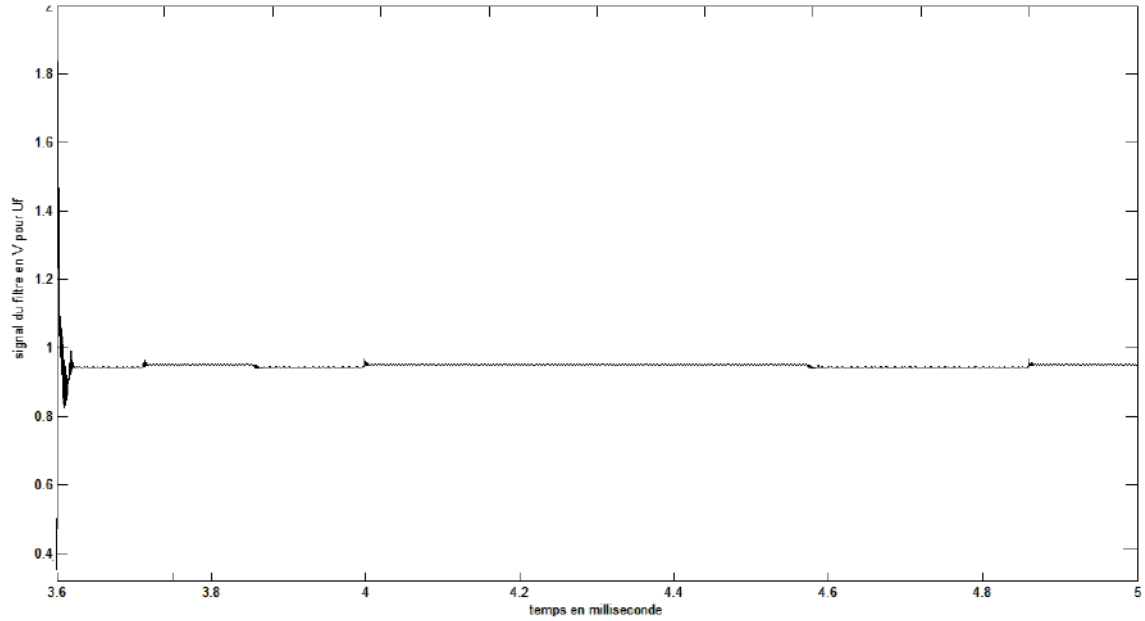


Figure III-19 : sortie démodulée pour fichier M150/5.vec

La réponse pour entrer fichier M400/8 est donnée par les figures III-20.

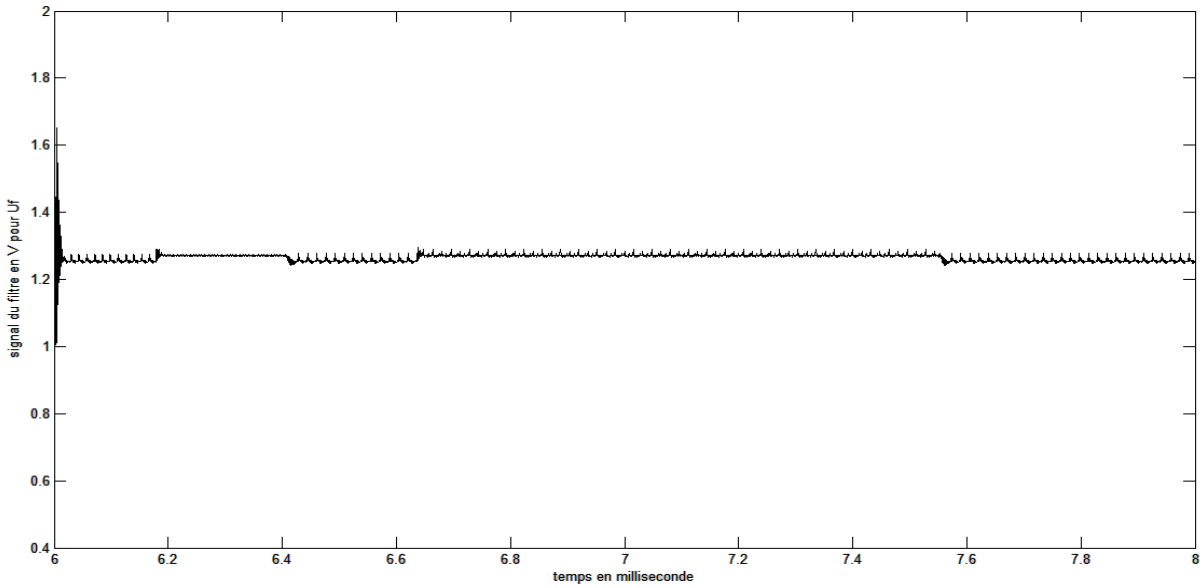


Figure III-20 : sortie démodulée pour fichier M400/8 par SPLL

Démodulation MSK non réussite en utilisant la SPLL ; niveaux faiblement détecté confirme la théorie dont on a déjà parlés en DPLL.

- **2éme comparaison DPLL-SPLL :**

Les deux PLLs appliquées dans la démodulation FSK/MSK ont un comportement identique en dehors de bruit.

III.2Démodulation en présence de bruit :

Après avoir réalisé la démodulation en dehors de bruit ; on va maintenant introduire un bruit de phase sous forme de gigue et étudié le comportement de notre PLL en sa présence.

L'Union Internationale des Télécommunications (UIT) définit la gigue (en anglais *jitter*) comme des variations rapides des instants significatifs d'un signal numérique par rapport aux positions qu'ils devraient occuper, c'est un phénomène de fluctuation d'un signal. Cette fluctuation peut être un glissement de phase ou une dispersion temporelle. Elle entraîne des erreurs en sortie lors de la récupération des données.

En premier lieu et afin d'apprécier la qualité du signal en présence du bruit avant d'effectuer la démodulation, on va appliquer un diagramme en œil pour les deux fréquences de saut f_1 et f_2 de chaque fréquence porteuse. (Voir Eye-Diag en annexe)

III.2.1 Diagramme en Œil :

Prenant comme exemple de traitement le fichier F300/2 :

- Diagrammes en œil pour signal sans bruit :

Diagramme en œil pour f_1:

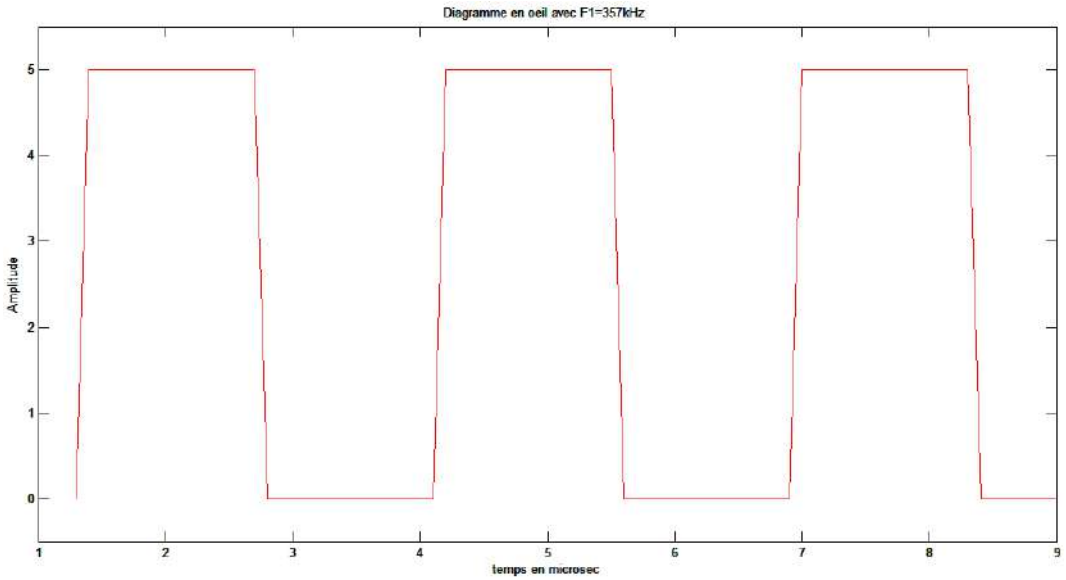


Figure III-21 : Diagramme en œil avec f_1=357 kHzsur 3 cycles

Diagramme en œil pour f_2:

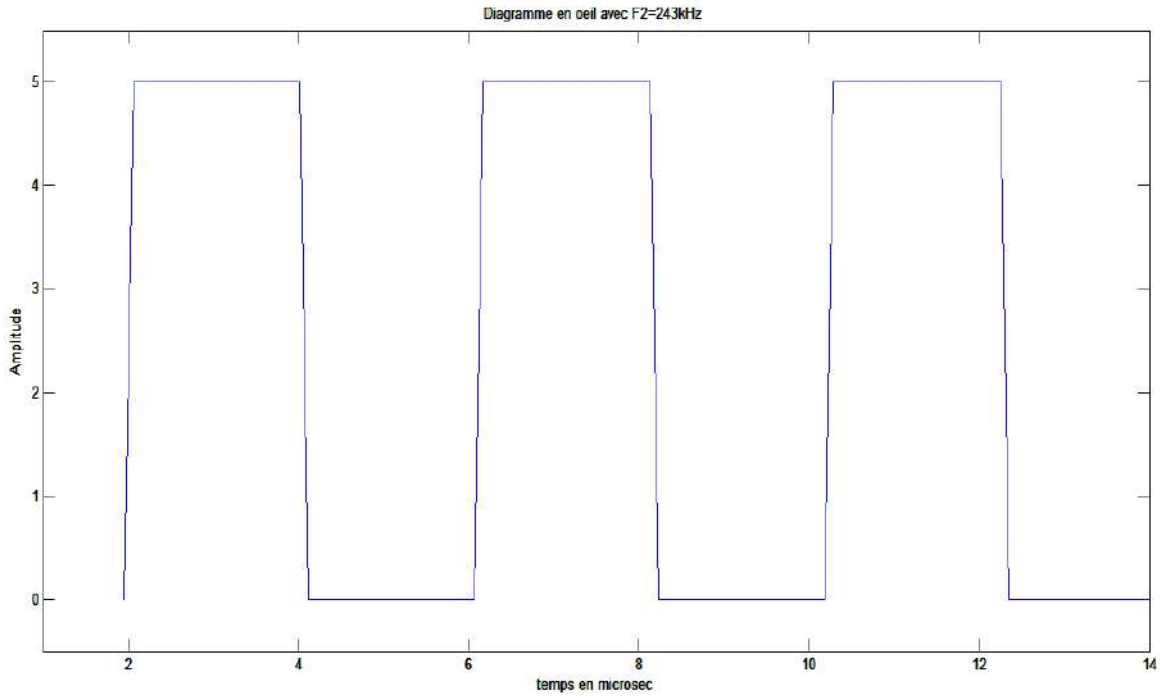


Figure III-22 : Diagramme en œil avec f_2=243 kHz sur 3 cycles.

Superposition des diagrammes en œil des fréquences f_1 et f_2 :

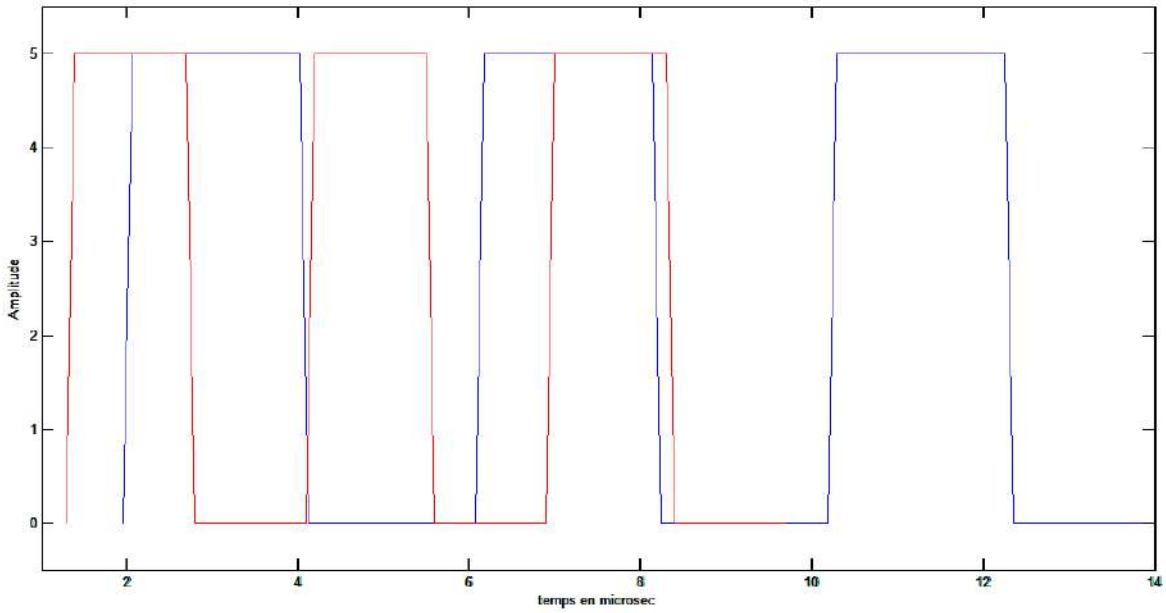


Figure III-23 : superposition des deux fréquences sur le même graphe.

Les diagrammes en œil des deux fréquences de saut f_1 et f_2 représentés par les figures III-21, III-22 et III-23 sont parfaitement claire ce qui confirme que ces deux derniers ne sont pas entachées de bruit.

- Diagrammes en œil pour signal à gigue de phase de 30° :

  Diagramme en œil pour f_1 :

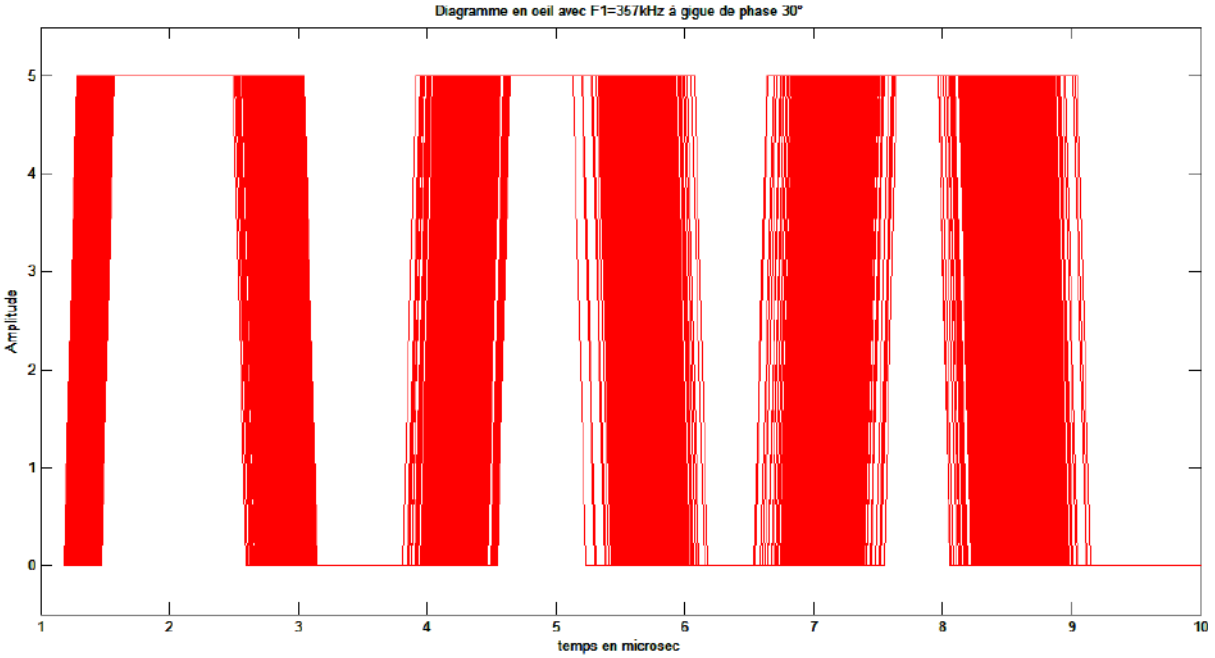


Figure III-24 : Diagramme en œil avec f_1=357 kHz à gigue de phase de 30°.

Diagramme en œil pour f_2 :

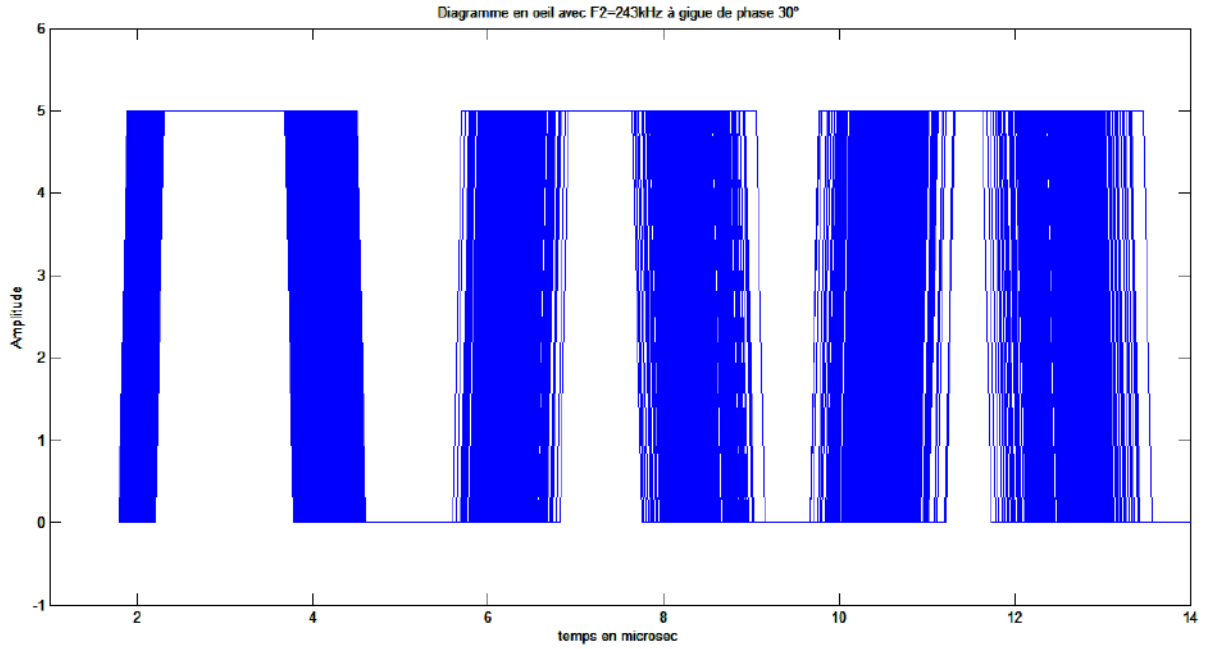


Figure III-25 : Diagramme en œil avec f_2=243 kHz à gigue de phase de 30°.

Superposition des diagrammes en œil des fréquences f_1 et f_2 :

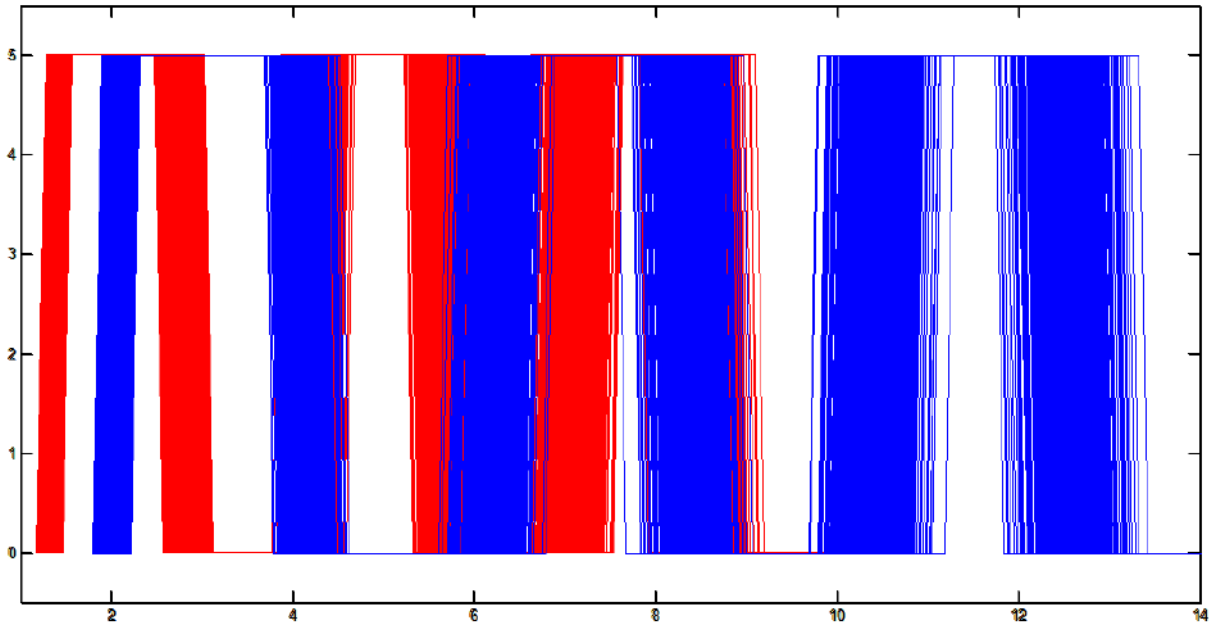


Figure III-26 : superposition des deux fréquences à gigue de phase de 30° sur le même graphe.

- Diagrammes en œil pour signal à gigue de phase de 10° :

  Diagramme en œil pour f_1 :

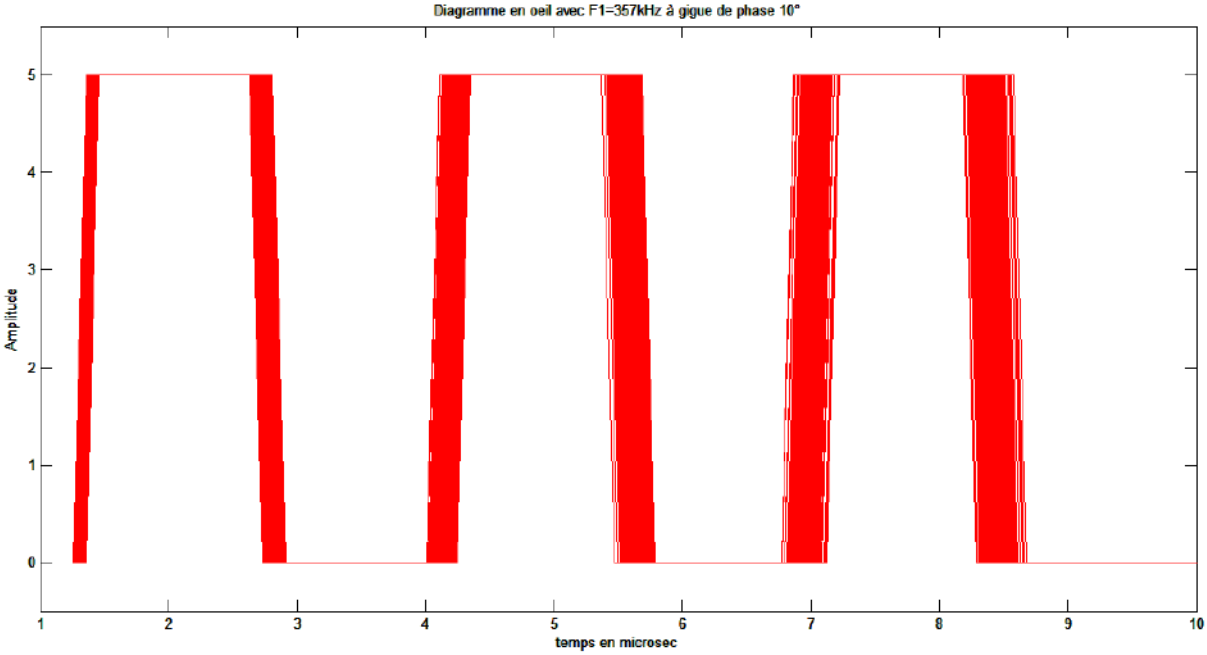


Figure III-27 : Diagramme en œil avec f_1=357 kHz à gigue de phase de 10°.

Diagramme en œil pour f_2 :

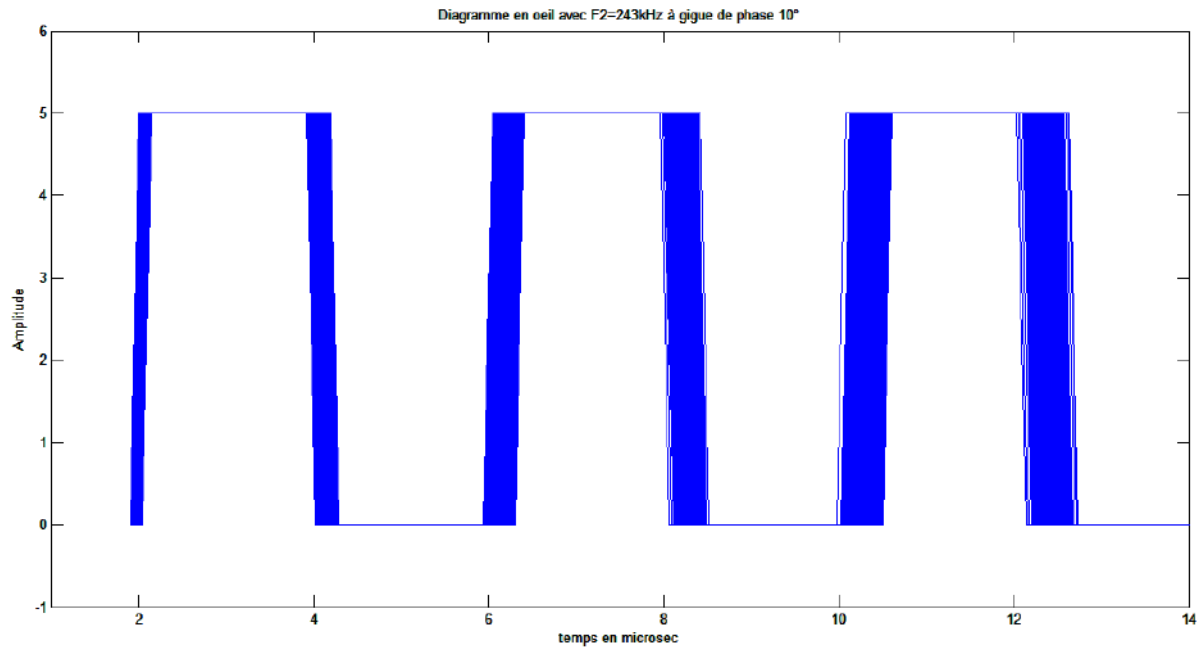


Figure III-28 : Diagramme en œil avec f_2=243 kHz à gigue de phase de 10°.

Superposition des diagrammes en œil des fréquences f_1 et f_2 :

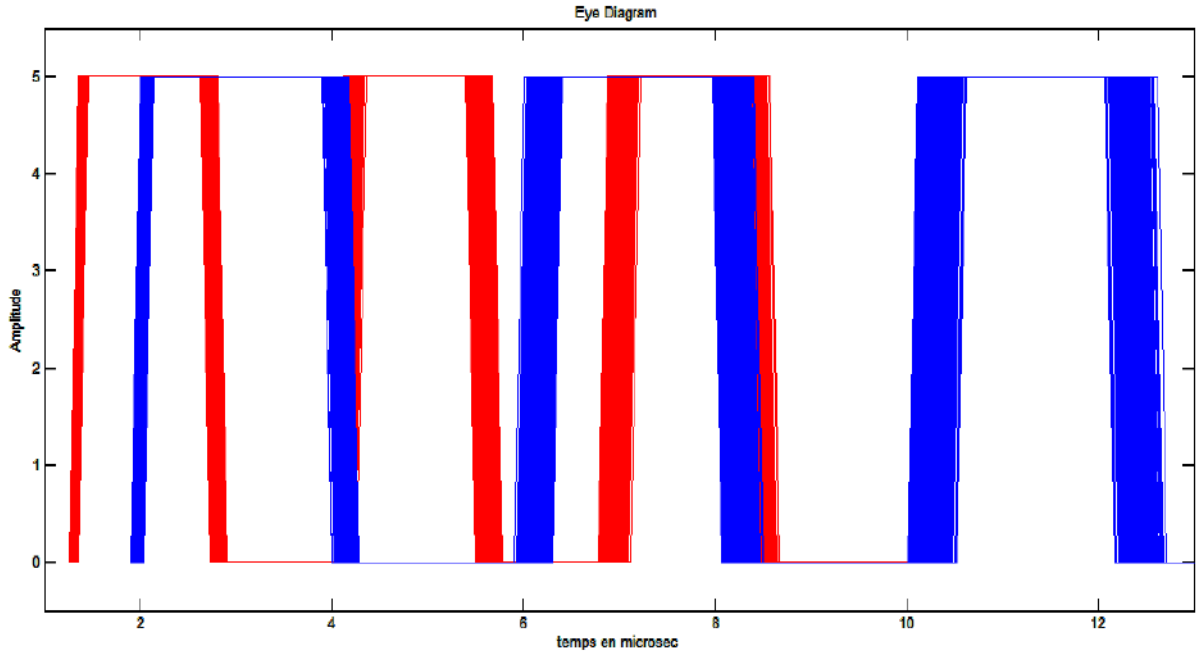


Figure III-29 : superposition des deux fréquences à gigue de phase de 10° sur le même graphe.

On comparant les diagrammes en œil du signal sans bruit et de celui à gigue de phase, on observe l'influence au niveau des transitions de bit traduite par un glissement de phase qui est plus important en augmentant la phase.

III.2.2 Démodulation FSK

III.2.2.1Démodulation par DPLL :

Le fichier texte généré par Matlab (voir fichier eye-diag en annexe) renfermant le signal FSK bruité, est à appliquer tel qu'il est à la DPLL.

Prenant comme exemple de traitement le fichier F400/5

Signal démodulé à Gigue de phase 10° :

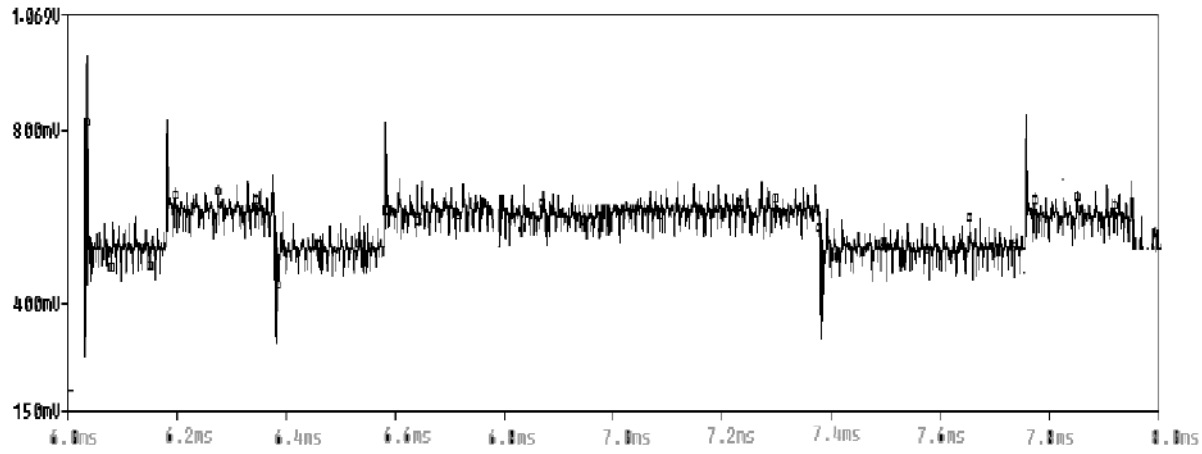


Figure III-30 : Signal démodulé par DPLL à gigue de phase 10°

La DPLL arrive a récupérer le signal malgré sa perturbation.

Démodulation MSK

III.2.2.2Démodulation par SPLL :

Transformant le fichier fournis par Matlab en fichier, en fichiers exploitables par le DSP : F400/5_4.txt d'identification des états bas du signal FSK et F400/5_5.txtd'identification de ses états hauts.

Signal démodulé à Gigue de phase 10° :

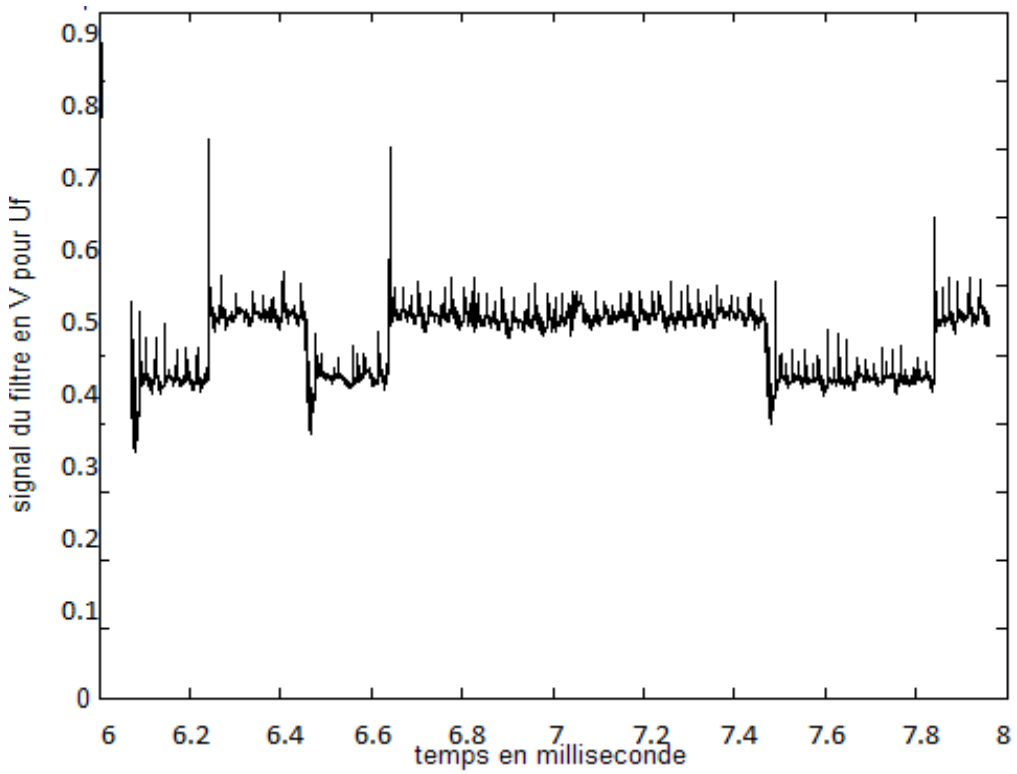


Figure III-31 : Signal démodulé par SPLL à gigue de phase 10°

Le signal récupéré est beaucoup perturbé, Le bruit de la gigue de phase se répercute sur lui.

Conclusion générale :

Durant ce travail, on a arrivé à réaliser un démodulateur FSK/MSK à base de PLLs.

En 1ere partie, une conception sur Pspice est faite pour aboutir à une DPLL,dans cettedernière on a utilisé un comparateur de phase à pompe de charge (ou détecteur de phase –fréquence DFP) à cause de l'étendue de la rangé utile pour la phase d'entrée qui est meilleur que celle d'un détecteur à porte XOR ou en bascule JK. À qui on a associé un filtre passif de 1er ordre, avec l'utilisation de deux choix de paramètres optimales. La démodulation en utilisant le 1er choix (R_1=45kΩ, R_2=12kΩ, C=1nF) a été réussite mais un peu perturbée. L'introduction du 2eme choix qui est en rapport de 100 avec le 1er (R_1=450Ω, R_2=120Ω, C=0.1uF) ; à améliorer les résultats en éliminant toutes les perturbations.

En 2eme partie nous avons implémentées une SPLL sur DSP, pour qu'elle puisse agir tel qu'une DPLL, pour cela le comportement des composants de la DPLL (VCO, DFP,filtre de boucle) a été traduit en algorithmes implémenté sur un simulateur du C6713 de texas instrument. Le programme est réalisé en deux parties : un programme principale et deux routine, avec une liaison RTDX qui permet de récupérer les signaux obtenus en graphe.

Notre 1ere interprétation était que la SPLL simule correctement le comportement de la DPLL; cela d'après leurs résultats identiques, pour plusieurs fréquences porteuse choisisse en dehors de bruit.

En dernier lieu, nous avons introduit un bruit sous forme de gigue de phase, et on a

refait le même travail en examinant le comportement des deux PLLs, en sa présence. Le bruit à entaché notre signal, mais les PLLs ont de façon identique, toujours arriver à le récupérer, cela confirme ce qu'on a dit au début à propos de l'avantage que nous offre la PLL en termes de bruit.

En fin on conclue que les démodulateurs FSK/MSK à base de PLLs, ont des hautes performances ; qui présentent beaucoup d'avantages telque la récupération aisé des signaux modulés et une grande immunité contre le bruit.

Bibliographies

[1] N. BATAL, D. Achori, « aspect comportemental d'une PLL software: implémentation sur DSP à temps réel », Editions AL-Djazair, EAN : 978-9931-662-08-2, 2017.

[2] N. Batel, «Conception microélectronique : Sources contrôlées », cours dispensé en magister instrumentation et microélectronique, 2012.

[3] N. BATAL, « communications numériques », cours dispensé en graduation LMD pour la spécialité des télécommunications, université de Médéa, 2010.

[4] C. Chevillard, et J. B. Desmouliere « la modulation de signaux analogique et la boucle à verrouillage de phase dans les télécommunications », 2004.

[5] François de Dieuleveult, Olivier Romain, « électronique appliquée aux hautes fréquences : principe et application » 2eme édition, Dunod.

[6] Texas instruments « code composer user's guide », spru296.pdf, 1999.

[7] Texas instruments « TMS320C6000 programmer's guide », spru198g.pdf, 2002.

[8] Texas instruments «TMS320C6000 optimizing compiler user's guide », spru187i.pdf, 2001.

[9] P. TOBIN « Pspice for analog communication engineering », Morgan & Claypool publishers series #9? 2007.

[10] R. E. Best, « Phase-Locked Loops: Design, Simulation and Applications », 4th Edition, McGraw-Hill, 1999.

[11] J. Encinas, « Systèmes à verrouillage de phase (PLL) : réalisations et applications», éditions Masson, 1990.

[12] B. Pontalier, « modulation et démodulation de fréquence », préparation agrégation sciences physiques, Académie de Martinique.