REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE

UNIVERSITE Dr. YAHIA FARES DE MEDEA



FACULTE DE TECHNOLOGIE

Département de Génie Electrique

Projet de fin d'étude

Présenté pour l'obtention de diplôme de master en génie électrique

Option : systèmes de télécommunication

Thème

Implémentation sur FPGA d'un Système de communication de type MIMO

Réalise par :

Bouaniga Khaled

Rahali Abderrahmane

Encadre par :

Dr.Dali Mohamed

Année universitaire 2017 / 2018

Remerciements

Au terme de ce travail:

Nous tenons à remercier tout d'abord **ALLAH** le tout puissant et maitre de l'univers qui nous a donné la force nécessaire, la forte volonté et la patience afin d'accomplir ce travail.

Nous tenons à remercier vivement nos chers parents.

Nous remercions également notre promoteur : **Mr DALI Mohamed**pour l'aide qu'il nous a apporté, pour sa disponibilité, ainsi que pour ses précieux conseils.

Nous tenons à exprimer nos gratitudes à nos enseignants de Département d'Electronique de l'Université de Médéa.

Nous tenons à exprimer nos profonds remerciements également aux membres de jury pour leurs participations dans le jugement de notre travail.

Enfin nous adressons nos reconnaissances à tous ceux qui nous ont aidés de prés ou de loin.

Dédicaces

Je remercie le bon Dieu de m'avoir donné le courage et la patience pour aller jusqu'au bout du parcours de mes études.

Je dédie ce mémoire à :

- Mes chers parents pour tous les grands sacrifices fournis durant ma formation et leurs encouragements, qui veuillent partager avec moi le bonheur et la réussite.

- Mes chères sœurs : Amel, Lamia et mes frères : Yacine, Sofiane ainsi que mon neveu : Mohamed Racim que Dieu les protèges tous.

- Ma grand-mère que Dieu lui prête santé et longue vie.

- A mon cher binôme RahaliAbderrahmene qui m'a vraiment aidé à réaliser ce travail, ainsi que mes meilleurs amis chacun par son nom.

- A toute la promotion 2ème année mastère télécommunication.

Merci de m'avoir encouragé et aidé.

Khaled

Dédicaces

Secours au long de ma vie professionnelle et personnelle.

Veuillez trouver dans ce modeste travail l'expression de mon affection

A tous les membres de ma famille, petits et grands.

- A toute la promotion 2ème année mastère télécommunication.

-A toute mes chères ami (e)s

Je ne peux trouver les mots justes et sincères pour vous

Exprimer mon affection et mes pensées, vous êtes pour moi des Frères, sœurs et des amis sur qui je peux compter.

En témoignage de l'amitié qui nous uni et des souvenirs de Tous les moments que nous avons passés ensemble, je vous dédie Ce travail et je vous souhaite une vie pleine de santé et de Bonheur.

Merci de m'avoir encouragé et aidé.

Abderrahmane Rahali

Résume :

L'objectif de ce travail est de faire la simulation, la conception et l'implémentation sur FPGA de la technique de codage spatio-temporel d'Alamouti pour une Systèmes de communication MIMO. Les simulations en été effectuées en utilisant l'outil Matlab, la conception des circuits à été achevée par l'utilisation de l'outil « System generator », alors que l'implémentation à été réalisée à l'aide du logiciel Vivado. Pour les simulations, nous avons comparé entre le BER « Bit Error Rate » des modèles de Simulink et celui des circuits conçus sous system generator pour les modulations BPSK et QPSK et pour les systèmes Alamouti 2×1 et 2×2. Pour l'implémentation, nous avons comparé entre les ressources FPGA consommées par les différents circuits à l'émission et à la réception.

Mots clés: systèmes MIMO, codage d'Alamouti, FPGA, modulation BPSK, modulation QPSK.

الملخص :

يهدف هذا العمل إلي محاكاة , تصميم وتنفيذ على FPGA لتقنية الترميز الزمانية المكانية الخاصة بنظام Alamouti من أجل نظام اتصالات (MIMO) . تم تنفيذ عمليات المحاكاة باستخدام برنامج Matlab وتم الانتهاء من تصميم الدوائر باستخدام برنامج "System Generator" ، في حين تم التنفيذ باستخدام برنامج Vivado .بالنسبة لعمليات المحاكاة ، قارنا معدل الاخطأ BER لنماذج Simulink مع system generator لتشكيلات BPSK و QPSK لنظامين :2×1 و 2×2.

بالنسبة للتنفيذ، قمنا بمقارنة موارد FPGA التي تستهلكها مختلف الدوائر في الإرسال والاستقبال.

الكلمات المفتاحية: أنظمة MIMO ، تشفير Alamouti , QPSK,BPSK,FPGA

Abstract:

The objective of this work is to simulate, design and implement on FPGA the Alamouti spatio-temporal coding technique for a MIMO communication system. The summer simulations carried out using the Matlab, the design of the circuits was completed using the "System Generator" tool, while the implementation was carried out using the Vivado software. For simulations, we compared the BER "Bit Error Rate" of the Simulink models with that of the system generator circuits for the BPSK and QPSK modulations and for the Alamouti 2 × 1 and 2 × 2 systems. For the implementation, we compared the FPGA resources consumed by the different circuits on transmission and reception.

Key words: MIMO systems, Alamouti coding, FPGA, BPSK modulation, QPSK modulation.

Table des matières

Résume

Table des matières

Liste de figures

Liste de tableaux

Abréviation

Introduction Générale 1

I.Chapitre.I 3

I.1 Introduction 3

I.2 les éléments principaux d'une chaine de transmission 3

I.2.1 partie émission 4

I.2.1 partie réception 6

I.3 La modulation numérique 7

I.3.1 Caractéristique d'une modulation numérique 7

I.3.2 Principe des modulations numérique 8

I.4 Le canal de transmission 15

I.4.1 Canal a bruit additif blanc gaussien 15

I.4.2 Canal a évanouissements 15

I.5 La diversité 17

I.5.1 La diversité temporelle 17

I.5.2 La diversité de fréquence 17

I.5.3 La diversité spatiale 17

I.6 Codage espace-temps pour les système MIMO 17

I.6.1 Modele de système MIMO 18

I.6.2 capacité des système MIMO 19

I.6.3 Gain des système MIMO 20

I.6.4 codage spatio-temporels 21

I.7 les avantages de la technologie MIMO 24
I.8 Conclusion 25
II.Chapitre.II 26
II.1 Introduction 26
II.2 Les différents types des circuit numériques 26
II.3 Les FPGA(Field programmable Gate Array) 28
II.4 Description des circuit FPGA de XILINX 28
II.4.1 les CLB (configurable logic bloc) 29
II.4.2 Les IOB (input output bloc) 31
II.4.3 Les interconnexion 32
II.5 Domaines d'application des FPGA 34
II.6 Technique de programmation des FPGA de XIlinx 34
II.7 Les atouts de FPGA 35
II.8 La programmation des FPGA par XSG/MATLAB-SIMULINK 37
II.9 Les étapes d'implémentation d'une application sur un FPGA 38
II.10 Conclusion 39
III. Chapitre III 41
III.1 Introduction 41
III.2 Performances des modulations numérique pour un cana AWGN 42
III.2.1 Utilisation de Simulink 42
III.2.2 Utilisation de système Generator pour la conception de la modulation et la démodulation 43
III.3 Performance du codage d'Alamouti pour un caanal de rayleigh 46
III.3.1 circuit d'implémentation du codage 47
III.3.2 circuit d'implémentation du décodage d'Alamouti 2x1 48
III.3.3 circuit d'implémentation du décodage d'Alamouti 2x2 51
III.3.4 Présentation de circuit réduisant le nombre de miltiplieur 55

III. 3.4.1circuit du décodeur Alamouti 2x1 optimal 55

III.3.4.2 circuit du décodeur Alamouti 2x2 optimal 56

III.4 Présentation des résultas de l'implémentation sur FPGA 56

III.5 Conclusion 59

Conclusion Générale 60

Liste des figures

Figure I.1 Fonctionnement de la chaine de transmission 4

Figure I.2 Une exemple typique de modulation BPSK 6

Figure I.3 Une exemple de BER=f(RSB) du M-QAM..... 6

Figure I.4 schéma de principe d'un récepteur numérique 7

Figure I.5 Forme générale du modulateur QPSK..... 9

Figure I.6 Position d'un symbole dans le plan de Fresnel..... 9

Figure I.7 Définition d'une constellation numérique 10

Figure I.8 constellation de la modulation d'amplitude a M états 11

Figure I.9 Modulation d'amplitude 4ASK symétrique..... 11

Figure I.10 Constellation des symboles en modulation de phase 2-PSK 12

Figure I.11 Chronogramme de la modulation de phase 2-PSK..... 13

Figure I.12 Constellation 16QAM et 64QAM 14

Figure I.13 Exemple de cana radio-mobile soumis aux multi-trajets..... 16

Figure I.14 Représentation des différents trajets entre antennes émettrices et réceptrices 19

Figure I.15 Une chaine de transmission utilisant le codage espace-temps..... 21

Figure I.16 Diagramme de treillis pour un STTC a 4 états utilisation nT=2 émetteurs et une modulation 4PSK..... 22

Figure I.17 Schéma d'Alamouti avec deux antennes émettrices et une antenne réceptrice 23

Figure I.18 Schéma d'Alamouti avec deux antennes émettrices et deux réceptrice 24

Figure II.1 Illustre les familles des différentes technologies des circuits numériques..... 26

Figure II.2 Architecture interne d'un FPGA 29

Figure II.3 Schéma d'une cellule logique (CLB)..... 29

Figure II.4 Input Output Block (IOB)..... 31

Figure II.5 Connexions à usage générale 32

Figure II.6 Les interconnexions directes..... 33

Figure II.7 Les différentes lignes de routage..... 33

Figure II.8 Hardware Co-simulation XSG 37

Figure II.9 Les étapes d'implémentation d'une application sur un circuit FPGA 38

Figure III.1 Quelques exemples de bloc de système Generator..... 42

Figure III.2 Schéma bloc d'un système utilisantla BPSK pour un canal AWGN..... 42

Figure III.3 Comparaison des performances des deux modulations QPSK et BPSK pour un canal AWGN..... 43

Figure III.4 Diagramme de constellation BPSK 43

Figure III.5 Schéma bloc de modulation BPSK sous Système Generator 43

Figure III.6 Diagramme de constellation BPSK 44

Figure III.7 Schéma bloc de modulation QPSK sous system Generator 44

Figure III.8 Schéma bloc de modulation QPSK par un canal AWGN..... 45

Figure III.9 Comparaison des deux modulations QPSK et BPSK conçues sous(system Generator **)** **.... ……**45

Figure III.10 Comparaison entre les performances de modulations BPSK par système Generator et Matlab Simulink 46

Figure III.11 Schéma bloc d'une chaine de communication utilsant la modulation BPSK et le codage d'Alamouti 2x1 pour un canal à évanouissement de Rayleigh..... 47

Figure III.12 Codage d'Alamouti 48

Figure III.13 Décodage d'Alamouti (2x1) en blocs avec modulation 49

Figure III.14 Performance du système STBC 2x1 avec BPSK..... 50

Figure III.15 Performance du système STBC 2x1 avec QPSK 51

Figure III.16 Décodage d'Alamouti (2x2) en blocs avec modulation BPSK 52

Figure III.17 Performance du système STBC 2x2 pour la modulation BPSK..... 53

Figure III.18 Performance du système STBC 2x2 pour la modulation QPSK 53

Figure III.19 Comparaison de la Performance du système STBC Alamouti 2x1 et 2x2 avec BPSK ……..... 54

Figure III.20 Comparaison des performances du système STBC Alamouti 2x1 et 2x2 pour la modulation QPSK 54

Figure III.21 Décodage d'Alamouti (2x1) en blocs avec modulation QPSK 55

Figure III.22 Décodage d'Alamouti (2x2) en blocs avec modulation QPSK 56

Figure III.23 Projet navigateur du logiciel Vivado 2016.2 57

Liste des Tableaux

Tableau I.1 : transmission dans le temps 23

Tableau II.1 : comparaison des différents solutions numériques..... 27

Tableau II.2: Mode de configuration 35

Tableau III.1 : BER des deux modulations BPSK et QPSK pour un canal AWGN 42

Tableau III.2:BER des deux modulations QPSK et BPSK conçues sous sytem Generator pour un canal AWGN 45

Tableau III.3: Affectation des entrées des multiplieurs pour un décodeur d'Alamouti 2×1 48

Tableau III.4 : BER du décodeur d'Alamouti 2×1pour la modulation BPSK..... 49

Tableau III.5: BER du décodeur d'Alamouti 2×1pour la modulation QPSK. 50

Tableau III.6: Affectation des entrées des multiplieurs pour un décodeurs d'Alamouti 2×2..... 51

Tableau III.7: BER du décodeur d'Alamouti 2×2pour la modulation BPSK..... 52

Tableau III.8: BER du décodeur d'Alamouti 2×2pour la modulation QPSK.. 53

Tableau III.9: Les ressources utilisées par le codeur d'Alamouti et le modulateur BPSK..... 57

Tableau III.10: Les ressources utilisées par le codeur d'Alamouti et le modulateur QPSK.. 57

Tableau III.11: Les ressources utilisées par le décodeur d'Alamouti 2x1et le démodulateur QPSK. 58

Tableau III.12: Les ressources utilisées par le décodeur d'Alamouti 2x2et le démodulateur QPSK..... 58

Tableau III.13: Les ressources utilisées par l'architecture optimisée du décodeur d'Alamouti 2x1et le démodulateur QPSK..... 58

Tableau III.14: Les ressources utilisées par l'architecture optimisée du décodeur d'Alamouti 2x2et le démodulateur QPSK..... 59

Liste des acronymes et abréviation

ASK	Amplitude Shift Keying.
AWGN	Additive White Gaussian Noise.
BPSK	Binary Phase Shift Keying
BER	Bit Error Ratio.
CLB	Configurable Logic Bloc
CMOS	Complementary Metal-Oxide Semiconductor
CST	CodageSpatio-Temporel
CLK	Clock
DSP	Digital Signal Processor.
FPGA	Field Programmable Gate Array
FSK	Frequency Shift Keying
IOB	Input Output Bloc.
ISE	Integrated Software Environment
IOB	Input output Bloc
LCA	logic cells arrays
MIMO	Multiple Input Multiple Output.
MISO	Multiple Input Single Output
OFDM	Orthogonal Frequency Division Multiplexing
QPSK	Quadrature Phase Shift Keying
RSB	Rapport Signal sur Bruit.
RAM	Random Access Memory
ROM	Read Only Memory
SISO	Single Input Single Output.
SIMO	Signal Input Multiple Output.
SNR	Signal to Noise Ratio.
STT	Codes spatio-temporel en treillis

Liste des acronymes et abréviation

STB	Code Spatio-Temporel en bloc
STBC	Space-Time Block Coding
SRAM	Static Random Access Memory
STTC	Space Time Trellis Coding
STC	Space Time Coding
OFDM	Orthogonal Frequency-Division Multiplexing.
OSTBC	Orthogonal Space-Time Block Coding
PSK	Phase Shift Keying.
QO-STBC	Quasi- Orthogonal Space-Time Block Coding
QAM	Quadrature Amplitude Modulation
WCDMA	Wideband Code Division Multiple Access
WiMAX	Worldwide Interoperability for Microwave Access

Notations mathématiques

D_b : Débit binaire

T : Temps binaire

B : bande d'un signal

S : puissance du signal

C : taux de transmission de l'information

A : l'amplitude

F : la fréquence

φ : La phase

E_b : L'énergieémise par bit

N : La densité spectrale de puissance de bruit

σ : La variance

$\Delta\emptyset$: La variation de fréquence

K : la distribution de Rice

P : Probabilité d'erreur par bit

T : Temps de cohérence

B_c : la bande de cohérence du canal

Nt : nombre d'antennes a l'émission

Nr : nombre d'antennes à la réception

$S*$: transposé conjugué d'une matrice

T : période de transmission

H : matrice du canal

I : matrice identité de taille n

t : Un temps de délai

B_m : Etalement fréquentiel

C : Capacité du canal

E_B : Énergie moyenne par bit

F_d : Fréquence Doppler

N_0 : Puissance du bruit AWGN

S : Symbole transmis

S^* : Conjugué du scalaire

Introduction Générale

Introduction Générale

Les systèmes de communications numériques actuels ont connus une évolution très rapide ces dernières années. Cette évolution se manifeste par l'introduction de nouvelles techniques et technologies avancées de traitement numérique de signal très efficaces. Ces techniques permettent d'améliorer considérablement les performances des systèmes en termes de débit et en termes de robustesse. L'une des techniques les plus connues dans ce cadre est l'utilisation des systèmes à entrées multiples et à sorties multiples (appelé aussi MIMO). Cette technique consiste à exploiter la diversité en espace et en temps par l'utilisation de plusieurs antennes à l'émission et plusieurs antennes à la réception. Ce qui permet d'augmenter l'efficacité spectrale par l'utilisation du multiplexage d'une part et de lutter contre les évanouissements par l'utilisation du codage spatio-temporel de l'autre part.

Cependant, l'introduction et l'intégration des nouvelles techniques dans les systèmes de communications actuels conduit à l'augmentation de la leurs complexité de réalisation et d'implémentation sur les circuits numériques (DSP, Microprocesseur, Microcontrôleurs,…). Cette complexité a incitée les concepteurs des systèmes à chercher des solutions très efficaces. Dans ce cadre, les circuits reconfigurable de type FPGA « Field Programmable Gate Array » est une solution qui permet d'assurer un très bon compromis entre le cout, les performances et la consommation de la puissance. Ces circuits possèdent deux avantages majeurs qui sont la reconfigurablité qui permet de réduire le cout et surtout le traitement parallèle qui permet d'augmenter le débit de traitement.

Notre travail s'inscrit dans le cadre de l'implémentation sur FPGA du codeur d'Alamouti qui est l'une des méthodes les plus utilisées du codage espace-temps en bloc. Ce travail élaboré est constitué de trois chapitres:

Le premier chapitre présente des généralités sur la communication numérique, en décrivant le principe de fonctionnement d'une chaine de transmission numérique, ce chapitre traite aussi les différentes modulations numériques et les différents modèles de canaux utilisés. Nous donnons ainsi un aperçu sur les systèmes MIMO et les techniques de codage espace-temps.

Le deuxième chapitre a pour objectif de se familiariser avec les circuits FPGA commençant par une présentation de l'architecture interne des FPGA de chez XILINX où nous expliquons les différents blocs constituant le circuit. Ensuite nous décrivons les étapes et

les phases essentielles pour le développement d'une application à base de ce circuit finalisant par les avantages des circuits FPGAs.

Le troisième chapitre présente les résultats de simulation et les résultats de l'implémentation sur FPGA des circuits proposés le codeur d'Alamouti. Pour la simulation on calcule le taux de l'erreur binaire (BER) en fonction du rapport signal sur bruit (SNR). Nous discutons les performances des systèmes STBC et étudions les paramètres considérés dans chaque cas par des simulations. En sortant à la fin avec une comparaison entre les performances et les résultats d'implémentation des deux systèmes d'Alamouti 2x1 et 2x2.

Chapitre I : Généralité sur la communication numérique

I.1 INTRODUCTION :

Dans ce chapitre, nous parlerons des aspects de base des systèmes de communication numérique. Nous allons commencer par l'explication des éléments de base d'une chaine de communication classique. Ensuite, Nous allons présenter les modulations numériques les plus connues. Nous finissons par l'introduction des systèmes MIMO.

Le système de communication numérique véhicule de l'information entre une source et un destinataire en utilisant un support physique comme le câble, la fibre optique, ou l'espace libre utilisant la propagation d'une onde électromagnétique dans l'atmosphère.

Une solution permettant d'accroitre le débit et améliorer les performances du système en gardant la même bande de fréquence que le système original et d'intégrer la dimension spatiale. En effet, en augmentant le nombre d'antennes à l'émission et à la réception, l'aspect spatial dû au positionnement des antennes apporte une richesse d'information supplémentaire.

Les systèmes utilisant plusieurs antennes à l'émission et plusieurs antennes à la réception sont appelés systèmes MIMO (Multiple-Input Multiple-Output) ou multi- antennaires. Nous allons dans ce chapitre décrire les systèmes MIMO, donnant la possibilité d'accroître le nombre de bits transmis et/ou la robustesse par l'utilisation du codage espace-temps qui présentent le grand intérêt des concepteurs de systèmes.

I.2 Les éléments principaux d'une chaine de transmission :

- **L'émetteur:** permet au signal de se propager dans le canal de transmission.
- **Le canal :** propage le signal ; lors de la propagation, le signal peut être perturbé par plusieurs phénomènes comme : le bruit externe (bruit blanc additif Gaussien AWGN), des multi-trajets, le mouvement de l'émetteur et/ou du récepteur, etc.,
- **Le récepteur :** C'est le point de réception de l'information, à ce niveau l'information reçue doit être vérifiée, si elle est correcte et le récepteur procède à des corrections en cas d'erreurs.

  Les opérations duales effectuées à l'émetteur et au récepteur sont le codage et le décodage de source, le codage et le décodage de canal, la modulation et la démodulation comme il est montré dans la figure suivante :

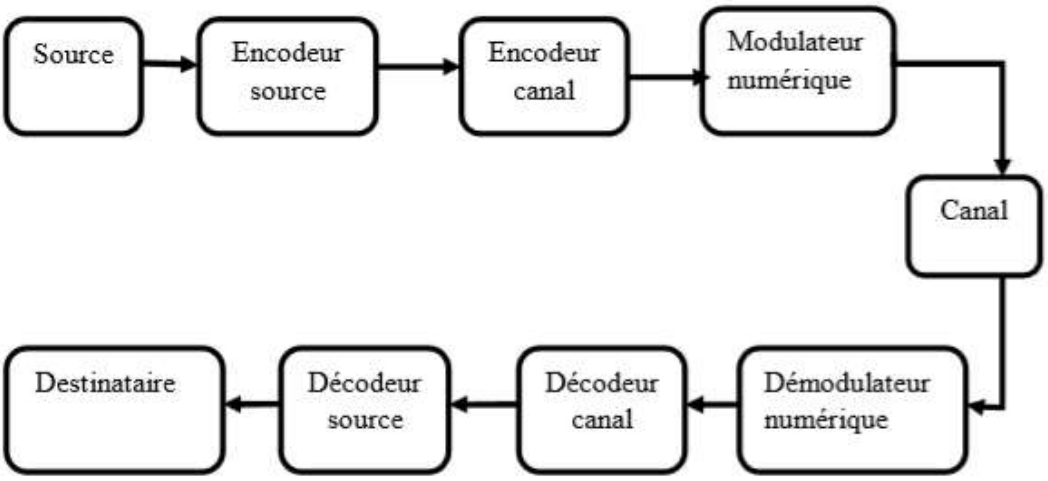


Figure I. 1: Fonctionnement de la chaine de transmission .

I.2.1 Parties émission :

- **codage de source :**

Dans un système de communication numérique, le message produit par la source peut être un signal analogique ou un signal numérique. Si le message est analogique, il doit être numérisé. La numérisation consiste à échantillonner le message analogique puis à quantifier les échantillons obtenus. Chaque échantillon quantifié est ensuite codé sur un élément binaire appelé bit.

Dans la transmission il peut réduire le nombre de bits requis pour convertir un message donné. C'est le codage de source qui assure l'élimination des bits redondants (ou surplus), en minimisant les bits sans diminuer la qualité d'information c'est-à-dire de délivrer une source aussi proche que possible d'une source idéal.

Les bits d'informations émis peuvent prendre les valeurs 0 ou 1, avec des probabilités P_0 et P_1•La source est caractérisée par son débit binaire $D_b = 1/T_b$(ou T_b est le temps de bit en s) [2]. L'information binaire produit des bits d'informations à un taux de transmission égal à $R_{bits/s}$.

À chaque intervalle de temps T, cette source produit une séquence de longueur :

$K=RT$ et $R = D_b$ (I.1).

De cette façon, le taux de transmission binaire est défini de la manière suivante :

$$R = 1/T \log_2 M = Ds.\log_2 M \quad \text{(I.2).}$$

Chacun des M messages est alors assigné à un signal choisi parmi un ensemble de M signaux possibles de durée T [3].

- **codage de canal**

Après la numérisation et le codage de source, il existe une fonction spécifique pour des transmissions numériques qui permet d'améliorer la qualité de transmission. Cette fonction est appelée « codage de canal » qui a pour objectif de détecter et/ou corriger des erreurs en réception. Le codage de canal insère des éléments binaires dans la séquence d'information.

- **La Modulation**

La modulation numérique est l'opération permettant la transformation des bits en un signal compatible avec le canal de transmission pour limiter les absorptions atmosphériques et encourager la propagation sans fil. Elle traduit le message binaire en signal permettant son transport dans les milieux tels que l'air, l'eau, les câbles etc.

Si on parle mathématiquement, de manière générale, le signal à émettre peut s'exprimer :

$$s(t) = a(t)\cos(\pi fct + \phi(t)) \quad \text{(I.3).}$$

a(t)étant l'enveloppe du signal, f_c étant sa fréquence centrale et θ(t)sa phase.

La modulation adapte le spectre du signal au canal. On module la phase, la fréquence et/ou l'amplitude d'une onde porteuse centrée sur la bande de fréquence du canal. Parmi les différents types de modulation on trouve :

• Modulation par Déplacement d'Amplitude MDA (Amplitude Shift Keying ASK).

• Modulation par Déplacement de Phase MDP (Phase Shift Keying PSK).

• Modulation par Déplacement de Phase Différentiel MDPD (Différentiel Phase Shift Keying DPSK).

• Modulation d'amplitude de deux porteuses en quadrature MAQ (Quadrature Amplitude modulation QAM)

• Modulation par Déplacement de Fréquence MDF (Fréquence Shift Keying FSK)

En général, les techniques de modulation sont choisies en fonction des contraintes et performances que l'on voudrait obtenir car chacune d'elles présente une certaine probabilité d'erreurs en fonction du rapport signal sur bruit. La modulation M-QAM, par exemple, est un mélange de modulation en amplitude et en phase, les symboles sont alignés horizontalement et verticalement dans la diagramme de constellation.

Dans le cas de la modulation M-PSK, le signal en bande de base est modulé en phase. [2]

La communication numérique moderne repose sur la modulation par déplacement de phase, où les symboles sont créés sur la base des décalages de phase. Il existe une variété de techniques de modulation de phase dans la communication numérique comme Binary Phase Shift Keying (BPSK), Quadrature modulation par déplacement de phase (QPSK), etc.

Nous avons utilisé la modulation par déplacement binaire BPSK dans notre projet que la technique de modulation numérique. Ici, chaque bit est représenté par un seul symbole. 1 correspondra au symbole 1 ie S1 et zéro correspondra au symbole 2 ie S2.

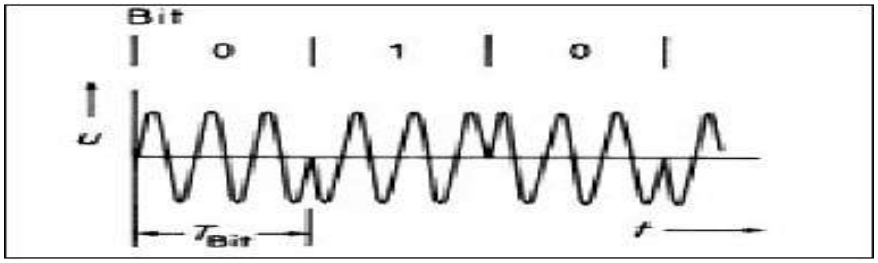


Figure I. 2: Un exemple typique de modulation BPSK

La modulation BPSK produit des taux d'erreur binaire inférieur par rapport à la technique de modulation où plusieurs bits sont mappés en un symbole unique. Par exemple, en QPSK une combinaison de deux bits est utilisée pour représenter un symbole de manière à former quatre symboles (ainsi nommé en quadrature). À la suite de plus de bits utilisés pour représenter les symboles du récepteur doit être plus sensible et si la FigureI.3 se traduirait par des taux d'erreurs sur les bits qui sont supérieurs à ceux désirés [4].

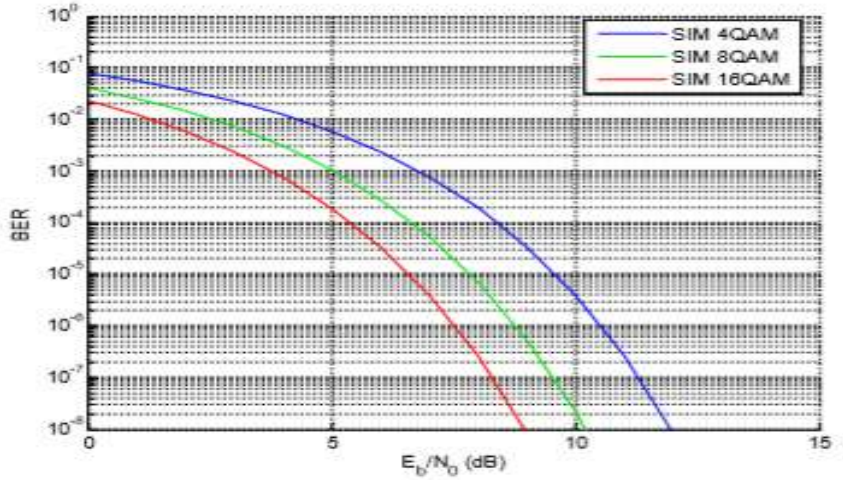


Figure I. 3: Un exemple BER=f(RSB) du M-QAM

I.2.2 Partie réception :

- **Démodulation :**

Elle traduit le signal reçu en message binaire. Le filtre d'adaptation peut être employé avant le traitement de décision, afind'augmenter les performances en vers les erreurs (meilleur S/N ou faible taux d'erreur à la réception: récepteur optimal).

- **Décodage de canal :**

Il détecte et/ou corrige les erreurs de transmission grâce aux éléments binaires ajoutés lors du codage**.**

- **Décodage de source :**

Le décodage source consiste à reconstituer, par l'application de l'algorithme dedécodage source (décompression par exemple), l'information originale à partir de la séquence de substitution.

I.3 La Modulation Numérique :

I.3.1 Caractéristiques d'une modulation numérique :

- **La rapidité de modulation R :** se définit comme étant le nombre de changements d'états par seconde d'un ou de plusieurs paramètres modifiés simultanément. Un changement de phase du signal porteur, une excursion de fréquence ou une variation d'amplitude sont par définition des changements d'états. La "rapidité de modulation" R=1/T s'exprime en "bauds".
- **Le débit binaire D :** se définit comme étant le nombre de bits transmis par seconde. Le "débit binaire » D=1/Tb s'exprime en "bits par seconde". Pour un alphabet M-aire, on a la relation fondamentale: T=nTb soit D=nR. Il y a égalité entre débit de source et rapidité de modulation uniquement dans le cas d'une source binaire (alphabet binaire). La qualité d'une liaison est liée au taux d'erreur par bit :

T. E.B =Nombre de bits faux/ Nombre de bits transmis

On notera la différence entre Pe et TEB. Au sens statistique, on a Pe = E(TEB). TEB tend vers Pe si le nombre de bits transmis tend vers l'infini.

E(x) : représente l'espérance mathématique de x.

- **L'efficacité spectrale :** d'une modulation se définit par le paramètre $\eta=D/B$ et s'exprime en "bit/seconde/Hz". La valeur D est le « débit binaires" et B est la largeur de la bande occupée par le signal modulé. Pour un signal utilisant des symboles Maires, On aura $\eta=1/T.B \log_2 M$. Bit/sec/Hz. Remarquons que pour B et T donnés, L'efficacité spectrale augmente, comme on pouvait s'y attendre, avec le nombre de bit/symbole en=$\log_2 M$. C'est en effet la raison d'être de la modulation Maire **[5].**

I.3.2 Principe des modulations numériques [6]

Le signal modulant, obtenu après codage, est un signal en bande de base, éventuellement complexe, qui s'écrit sous la forme :

$$C(t) = \sum_k Ckg(t-kt) = \sum_k Ck(t) \quad \text{(I.4).}$$

tel que : $C_k(t) = a_k(t) + j_b k(t)$ (I.5).

La fonction g(t) est une forme d'onde qui est prise en considération dans l'intervalle [0, T[puisque t doit vérifier la relation : kT = t <(k+1)T.

Dans les modulations ASK, PSK et QAM, la modulation transforme ce signal c(t) en un signal modulé m(t) tel que :

$$m(t) = R_e\left(\sum_k c_k(t) \exp(jw_0 t + \varphi_0) \right) \quad \text{(I.6).}$$

La fréquence $f_0 = w_0/2\pi$ et la phase φ0 caractérisent la sinusoïde porteuse utilisée pour la modulation.

Si les $C_k(t)$ sont réels ($b_k(t)=0$), la modulation est dite unidimensionnelle, et s'ils sont complexes la modulation est dite bidimensionnelle.

Le signal modulé s'écrit aussi plus simplement :

$$m(t) = \sum_k a_k(t).\cos(w_0 t + \varphi_0) - \sum_k b_k(t).\sin(w_0 + \varphi_0) \quad \text{(I.7).}$$

Ou encore : $m(t) = a(t).\cos(w_0 t + \varphi_0) - b(t).\sin(w_0 t + \varphi_0)$ (I.8).

En posant : $a(t) = \sum_k a_k(t)$ et $b(t) = \sum_k b_k(t)$ (I.9).

Le signal $a(t) = \sum_k a_k(t)$ module en amplitude la porteuse en phase cos ($\omega_0 t + \varphi_0$) et le Signal $b(t) = \sum_k b_k(t)$ module en amplitude la porteuse en quadrature sin ($\omega_0 t + \varphi_0$). Dans la plupart des cas les signaux élémentaires $a_k(t)$ et $b_k(t)$ sont identiques à un coefficient près et ils utilisent la même forme d'impulsion g(t) appelée aussi "formant".

$a_k(t) = a_k.g(t-kT)$ et $b_k(t) = b_k.g(t-kT)$

Les deux signaux $a_k(t)$ et $b_k(t)$ sont aussi appelés "trains modulants" et s'écrivent :

$a_k(t) = \sum_k a_k.g(t-kT)$ et $b_k(t) = \sum_k b_k.g(t-kT)$

Les symboles aket b_k prennent respectivement leurs valeurs dans l'alphabet (A1, A2,… AM) etdans l'alphabet (B1, B2,… BM).

Le schéma théorique du modulateur est représenté sur la **figureI.5**

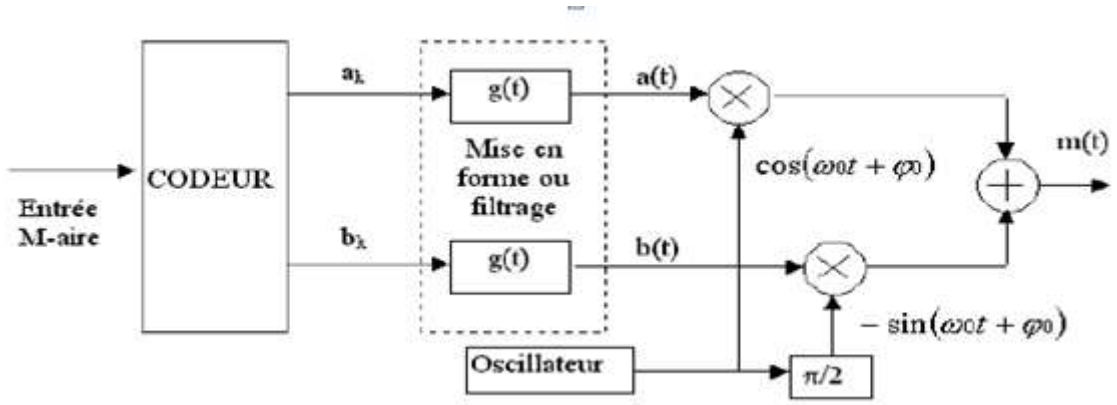


Figure I. 4: Forme générale du modulateur QPSK.

Les symboles peuvent être représentés **(voir figure. I.4)** dans un espace à deux dimensions dont les vecteurs de base sont : g(t-kT).cos ($\omega_0 t + \varphi_0$) et –g (t-kT).sin($\omega_0 t + \varphi_0$) (décomposition de Fresnel).

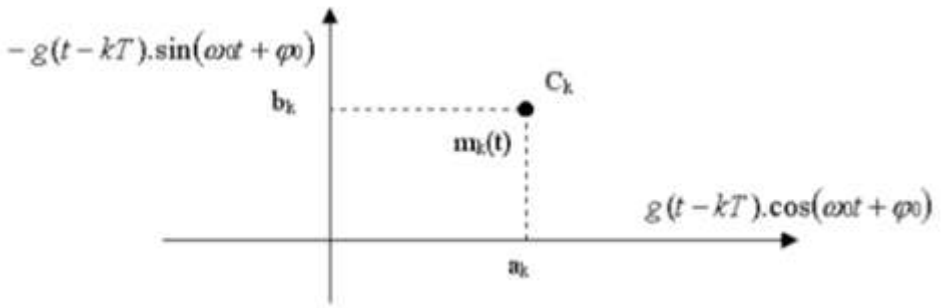


Figure I. 5:Position d'un symbole dans le plan de Fresnel.

Le signal modulé m(t) véhicule des informations distinctes à travers $a_k(t)$ et $b_k(t)$ qui sont deux signaux en bande de base appelés respectivement composante en phase et composante en quadrature. La récupération de $a_k(t)$ et $b_k(t)$ sera possible uniquement si ces deux signaux sont de bande limitée à l'intervalle [-B,B] avec $B<f_0$ (Condition de Rayleigh).

Une représentation dans le plan complexe qui fait correspondre à chaque signal élémentaire un point $C_k = A_k + jB_k$ permet de différencier chaque type de modulation. L'ensemble de ces points associés aux symboles porte le nom de constellation: voir (Figure I.6).

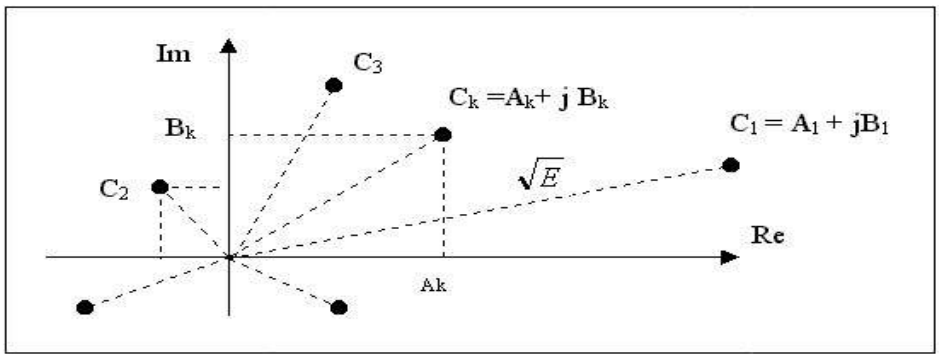


Figure I. 7: Définition d'une constellation numérique.

Le choix de la répartition des points dépend des critères suivants :

-Pour pouvoir distinguer deux symboles, il faut respecter une distance minimale D_{min}, entre les points représentatifs de ces symboles. Plus cette distance est grande et plus la probabilité d'erreur sera faible. La distance minimale entre tous les symboles est :

$$d_{min}=MIN(d_{ij})$$

$$Avecd_{ij}= \quad |Ci-Cj|^2 \qquad (I.10).$$

Ceci est à rapprocher avec la définition de la distance de Hamming.

-A chaque symbole émis correspond un signal élémentaires $m_k(t)$ et par là même une énergie nécessaire à la transmission de ce symbole. Dans la constellation, la distance entre un point et l'origine est proportionnelle à la racine carrée de l'énergie qu'il faut fournir pendant l'intervalle de temps [kT, (k+1)T[pour émettre ce symbole. La puissance moyenne d'émission des symboles est assimilable à $\sum_i|Ci|^2$ et la puissance crête a $Max_i|Ci|^2$

Les deux critères évoqués ci-dessus sont antagonistes puisque l'on serait tenté d'une part d'éloigner les symboles au maximum pour diminuer la probabilité d'erreur et d'autre part, de les rapprocher de l'origine pour minimiser l'énergie nécessaire à la transmission.

I.3.2.1 Modulation par Déplacement d'Amplitude (ASK)[6]

Dans ce cas, la modulation ne s'effectue que sur la porteuse en phase cos ($\omega_0 t + \varphi_0$) Il n'y a pas de porteuse en quadrature. Cette modulation est parfois dite mono dimensionnelle. Le signal modulé s'écrit alors :

$$m(t) = \sum_k a_k .g(t-kT).\cos(w_0 t + \varphi_0) \qquad (I.11)$$

La forme de l'onde g(t) est rectangulaire, de durée T et d'amplitude égale à 1 si t appartient à l'intervalle [0, T] et égale à 0 ailleurs.

Le symbole a_k prend sa valeur dans l'alphabet (A1, A2,… AM). Autrement dit, cet alphabet met en évidence les $M= 2^n$ amplitudes possibles du signal, la valeur n désignant les groupements de N bits

ou symboles à émettre. Les changements d'amplitude de la porteuse se produiront au rythme R de la transmission des symboles.

La constellation de la modulation à M états symétriques est donnée **figure I.8** pour M prenant comme valeurs 2, 4.

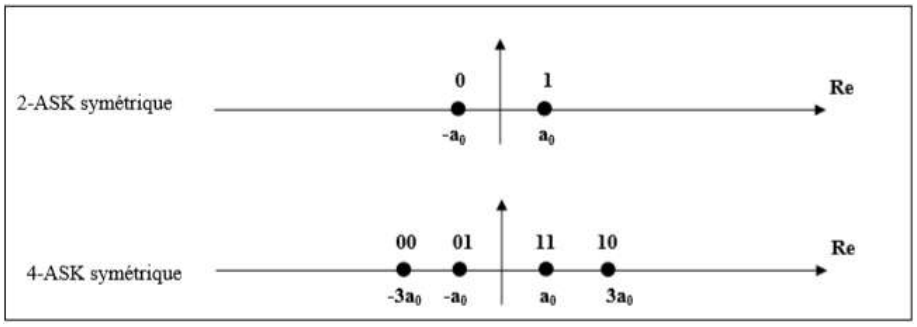


Figure I. 8:Constellation de la modulation d'amplitude à M états.

On remarquera que la disposition des symboles met en œuvre un code de Gray de telle sorte qu'un seul bit change lorsque l'on passe d'un point à un autre.

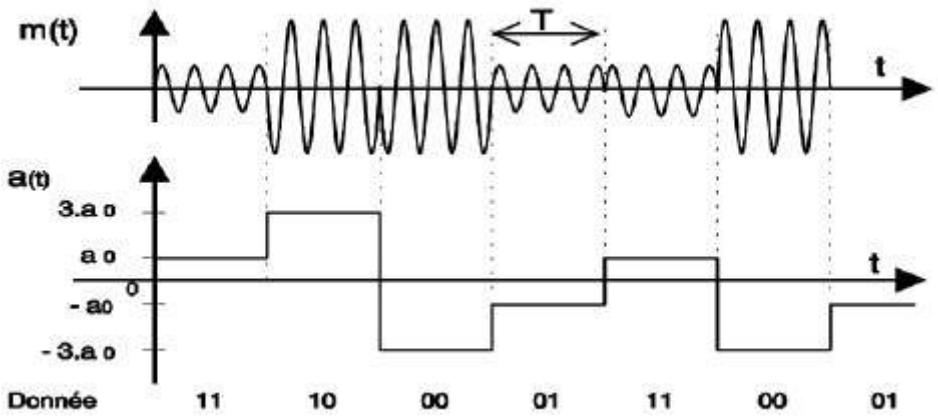


Figure I. 9: Modulation d'amplitude 4ASK Symétrique.

La figure. I.9 met en évidence que deux bits sont transmis simultanément à chaque période T. Elle met aussi en évidence qu'il n'est pas question ici de pratiquer une détection d'enveloppe à la réception.

- **Les performances de la modulation ASK**

Pour pouvoir comparer les différentes modulations entre elles, il est d'usage d'exprimer la probabilité d'erreur on fonction du rapport signal sur bruit E_b/N_0 dans lequel :

Eb : représente l'énergie émise par bit.

N0 : représente la densité spectrale de puissance de bruit

En fonction de ce rapport, on trouve que la probabilité d'erreur par symbole est donnée par la relation [6]:

$$p_s(e) = \frac{M-1}{M} erfc\left(\sqrt{\frac{3\log_2 M.E_b}{(M^2-1).N_0}}\right)$$

Avec :erfc(x)= $\frac{2}{\sqrt{\pi}} \int_x^{+\infty} \exp(-t^2)dt$ (I.12)

I.3.2.2 Modulation par Déplacement de phase (PSK)

La modulation de phase, PSK est définit par la répartition des symboles Ck sur un cercle, et par conséquent l'ensemble des phases possibles se traduit alors par les expressions suivantes :

$$\varphi_k = \frac{\pi}{M} + k\frac{2\pi}{M}, lorsque M > 2$$

$\varphi_k = 0$ ou π lorsque M =2 (I.13)

Lorsque M = 2 on parle de BPSK et quand M > 2 on parle de M-PSK.

Dans la modulation M- PSK, la forme générale du signal modulé est exprimée par :

$$S_m(t) = \sqrt{\frac{2E_s}{T}}.g(t).\cos\left(\frac{2\pi}{M}(m-1)\right)\cos(2\pi f_c t) - \sqrt{\frac{2E_s}{T}}.g(t).\sin\left(\frac{2\pi}{M}(m-1)\right)\sin(2\pi f_c t) \quad (I.14)$$

Où : E_s est l'énergie du signal.

Dans cette forme le signal Sm (t) est représenté par un vecteur de dimension deux (N=2) de la forme:

$$S_m(t) = [s_{m1}(t); s_{m2}(t)]$$

$$S_m(t) = \left[\sqrt{E_s}\cos\left(\frac{2\pi}{M}(m-1)\right); \sqrt{E_s}\sin\left(\frac{2\pi}{M}(m-1)\right)\right] \quad (I.15)$$

On appelle "M-PSK" une modulation par déplacement de phase (PSK) correspondant à des symboles M-aires. **La figure I.10** montre différentes constellations de PSK pour M= 2, 4 et 8.

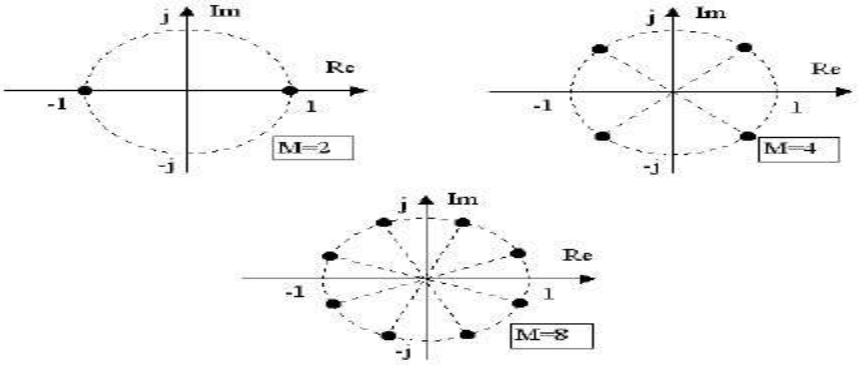


Figure I. 10: Constellation des symboles en modulation de phase M-PSK

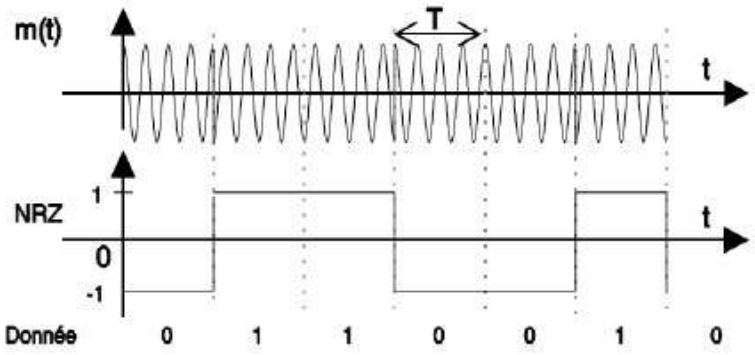


Figure I. 11: Chronogramme de la modulation de phase 2-PSK.

- **Les performances de la modulation PSK**

L'augmentation de M réduit la distance entre symboles adjacents sur la constellation et cela dégrade naturellement les performances.

Comme nous l'avions fait pour les ASK, il est possible de comparer les PSK entre elles, en utilisant la probabilité d'erreur par symbole $P_e$en fonction du rapport Eb/N0.

En fonction de ce rapport, on trouve que la probabilité d'erreur par Symbole est donnée par la relation [6] :

$$p_s(e) = erfc\left(\sqrt{\log_2 M . \frac{E_b}{N_0}} \sin\frac{\pi}{M}\right) \qquad \text{(I.16)}$$

I.3.2.3 Modulation d'amplitude sur deux porteuses en quadrature (QAM)[6]

La modulation ASK et la modulation PSK ne constituent pas une solution satisfaisante pour utiliser efficacement l'énergie émise lorsque le nombre de points M est grand. En effet, dans la modulation ASK les points de la constellation sont sur une droite, et dans la PSK les points sont sur un cercle. Or, la probabilité d'erreur est fonction de la distance minimale entre les points de la constellation, et la meilleure modulation est celle qui maximise cette distance pour une puissance moyenne donnée. Un choix plus rationnel est alors une modulation qui répartit les points uniformément dans le plan, ce type de modulation est dit bidimensionnel.

Le signal modulé m(t) est donc la somme de deux porteuses en quadrature, modulées en amplitude par les deux signaux a(t) et b(t). Son expression mathématique est la suivante :

$$m(t) = a(t)\cos(w_0 + \varphi_0) - b(t)\sin(w_0 t + \varphi_0) \qquad \text{(I.17)}$$

Les symboles a_k et b_k prennent respectivement leurs valeurs dans deux alphabets à M éléments (A1, A2, AM) et (B1, B2, BM) donnant ainsi naissance à une modulation possédant un nombre $E = M^2$ états. Chaque état est donc représenté par un couple (a_k , b_k) ou ce qui revient au même par un symbole complexe $c_k = ak + j\ b_k$.

Dans le cas particulier mais très fréquent où M peut s'écrire $M = 2^n$, alors les a_k représentent un mot de n bits et les b_k représentent aussi un mot de n bits. Le symbole complexe $c_k = a_k + j\ b_k$ peut par conséquent représenter un mot de 2n bits. L'intérêt de cette configuration est que le signal m(t) est alors obtenu par une combinaison de deux porteuses en quadrature modulées en amplitude par des symboles a_k et b_k indépendants.

De plus, les symboles a_k et b_k prennent souvent leurs valeurs dans un même alphabet à M éléments.

Par exemple, la 16-QAM est construite à partir de symboles a_k et b_k qui prennent leurs valeurs dans l'alphabet {±d ±3d} ou d est une constant donner une représentation de la constellation de cette modulation est donnée **figure I.12**. La 16-QAM a été souvent utilisée, notamment pour la transmission sur ligne téléphonique du RTC (à 9600 bit/s) et pour les faisceaux hertziens à grande capacité (140 Mbits/s) développés dans les années 1980.

Plus généralement lorsque les symboles a_k et b_k prennent leurs valeurs dans l'alphabet {±4d ±3d ±5d ±(M-1)d } avec $M=2^n$ on obtient une modulation a 2^{2n}états et une constellation avec un contour carré dont font partie la 4-QAM,la 16-QAM et la 256-QAM

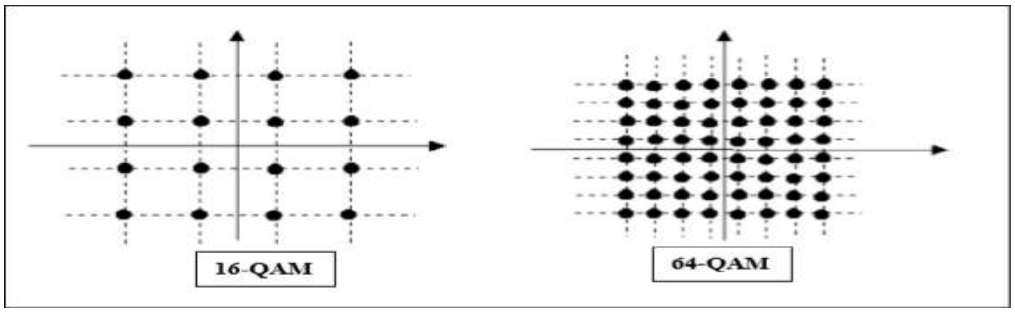


Figure I. 12: Constellations 16QAM et 64QAM.

I.3.2.4 Modulation par Déplacement de Fréquence (FSK)[6]

L'expression du signal modulé par déplacement de fréquence s'écrit aussi plus simplement, et en prenant $\varphi_0 = 0$, par :

$$m(t) = \cos(w_0 t + \varphi(t)) = \cos(2\pi f_0 t + \varphi(t)) \qquad \text{(I.18)}$$

C'est la dérivée de la phase φ(t) qui est reliée de façon simple (linéaire) à la valeur des symboles, le tout constituant une relation non linéaire.

La fréquence instantanée f(t) du signal m(t) est obtenue par dérivation de la phase $2\pi f_0 t + \varphi(t)$ par rapport au temps :

$$f(t) = f0 + \frac{1}{2\pi}\frac{d\varphi}{dt} \qquad \text{(I.19)}$$

Dans cette expression f_0 représente la fréquence centrale : $f0 = \frac{w0}{2\pi}$ et $\frac{1}{2\pi}\frac{d\varphi}{dt}$

Représente la déviation de fréquence par rapport à la fréquence f_0.

Appelons Δf la différence de la fréquence instantanée correspondant à l'émission de deux symboles adjacents.

La fréquence instantanée est donnée par :

$$f(t) = f0 + \frac{\Delta f}{2} ak \qquad (I.20)$$

L'expression du signal modulé est :

$$m(t) = cos\ (2\pi\ (f0 + \frac{\Delta f}{2} ak)t \qquad (I.21)$$

I.4 Le canal de transmission :

C'est l'élément physique par lequel les informations de la source seront transmises au récepteur. Selon la nature des signaux, les canaux sont de nature différente :

- ✓ Atmosphère : ondes électromagnétiques ou ondes Hertziennes.
- ✓ Câble coaxial : paire torsadée : signaux électriques (tensions, courants).
- ✓ Fibre optique : ondes électromagnétiques optiques (lumière visible, infrarouge, …).

Quel que soit le canal utilisé, ils ont tous un point commun qui sont la perturbation du signal due au bruit, ce qui dégrade la qualité du message.

Les canaux de transmission peuvent être classés selon l'effet qu'ils ont sur le signal.

On distingue :

I.4.1 Canal à bruit additif blanc gaussien

Le modèle du canal le plus fréquemment utilisé pour la simulation de transmissions numériques, qui est aussi un des plus faciles à générer et à analyser, est le canal à bruit blanc additif gaussien (en anglais : AWGN). Ce bruit modélise à la fois les bruits d'origine interne (bruit thermique dû aux imperfections des équipements...) et le bruit d'origine externe (bruit d'antenne...). Ce modèle est toutefois associé à une transmission filaire, puisqu'il représente une transmission quasi-parfaite de l'émetteur au récepteur [7]. Le signal reçu s'écrit alors :

$$r(t) = e(t) + b(t) \qquad (I.22)$$

Où $b(t)$ représente un bruit AWGN caractérisé par un processus aléatoire gaussien, *e(t)* est le signal émis et *r(t)* est le signal reçu.

I.4.2 Canal à évanouissements [7].

Les communications radio ont souvent besoin d'un modèle élaboré prenant en compte les différences de propagation du milieu, appelées encore atténuations ou évanouissements, qui affectent la puissance du signal transmis. Cette atténuation est principalement due à:

- **L'effet Doppler [8]** : est une variation temporelle du canal due à un mouvement relatif de l'émetteur et du récepteur. Le signal reçu est sujet à un décalage aléatoire de fréquence variant entre F_d et $-F_d$ avec :

$$F_d = f_c\left(\frac{v}{c}\right) . Cos\ \Theta \qquad (I.23)$$

Avec : c : Célérité de la lumière.

v : Vitesse radiale entre l'émetteur est le récepteur.

Θ : l`angle entre le vecteur vitesse et la ligne émetteur récepteur.

f_c : La fréquence de l`onde incidente.

f_d : La fréquence Doppler [9].

- **L'effet multi trajets**: dû à un environnement de propagation riche en échos, qui provoque la variation en phase et en amplitude du signal, ainsi que la variation fréquentielle du canal de propagation (sélectivité fréquentielle).

On peut distinguer deux types de canaux à effet multi trajets qui sont :

- **Le canal de Rayleigh** : c'est le modèle du canal le plus couramment utilisé pour les communications radio mobiles si on considère qu'il n'existe pas de trajets directs entre l'émetteur et le récepteur. •
- **Le canal de Rice**: c'est un canal multi trajets avec l'existence d'un trajet direct prépondérant en puissance entre l'émetteur et le récepteur [7].

Un autre effet dû aux canaux de transmission est celui des interférences entre symboles (IES) qui affaiblissent les performances de la détection qui peut être réduit par l'adjonction d'un filtre de Nyquist dans la chaîne de transmission et le problème de synchronisation qui peut être réglé en introduisant un bloc de récupération du rythme.

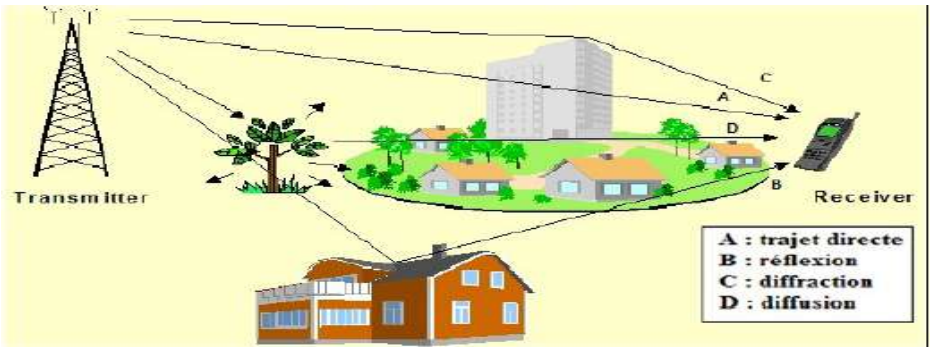


Figure I. 13: Exemple de canal radio-mobile soumis aux multi-trajets

I.5 La diversité :

En présence de multi-trajets, l'évanouissement à petite échelle dégrade la performance des systèmes de transmission. Pour lutter contre cet évanouissement, le récepteur est capable de recevoir plusieurs versions du signal émis à travers différents canaux. Pour avoir un bon gain de diversité, l'évanouissement dans un canal devrait être non corrélé par rapport aux autres canaux et la puissance moyenne disponible dans chaque canal devient quasi-identique.

Les techniques de diversité se révèlent comme un outil très important pourcombattre les évanouissements. [10]

I.5.1 Diversité temporelle :

L'information est répétée dans le temps à intervalle plus grand que le temps decohérence du canal (durée minimale séparant deux évanouissements selon un certain degré dedécorrélation). Le désavantage de la diversité temporelle est évidemment le retard induit par la diversité, ce qui réduit le débit de transmission.

I.5.2 Diversité de fréquence :

Le même signal est retransmis sur plusieurs fréquences porteuses. L'écart fréquentiel est supérieur à la bande de cohérence du canal (ou l'espace fréquentiel minimal entre deuxfréquences affectées d'évanouissements indépendants). On a le même désavantage de ladiversité de fréquence que celui de la diversité temporelle. On perd l'efficacité spectrale quiest liée au débit de transmission.

I.5.3 Diversité spatiale :

La diversité spatiale aussi (diversité d'antenne ou diversité matricielle). Elle consiste à émettre ou recevoir l'information par plusieurs antennes séparées dans l'espace d'au moins la distance de cohérence qui correspond à la séparation minimale des antennes garantissant un évanouissement indépendant. L'objectif est d'avoir plusieurs antennes séparées d'une distance suffisante pour assurer la dé corrélation des canaux. La distance nécessaire dépend de divers éléments soit du terrain, de l'environnement et de l'antenne elle-même. Des mesures empiriques ont montré une forte corrélation entre la hauteur de l'antenne d'une station de base et la distance de cohérence.

I.6 Codage espace-temps pour les systèmes MIMO :

I.6.1 Modèle de système MIMO :

L'idée de base des systèmes MIMO est très simple puisqu'il s'agit d'associer la diversité spatiale à l'émission à la diversité spatiale à la réception. Il s'agit en quelque sorte d'une extension des "antennes intelligentes"utilisé dans les systèmes sans fil traditionnels, ce concept regroupe les

techniques de traitement du signal qui exploitent la multiplicité d'antennes d'un seul côté de la liaison (souvent d'ailleurs au niveau de la station de base pour des raisons évidentes d'encombrement spatial). La multiplicité autorise une communication plus sûre et permet d'éviter les désagréments inhérents aux conditions de propagation, tels les trajets multiples et les évanouissements. Si les antennes sont multiples à l'émission, on parle avec de liaison MISO (Multiple-Input Single Output), et dans le cas inverse de liaison SIMO (Single Input Multiple-Output). La formation de faisceaux est une application particulière de ce type de système qui consiste à augmenter le SNR en regroupant l'énergie dans des directions privilégiées, évitant ainsi les évanouissements trop profonds et les interférences.

Par ailleurs, lorsqu'on utilise plusieurs antennes à l'émission ou à la réception, la probabilité de perdre toute l'information diminue exponentiellement avec le nombre d'antennes décarrelées. C'est le phénomène de diversité spatiale et l'ordre de diversité est défini par le nombre de branches décorrélées.

Les avantages des systèmes MIMO vont cependant bien au-delà de ceux des antennes intelligentes. Le fait de placer des antennes des deux côtés de la liaison crée une matrice de canal et donne la possibilité de transmettre de l'information par plusieurs modes spatiaux de cette matrice sur le même créneau spatiotemporel et sans puissance supplémentaire. Si cela peut paraître simple intuitivement, il aura tout de même fallu attendre les travaux rigoureux de démonstration de Foschini et Telatar [11] pour que des systèmes pratiques de ce type soient mis en œuvre.

Considérons un système MIMO avec n_R récepteurs et n_T émetteurs. On suppose que la bande de fréquence utilisée pour la transmission est assez étroite pour que le canal soit non sélectif en fréquence. Chaque trajet entre une antenne émettrice et une antenne réceptrice peut alors être caractérisé par un gain complexe h_{ij} représentant le coefficient d'évanouissement entre le i^e émetteur et le j^e récepteur. A la réception, chaque antenne reçoit la somme des symboles si transmis simultanément par chacune des n_T antennes émettrices. Le signal $r_j$reçu par la j^e antenne peut par conséquent s'écrire de manière discrète:

$$rj = \sum_{i=0}^{n} hij\ si + vj \qquad (I.24)$$

où v_j représente un échantillon du bruit qui perturbe le signal, généralement considéré comme AWGN.

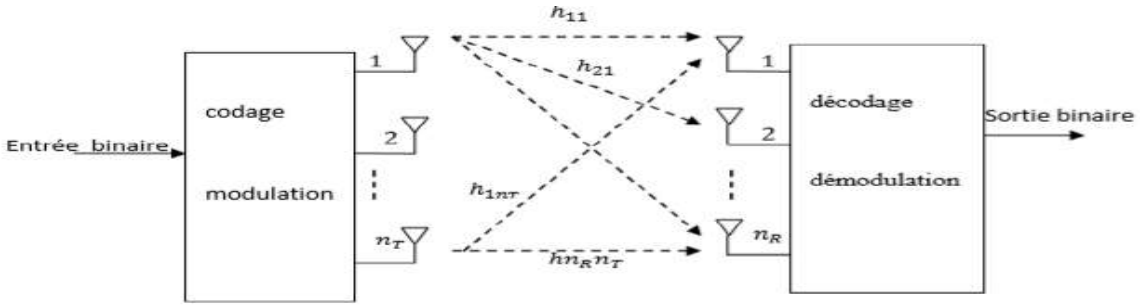


Figure I. 14: Représentation des différents trajets entre antennes émettrices et réceptrices.

Si l'on considère sent l'ensemble des symboles reçus simultanément par les antennes, le système peut s'écrire sous la forme matricielle suivante:

$$r = H_s + v \qquad \text{(I.25)}$$

Où **Hs** est la matrice de canal de taille n_R * $n_T$définie par l'ensemble des trajets:

$$H=\begin{pmatrix} h_{11} & h_{12} & \dots h_{1N_t} \\ h_{21} & h_{22} & \dots h_{2N_t} \\ \vdots & \ddots & \ddots \vdots \\ h_{N_{r1}} & h_{N_{r2}} & \dots h_{N_r N_t} \end{pmatrix}$$

Dans la plupart de cas, on suppose que le canal est sans mémoire, i.e., pour chaque bloc de symboles émis la matrice H est tirée indépendamment et aléatoirement selon la loi qui s'adapte le mieux au type de transmission envisagé. Cela veut dire que la capacité du système peut être calculée comme le maximum d'information mutuelle.

La majorité des systèmes suppose par ailleurs une parfaite connaissance du canal (CSI) à la réception, tandis que la connaissance du canal à l'émission n'est envisagée que dans certaines architectures et sous certaines conditions. En pratique, le canal est estimé par le récepteur à chaque paquet transmis grâce à une séquence d'apprentissage. Dans un contexte de communication purement aveugle, une stratégie peut consister à recourir à l'égalisation aveugle. D'un autre côté, les limites fondamentales des systèmes MIMO en termes de capacité sont approchées si les signaux transmis par les différentes antennes sont orthogonaux et si la répartition de l'énergie sur ces dernières est uniforme [12]. De ces études sont nées différentes architectures spatio-temporelles unitaires ou différentielles.

I.6.2 Capacité des canaux MIMO :

Pour les formules de capacité, les notations suivantes sont utilisées :

- La puissance du bruit est identique sur chaque antenne de réception et est notée δ^2

-$P_R$est défini comme la puissance moyenne qui serait reçue sur chaque antenne si un seul émetteur utilisait toute la puissance P_0(donc un canal SIMO).

– Le rapport signal sur bruit moyen (SNR) sur chaque antenne de réception est $\rho_R=P_R$,est indépendant de n_t

La capacité des systèmes MIMO est présentée des articles, dont nous ne présentons ici que les éléments de base pour montrer l'intérêt des transmissions MIMO. Nous supposons que la puissance totale moyenne émise P_0reste constante afin de pouvoir comparer les différentes capacités. Lorsque le nombre d'antennes varie à l'émission, la puissance est répartie entre les N_r antennes de façon que leur somme reste égale à P_0∗Si aucune connaissance du canal n'est disponible à l'émetteur, la répartition de puissance uniforme est optimale en terme de capacité.

- **Canal SISO :**

La capacité d'un canal SISO est :

$$C = \log_2(1+\rho_R) bps/Hz \quad \text{(I.26)}$$

Elle augmente lentement, en fonction du logarithme de 1+ ρ_RLorsque le SNR est élevé, un gain de 3 dB sur $\rho_R$ne fournira une augmentation de capacité que d'un bit par seconde par hertz (bps/Hz).

- **Canal SIMO :**

La capacité d'un canal SIMO (Single Input, Multiple Output) est donnée par :

$$C = \log_2(1+\rho_R n_R{}^2) bps/Hz \quad \text{(I.27)}$$

Sa capacité augmente en fonction du logarithme de 1+ $\rho_R n_R{}^2$ soit un peu plus rapidementque dans le cas SISO. Elle reste toutefois petite devant celle du canal MIMO, car ladimension spatiale du système n'est que partiellement exploitée.

- **Canal MIMO :**

Pour un canal MIMO, avec une puissance de ρ_0/n_R sur chaque antenne d'émission, la capacité est :

$$C = \log_2\left(\det\left[I_{nR} + \rho_R / n_T HH^*\right]\right) bps/Hz \quad \text{(I.28)}$$

En particulier lorsque n_R et n_T sont grands, l'espérance de la capacité pour un canal de Rayleigh croit proportionnellement avecn_T :

$$C \approx n_T \log_2(1+\rho_R) bps/Hz \quad \text{(I.29)}$$

I.6.3 Gain des systèmes MIMO :

I.6.3.1 Gain de diversité spatiale:

Dans un canal de transmission sans fil, la puissance reçue varie dans le temps, en fréquence et dans l'espace. La diversité est alors utilisée pour combattre ces évanouissements. L'idée principale consiste à utiliser à la réception plusieurs répliques du signal. Plus le nombre de réplique augmente, plus la probabilité que toutes les répliques subissent simultanément, un évanouissement diminue. Avec les systèmes MIMO, on dispose d'une nouvelle forme de diversité : la diversité spatiale.

L'ordre de diversité est en fonction du nombre d'antennes à l'émission et à la réception. En pratique, pour mettre à profit cette diversité, il est nécessaire d'utiliser un code spatio temporel. [18]

I.6.3.2 Gain de multiplexage:

Lorsque les évanouissements des différents canaux sont indépendants, on peut montrerque la matrice de canal est de rang plein avec une grande probabilité. Il est alors possiblede voir le canal MIMO comme un ensemble de canaux SISO en parallèle. En transmettant des flux d'information dans chacun de ces canaux, il est possible d'augmenter le débit d'information. Il en résulte un gain dit de multiplexage. [18]

I.6.4 Codage spatio-temporels :

Les codes spatio-temporel offrent à la fois de la diversité et du gain de codage tout en améliorant l'efficacité spectrale.

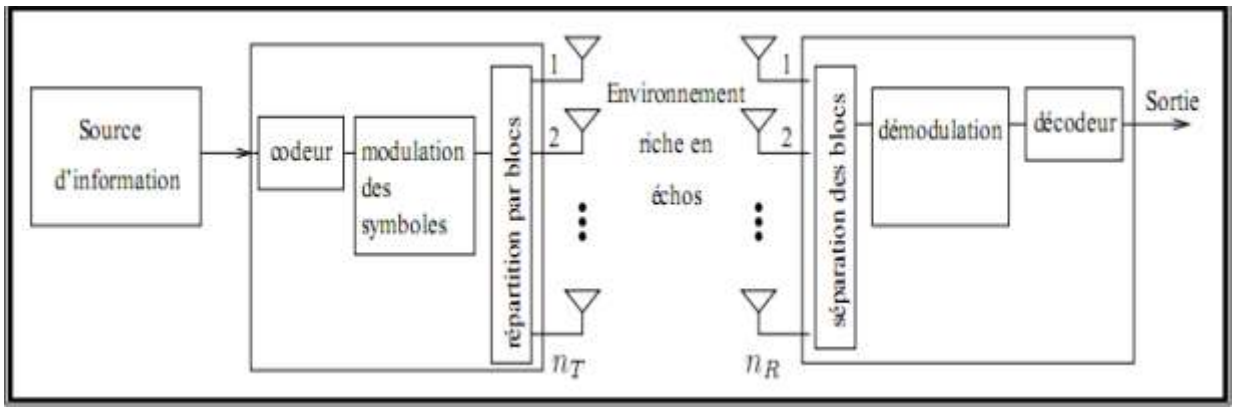


Figure I. 15: Une chaine de transmission utilisant le codage espace-temps.

Les codes spatio-temporels se divisent en deux familles: les codes spatio-temporels en treillis (STTC) et les codes spatio-temporel en bloc (STBC).

Les codes STTC sont une généralisation des modulations codées en treillis aux canaux MIMO. Bien que les performances obtenues par ces codes soient excellentes, la complexité du décodage est exponentielle avec le rendement [19].

I.6.4.1 Codage spatio-temporel en treillis STTC :

Proposé originellement par Tarokh et al des laboratoires de recherche AT&T, il combine le codage de canal avec la modulation sur les antennes émettrices, et peut être considéré comme une extension des codes en treillis classiques [15] au cas des antennes multiples à l'émission et à la réception. Si le code est bien construit, on peut ajouter à l'avantage évident de diversité un gain de codage loin d'être négligeable.

Le STTC crée des relations entre les signaux à la fois dans l'espace (plusieurs antennes émettrices) et dans le temps (symboles consécutifs). Le codeur est composé de polynômes générateurs qui

déterminent les symboles émis simultanément. La Figure I.16 propose le diagramme de treillis d'un STTC à 4 états utilisant une modulation simple4PSK, avec un nombre d'antennes émettrices n_T=2.

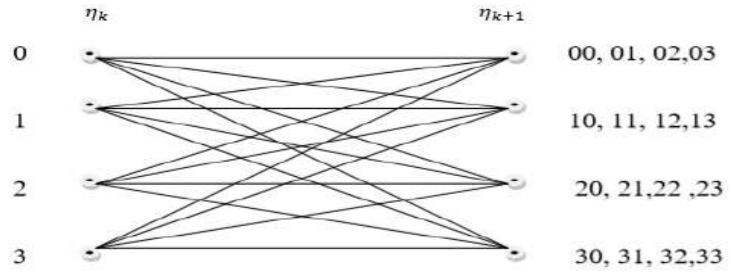


Figure I. 16: Diagramme de treillis pour un STTC à 4 états utilisant n_T = 2 émetteurs et une modulation 4PSK.

Le fonctionnement du codeur est relativement simple, et peut être résumé comme suit:

- η_k représente l'état du treillis à l'instant k et par conséquent l'état suivant est noté η_{k+1}
- Considérons que le treillis est à l'état initial $\eta_k = 0$.
- L'état suivant du treillis dépend des bits d'information à coder. Ainsi, si les deux bits à coder sont 11, alors l'état suivant prend la valeur décimale équivalente c'est-à-dire $n_{k+1} = 3$
- Les symboles à droite du treillis sont les codes associés à chaque doublet d'éléments binaires entrants.

Dans notre cas ($n_k = 0$ et $n_{k+1}= 3$) le doublet à la sortie du codeur est donc 30 (3 sur la première antenne et 0 sur la seconde).

– Ces symboles sont alors mis en forme par la 4PSK avant l'émission par leur antenne respective.

Il est intéressant de noter les similitudes et les différences entre les modulations codées à treillis multiple (MTCM) et les STTC [16]. Dans les STTC, les symboles associés à une branche du treillis sont répartis dans l'espace (les antennes), alors qu'ils sont répartis dans le temps pour les MTCM. En considérant le même alphabet, l'efficacité spectrale des STTC est donc fois plus grande que celle des MTCM. De plus, contrairement aux MTCM qui nécessitent un entre laceur pour créer un canal sans mémoire, les symboles transmis par les STTC sont naturellement décorrélés (ou très légèrement corrélés) grâce à la séparation physique des antennes.

I.6.4.2 Codage spatio-temporel en bloc STBC :

Du point de vue historique, le premier schéma STBC et le plus simple a été proposé par S.M.Alamouti [17]. Il a présenté comme l'illustre les figures I.17 et I.18 deux systèmes de transmissions dotés d'une diversité de deux antennes en émission en considérant les cas d'un et de deux antennes en réception. Ces résultats sont très utilisés et cette technique est déjà introduite dans les standards de réseaux comme c'est le cas avec le W –CDMA et le CDMA-2000. On s'est servi de son schéma comme référence pour procéder à la généralisation aux cas beaucoup plus complexes

de plusieurs antennes. On peut définir la technique d'Alamouti à partir de fonctions suivantes : la séquence de transmission et encodage, schème de combinaison au récepteur afin de faciliter la détection des symboles transmis avec une base du maximum de vraisemblance. [17]

- **Le cas d'une seule antenne de réception:**

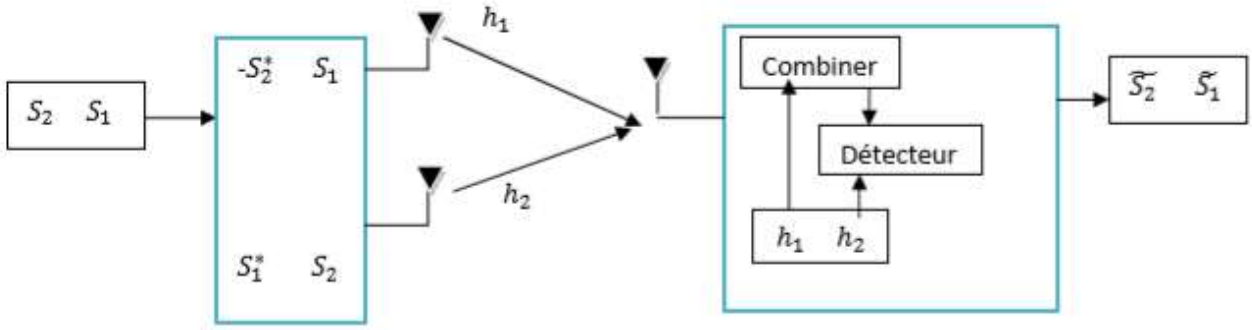


Figure I. 17: Schéma d'Alamouti avec deux antennes émettrices et une antenne réceptrice.

- **Séquence de transmission et encodage :**

Le STBC fait partir de la famille des techniques exploitant la diversité temps espace à l'émission. Cette technique se base sur la diversité d'antennes à l'émission pour construire un schéma de transmission. A la réception, la détection des symboles transmis se fait en combinant les différents signaux reçus consécutivement dans le temps.

	Antenne Tx^1	Antenne Tx^2
Temps t	S_1	S_2
Temps t+T	$-S_2^*$	S_1^*

Tableau I.1: transmission dans le temps

- **Schéma de combinaison au récepteur :**

Les signaux reçus sont :

$$r_1 = h_1 s_1 + h_2 s_2 + n_1$$

$$r_2 = -h_1 s_2^* + h_2 s_1^* + n_2 \qquad \text{(I.29)}$$

Où r_0 et r_1 sont les signaux reçus aux temps t et t+T, n_0 et n_1 étant les variables aléatoires représentant le bruit et l'interférence au récepteur.

Avant que les signaux reçus soient envoyés au décodeur, ils sont combinés comme suit :

$$\widetilde{S}_1 = h_1^* r_1 + h_2 r_2^*$$

$$\widetilde{S}_2 = h_2^* r_1 - h_1 r_2^* \qquad \text{(I.30)}$$

- **Cas de deux antennes en réception**

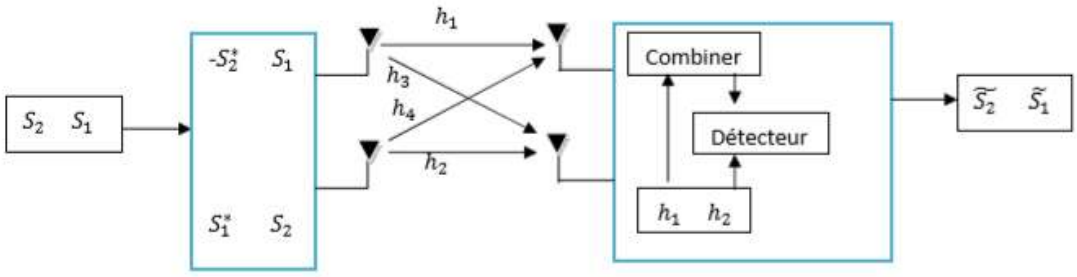


Figure I. 18: Schéma d'Alamouti avec deux antennes émettrices et deux antennes réceptrices.

En suivant la même démarche et en considérant h_1, h_2, h_3, h_4 comme étant les coefficients du canal tel qu'indique la Figure I.18, on a aux déférentes antennes à la réception les signaux dont l'indice coïncident avec la parité de l'antenne de réception:

$$r_1 = h_{11}s_{11} + h_{22}s_{12} + n_1$$

$$r_2 = h_{21}s_{11} + h_{22}s_{22} + n_2$$

$$r_3 = -h_{11}s_{12}^* + h_{22}s_{11}^* + n_3$$

$$r_4 = -h_{21}s_{12}^* + h_{12}s_{11}^* + n_4 \qquad \text{(I.31)}$$

Et les signaux combinés sont :

$$\widetilde{S}_1 = h_{11}^* r_1(1) + h_{12}^* r_2(1) + h_{21} r_1^*(2) + h_{22} r_2^*(2)$$

$$\widetilde{S}_2 = h_{21}^* r_1(1) + h_{22}^* r_2(1) - h_{11} r_1^*(2) + h_{12} r_2^*(2) \qquad \text{(I.32)}$$

I.7 Les avantages de la technologie MIMO :

La technique MIMO présente multiples avantages, nous citons :

- Exploiter les trajets multiples en bénéficiant des avantages de décoloration aléatoire, tel qu'il est connu que la déficience principale à la performance d'un système de communication sans fil s'estompe en raison de trajets multiples et des interférences.

- Augmenter le débit de données du système pour la même puissance rayonnée totale et la même largeur de bande de canal.

-Parvenir à très haute efficacité spectrale et c'est une solution parfaite pour la disponibilité de la bande passante limitée.

- Sauver la consommation électrique du système, car elle augmente la capacité du système et de fiabilité sans consommer un pouvoir excessif.

- Accroître la capacité du système, donc il peut prendre en charge un nombre beaucoup d'utilisateurs.
- Augmenter le système dans l'ensemble comme il peut soutenir des débits élevés.
-Augmenter la qualité de service et les revenus de manière significative [18].

I.8 Conclusion :

Dans cette première partie de notre travail nous avons présenté les notions de bases sur les transmissions numériques. Nous avons commencé par la chaine de transmission numérique, en résumant les différents traitements que subit l'information à transmettre. Nous avons ensuite donné un résumé sur les modulations numériques.

La modélisation du canal de transmission joue un rôle important lors de conception d'une chaine de communication numérique, les deux types les plus courant AWGN et Rayleigh ont été présentée dans cette partie.

Dans la dernière partie nous nous sommes intéressés à la présentation des systèmes donnant la possibilité d'accroître le nombre de bits transmis et améliorer les performances du système en augmentant le nombre d'antennes à l'émission et à la réception. Il s'agit des systèmes MIMO (Multi-Input – Multi-Output) qui sont largement utilisés dans les systèmes de communication actuels.

Chapitre II : Généralités sur les circuits FPGA

II.1. Introduction :

Les progrès technologiques continus dans le domaine des circuits intégrés ont permis la réduction des coûts de la consommation, et de la taille des systèmes numériques ainsi que la réalisation de circuits de plus en plus complexes, tout en améliorant leurs performances et leur fiabilité. Aujourd'hui les techniques de traitement numérique occupent une place majeure dans tous les systèmes électroniques modernes, professionnels ou de défense. De plus, les techniques de réalisation de circuits spécifiques, tant dans les aspects matériels (composants reprogrammables, circuits pré caractérisés et bibliothèques de macro fonctions) que dans les aspects logiciels (placement routage, synthèse logique) font désormais de la microélectronique une des bases indispensables pour la réalisation de systèmes numériques performants. Elle impose néanmoins une méthodologie de développement en CAO (Conception Assistée par Ordinateur) très structurée.

II.2. Les différents types des circuits numériques :

La grande partie des circuits numériques programmables sont issues de la célèbre architecture «Von-Neumann » proposée par John Von Neumann en 1945 et porte son nom. Ensuite une autre architecture qui vienne pour compenser les lacunes de la précédente dans certains domaines et afin d'améliorer la cadence de calcule où le facteur temps d'exécution est le plus important. Cette architecture nommée «Architecture Harvard» qui porte le nom de l'université américaine qui l'a proposée. Mais le besoin croissant de composants très rapides a orienté les chercheurs à développer une autre solution qui sera complètement différente des deux précédentes architectures. Cette solution réside dans le mode de programmation qui est devenu architectural à logique câblée inversement aux deux premières architectures précédentes où la programmation est séquentielle [20].

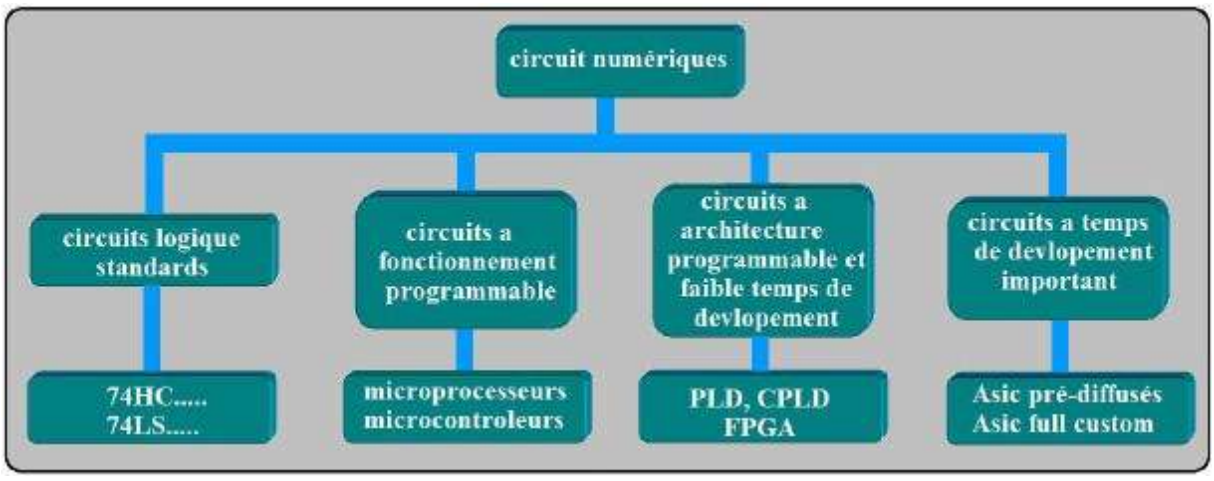


Figure II. 1: illustre les familles des différentes technologies des circuits numériques.

D'une manière générale, il existe deux familles de circuits numériques :

-Une famille logicielle: Elle est nommée aussi solutions programmables du type « Processeur » où un traitement séquentiel relativement lent et programmation dépendante du composant. Cette famille regroupe les Microprocesseur, les Microcontrôleur et les DSP.

-Une famille matérielle: Elle est nommée aussi solutions programmables du « type Logique », caractérisée par un traitement parallèle en temps réel et une programmation architecturale avec un langage de description matériel HDL (Méthodologie de Conception CAO) indépendante du composant. Cette famille regroupe les ASIC, les CPLD, les FPGA, etc.

Les caractéristiques principales de ces circuits sont :

-Les circuits du type DSP/Microprocesseurs : Un rapport performance/coût faible, un temps de conception très court et une grande souplesse d'utilisation.

- Les circuits du type spécialisé ASIC: Très performants mais avec un cycle de conception long et une architecture figée.

-Les circuits du type FPGA: Des performances proches des ASIC, un coût unitaire intermédiaire et un cycle de conception moyen et une architecture modifiable**. [20]**

	ASIC	**FPGA**	**DSP**
Performance	Très élevées	Elevées	Faible
Taille	Faible	Moyen	Faible
Consommation	Faible	Moyen	Très élevées
Intégration	Système sur puce	Système sur puce	Composants supplémentaires
Souplesse	Fonction figées	Reconfigurable	Programmable
Misse en œuvre	Complexe	Complexité moyenne	Complexité moyenne
Cout du composant	Très élevées	Moyen	Faible

Tableau II.1: Comparaison des différentes solutions numériques.

II. Les FPGAs (Field Programmable GateArray) :

Inventées par la société XILINX, les FPGA progressent et gagnent ainsi du terrain sur les circuits processeurs qu'ils visent à remplacer ou plutôt à compléter.

Les circuits FPGA font partie des systèmes reconfigurables. Un système reconfigurable est un système qui est constitué de composants ou entités à architecture modifiable afin de répondre à un objectif bien déterminé. Ce système reconfigurable dispose d'un mécanisme permettant de choisir une nouvelle configuration et de la mettre en place dans le cadre du processus de reconfiguration. Les circuits FPGA sont programmables ou configurables sur les cartes sur quelles ils sont implantés par l'utilisateur.

L'intérêt majeur apporté par ces composants est la réalisation assez simple d'un composant complexe qui se fait d'une manière programmable, en interconnectant des macros cellules logiques ou des portes prés-diffusées.

Ce sont des composants à une rapidité importante et d'une souplesse qui rend possible des réalisations déverses et larges.

Les FPGA peuvent être considérés comme des réseaux dont les connections sont programmables par logiciel. Ce sont des composants VLSI entièrement reconfigurables ce qui permet de les reprogrammer afin d'obtenir plusieurs fonctions logiques en utilisant un seul composant. L'avantage de ce genre de circuit est sa grande souplesse qui permet de les réutiliser à volonté dans les algorithmes différents en un temps très court. Le progrès de ces technologies permet de faire des composants toujours plus rapides et à plus haute intégration «high intégration» **[21].**

II.4. Description des circuits FPGA de XILINX :

Les circuits FPGA sont constitués d'une matrice de blocs logiques programmables entourés de blocs d'entrée sortie programmable. L'ensemble est relié par un réseau d'interconnexions programmable. Les FPGA sont bien distincts des autres familles de circuits programmables tout en offrant le plus haut niveau d'intégration logique.

Le circuit FPGA de XILINX est constitué d'une matrice de blocs logiques configurables CLB permettant de réaliser des fonctions combinatoires et des fonctions séquentielles. Tout autour de ces blocs logiques configurables, nous trouvons des blocs entrées/sorties IOB dont le rôle est de gérer les entrées-sorties réalisant l'interface avec les modules extérieurs. La liaison entre les différents blocs est assurée par les interconnexions horizontales et verticales (figure II.2).

La programmation du circuit FPGA appelé aussi LCA (logic cells arrays) consistera par le biais de l'application d'un potentiel adéquat sur la grille de certains transistors à effet de champ à interconnecter les éléments des CLB et des IOB afin de réaliser les fonctions souhaitées et d'assurer la propagation des signaux. Ces potentiels sont tout simplement mémorisés dans le réseau mémoire SRAM. **[22, 23]**

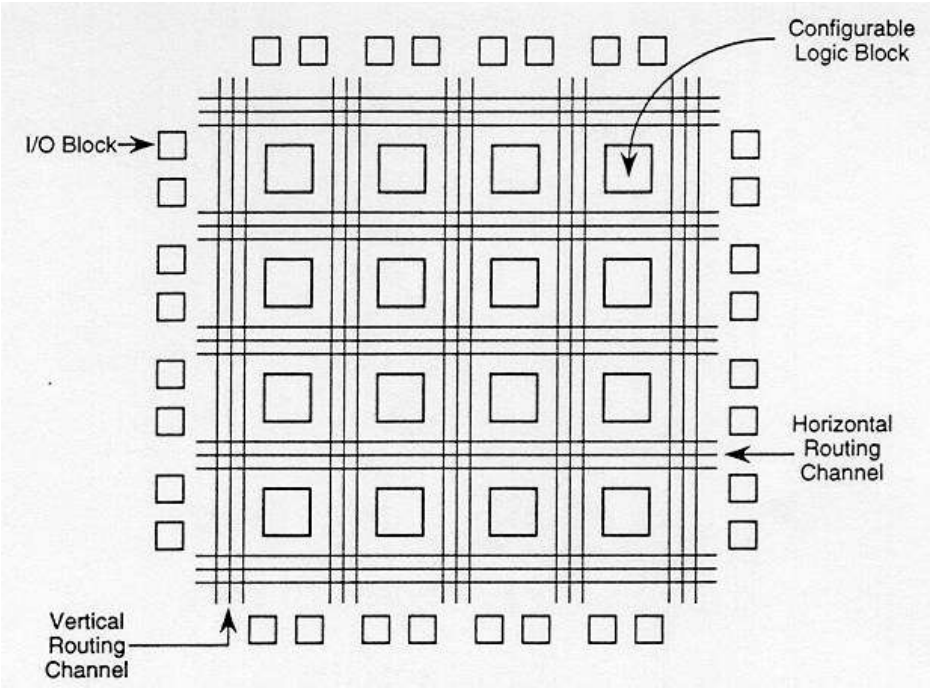


Figure II. 2: Architecture interne d'un FPGA.

II.4.1. Les CLB (configurable logic bloc):

Les blocs logiques configurables sont les éléments déterminants des performances du FPGA. Chaque bloc est composé d'un bloc de logique combinatoire composé de générateurs de fonctions à plusieurs entrées et d'un bloc de mémorisation et synchronisation composé de bascules D .en plus des entrées des générateurs de fonction, il y d'autres entrées permettent d'effectuer les connexions internes entre les différents éléments du CLB. La figure II.5, nous montre un schéma d'un CLB.

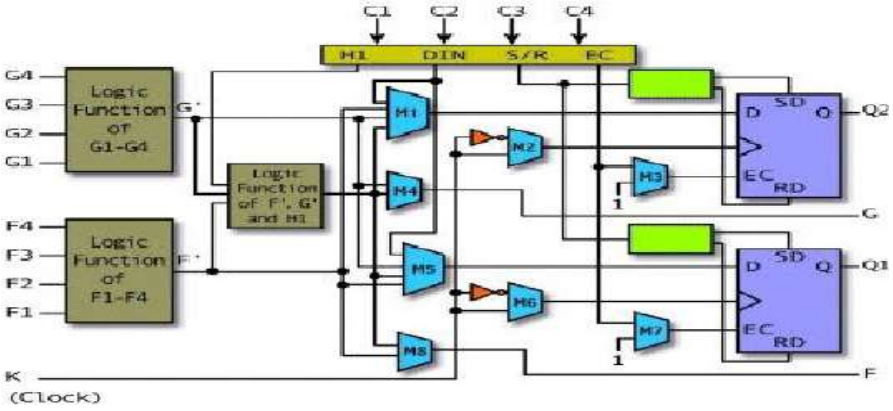


Figure II. 3: Schéma d'une cellule logique (CLB).

Voyons d'abord le bloc logique combinatoire qui possède deux générateurs de fonctions F' et G' à quatre entrées indépendantes (F1...F4, G1...G4), lesquelles offrent aux concepteurs une flexibilité de développement importante car la majorité des fonctions aléatoires à concevoir n'excède pas quatre variables.

Les deux fonctions sont générées à partir d'une table de vérité câblée inscrite dans une zone mémoire, rendant ainsi les délais de propagation pour chaque générateur de fonction indépendants de celle à réaliser. Une troisième fonction H' est réalisée à partir des sorties F' et G' et d'une troisième variable d'entrée H1 sortant d'un bloc composé de quatre signaux de contrôle H1, DIN, S/R, Ec.

Les signaux des générateurs de fonction peuvent sortir du CLB, soit par la sortie G, pour les fonctions H' et G', soit F pour les fonctions F' et H'. Ainsi un CLB peut être utilisé pour réaliser

- •deux fonctions indépendantes à quatre entrées indépendantes
- •ou une seule fonction à cinq variables
- •ou deux fonctions, une à quatre variables et une autre à cinq variables.

L'intégration de fonctions à nombreuses variables diminue le nombre de CLB nécessaires, les délais de propagation des signaux et par conséquent augmente la densité et la vitesse du circuit. Les sorties de ces blocs logiques peuvent être appliquées à des bascules au nombre de deux ou directement à la sortie du CLB (sorties G et F). Chaque bascule présente deux modes de fonctionnement : un mode 'flip-flop' avec comme donnée à mémoriser, soit l'une des fonctions F', G', H' soit l'entrée directe DIN. La donnée peut être mémorisée sur un front montant ou descendant de l'horloge (CLK). Les sorties de ces deux bascules correspondent aux sorties du CLB Q1 et Q2. Un mode dit de " verrouillage " exploite une entrée S/R qui peut être programmée soit en mode SET, mise à 1 de la bascule, soit en Reset, mise à zéro de la bascule. Ces deux entrées coexistent avec une autre entrée laquelle n'est pas représentée sur la figure II.2 appelée le global Set/Reset. Cette entrée initialise le circuit FPGA à chaque mise sous tension, à chaque configuration, en commandant toutes les bascules au même instant soit à '1', soit à '0'. Elle agit également lors d'un niveau actif sur le fil RESET lequel peut être connecté à n'importe quelle entrée du circuit FPGA.

Un mode optionnel des CLB est la configuration en mémoire RAM de 16x2bits ou 32x1bit. Les entrées F1 à F4 et G1 à G4 deviennent des lignes d'adresses sélectionnant une cellule mémoire particulière. La fonctionnalité des signaux de contrôle est modifiée dans cette configuration, les lignes H1, DIN et S/R deviennent respectivement les deux données D0, D1 (RAM 16x2bits) d'entrée et le signal de validation d'écriture WE. Le contenu de la cellule mémoire (D0 et D1) est accessible aux sorties des générateurs de fonctions F' et G'. Ces données peuvent sortir du CLB à travers ses sorties G et F ou alors en passant par les deux bascules**. [22, 23]**

II.4.2 Les IOB (input output bloc):

La figure II.4 présente la structure de ce bloc. Ces blocs entrée/sortie permettent l'interfaceentre les broches du composant FPGA et la logique interne développée à l'intérieur ducomposant. Ils sont présents sur toute la périphérie du circuit FPGA. Chaque bloc *IOBcontrôle* une broche du composant et il peut être défini en entrée, en sortie, en signauxbidirectionnels ou être inutilisé (haute impédance). **[22, 23]**

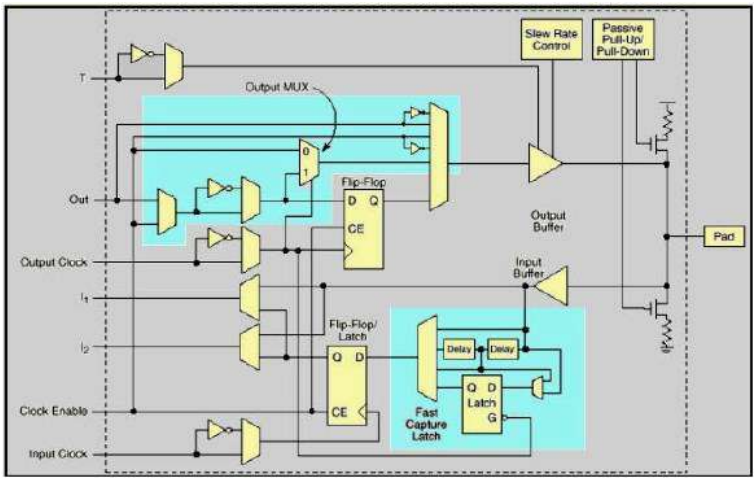


Figure II. 4: Input Output Block (IOB).

- **Configuration en entrée:**

Le signal d'entrée traverse un buffer qui selon sa programmation peut détecter soit des seuils TTL ou soit des seuils CMOS. Il peut être routé directement sur une entrée directe de la logique du circuit FPGA ou sur une entrée synchronisée. Cette synchronisation est réalisée à l'aide d'une bascule de type D, le changement d'état peut se faire sur un front montant ou descendant. De plus, cette entrée peut être retardée de quelques nanosecondes pour compenser le retard pris par le signal d'horloge lors de son passage par l'amplificateur. Le choix de la configuration de l'entrée s'effectue grâce à un multiplexeur (program controlled multiplexer). Un bit positionné dans une case mémoire commande ce dernier**. [22, 23]**

- **Configuration en sortie:**

Nous distinguons les possibilités suivantes :

- Inversion ou non du signal avant son application à l'IOB.
- Synchronisation du signal sur des fronts montants ou descendants d'horloge,
- Mise en place des résistances Pull-Up et Pull-Down dans le but de limiter la consommation des entrées sorties inutilisées,

- Signaux en logique trois états ou deux états. Le contrôle de mise en haute impédance et la réalisation des lignes bidirectionnelles sont commandés par le signal de commande Out Enable lequel peut être inversé ou non. Chaque sortie peut délivrer un courant de 12mA. Ainsi toutes ces possibilités permettent au concepteur de connecter au mieux une architecture avec les périphériques extérieurs. **[22, 23]**

II.4.3 Les interconnexions:

Les connexions internes dans les circuits FPGA sont composées de segments métallisés. Parallèlement à ces lignes, nous trouvons des matrices programmables réparties sur la totalité du circuit, horizontalement et verticalement entre les divers CLB. Elles permettent les connexions entre les diverses lignes, celles-ci sont assurées par des transistors MOS dont l'état est contrôlé par des cellules de mémoire vive ou RAM. Le rôle de ces interconnexions est de relier avec un maximum d'efficacité les blocs logiques et les entrées/sorties afin que le taux d'utilisation dans un circuit donné soit le plus élevé. Pour parvenir à cet objectif, Xilinx propose trois sortes d'interconnexions selon la longueur et la destination des liaisons. Nous disposons:

-Interconnexions à usage général.

-Interconnexions directes.

-De longues lignes. **[16, 17]**

- **Les interconnexions à usage général:**

Ce système fonctionne en une grille de cinq segments métalliques verticaux et quatre segments horizontaux positionnés entre les rangées et les colonnes de CLB et de l'IOB**,[22,23]**

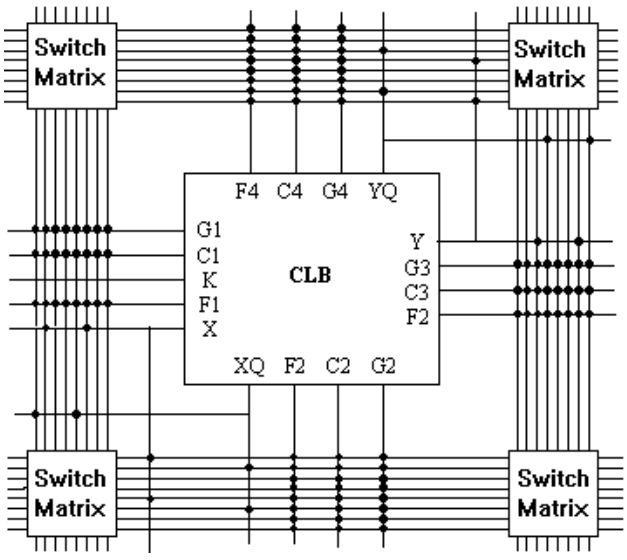


Figure II. 5: Connexions à usage général

Des aiguilleurs appelés aussi matrices de commutation sont situés à chaque intersection. Leur rôle est de raccorder les segments entre eux selon diverses configurations, ils assurent ainsi la communication des signaux d'une voie sur l'autre. Ces interconnexions sont utilisées pour relier un CLB à n'importe quel autre. Pour éviter que les signaux traversant les grandes lignes ne soient affaiblis, nous trouvons généralement des buffers implantés en haut et à droite de chaque matrice de commutation.

- **Interconnexions directes:**

Ces interconnexions permettent l'établissement de liaisons entre les CLB et les IOB avec un maximum d'efficacité en termes de vitesse et d'occupation du circuit. De plus, il est possible de connecter directement certaines entrées d'un CLB aux sorties d'un autre. **[16, 17].**

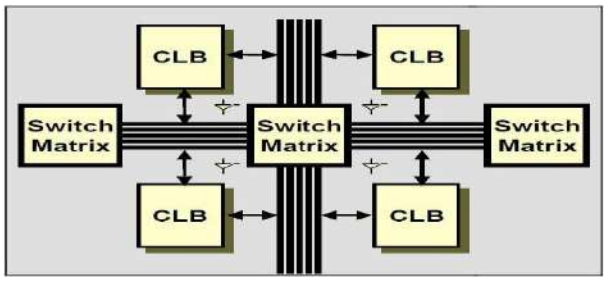


Figure II. 6: Les interconnexions directes.

- **Les longues lignes:**

Les longues lignes sont de longs segments métallisés parcourant toute la longueur et la largeur du composant, elles permettent éventuellement de transmettre avec un minimum de retard les signaux entre les différents éléments dans le but d'assurer un synchronisme aussi parfait que possible. De plus, ces longues lignes permettent d'éviter la multiplicité des points d'interconnexion. **[22, 23]**

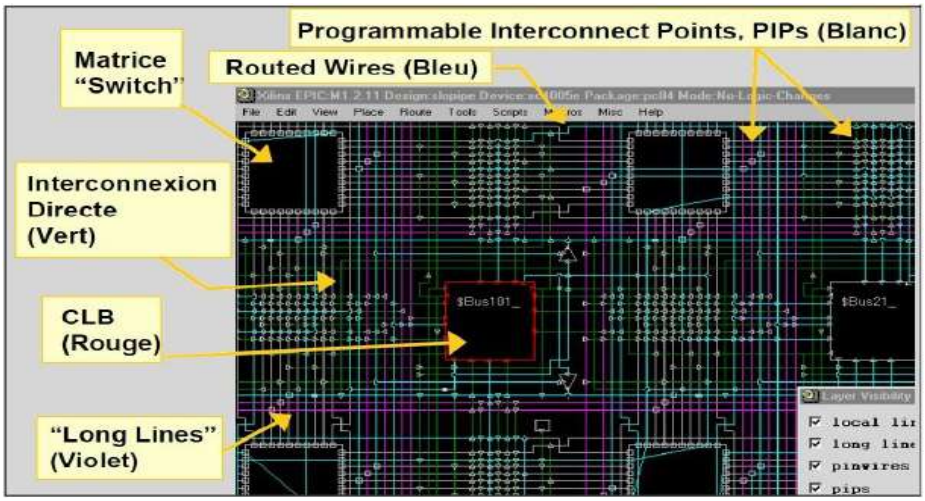


Figure II. 7: Les différentes lignes de routage

II.5. Domaines d'application des FPGA :

Les FPGA ont fait révolutionner certain domaine de contrôle numérique et de plus en plus utilisés pour intégrer des architectures numériques complexes. Ils sont devenus les plus populaires en matière d'implantation et de prototypage des circuits numériques après leur apparition sur le marché en I984.La clé de leurs réussites est l'aspect de programmation de ces derniers. Leurs utilisations actuelles couvrent les deux domaines : civil et militaire. Parmi ces applications nous citons :

- **Informatique** : Périphériques spécialisés.
- **Machinerie industrielle**: Contrôleur pour machines.
- **Télécommunications :** Traitement d'images, Filtrage.
- **Instrumentation** Équipement médical, Prototypage.
- **Transport** : Contrôle d'avions et métros.
- **Aérospatiale** : Satellites.
- **Militaire:** Radar, Communication protégée, la détection ou la surveillance**. [20]**

II.7. Techniques de Programmation des FPGA de Xilinx:

La configuration du circuit est mémorisée sur la couche réseau SRAM et stockée dans une ROM externe. Un dispositif interne permet à chaque mise sous tension de charger la SRAM interne à partir de la ROM. Ainsi on conçoit aisément qu'un même circuit puisse être exploité successivement avec des ROM différentes puisque sa programmation interne n'est jamais définitive. On voit toute la partie que l'on peut tirer de cette souplesse en particulier lors d'une phase de mise au point. Une erreur n'est pas rédhibitoire, mais peut aisément être réparée.

Les circuits FPGA ne possèdent pas de programme résident. A chaque mise sous tension, il est nécessaire de les configurer. Leur configuration permet d'établir des interconnexions entre les CLB et IOB. Pour cela, ils disposent d'une RAM interne dans laquelle sera écrit le fichier de configuration. Le format des données du fichier de configuration est produit automatiquement par le logiciel de développement sous forme d'un ensemble de bits organisés en champs de données. Le FPGA dispose de quatre modes de chargement et de trois broches M0, M1, M2 lesquelles définissent les différents modes. Ces modes définissent les différentes méthodes pour envoyer le fichier de configuration vers le circuit FPGA, selon deux approches complémentaires :

-configuration automatique, le circuit FPGA est autonome,

-configuration externe, l'intervention d'un opérateur est nécessaire.

M0 M1 M2	000	001	011	101	111
Mode sélection	maître série	maître parallèle bas	maître parallèle haut	Périphérique	Esclave série

Tableau II.2: Mode de configuration

- **Mode maître série:**

Le mode maître série utilise une mémoire à accès série de type registre à décalage commercialisée par le fabricant Xilinx. Le programme est préalablement chargé par le système de développement utilisé pour le circuit FPGA. Le FPGA génère tous les signaux de dialogue nécessaires pour la copie du contenu de la PROM dans sa RAM interne, lorsque la copie est terminée, il bascule le signal DONE pour le signaler au circuit. Une seule PROM peut configurer plusieurs circuits FPGA avec la même configuration ou plusieurs PROM peuvent configurer plusieurs FPGA en chaîne où le premier des circuits FPGA est le maître et génère l'horloge. Les données en provenance des PROM sont envoyées aux autres circuits FPGA par la sortie DOUT de ce premier.

-On dispose aussi d'un **mode maître-parallèle** où le FPGA est relié en parallèle à une

EPROM classique, de même qu'un mode passif **type périphérique** dans lequel le FPGA estconsidéré comme un périphérique de µP et peut-être configuré à partir de celui-ci.

- **Mode esclave:**

Dans ce mode, le programme de configuration peut être envoyé à partir d'un PC, d'une station de travail ou à partir d'un autre circuit FPGA. Le circuit FPGA maître peut être interfacé à une mémoire en mode parallèle ou série sans apporter aucune modification au niveau du câblage des circuits FPGA esclaves. C'est souvent le mode exploité pour la mise au point d'une configuration. **[25, 22, 23]**

II.8. Les atouts de FPGA [26] :

- **Performances** : Comme ils tirent parti du parallélisme matériel, les FPGA offrent une puissance de calcul supérieure à celle des processeurs de signaux numériques (DSP), car ils s'affranchissent du modèle d'exécution séquentielle et exécutent plus d'opérations par cycle d'horloge. BDTI, une importante société d'analyse et de « benchmarking », a publié des études montrant que les FPGA peuvent offrir une puissance de traitement par dollar plusieurs fois supérieure à celle d'une solution DSP dans certaines applications. Contrôler les entrées et sorties (E/S) au niveau matériel permet d'obtenir des temps de réponse plus courts ainsi que des fonctionnalités spécifiques, qui répondent mieux aux besoins de l'application.
    - **Temps de mise sur le marché** : Face à des préoccupations croissantes concernant les temps de mise sur le marché, la technologie FPGA représente une solution souple offrant des capacités de prototypage rapide. Ainsi, nous pouvons tester une idée ou un concept, puis le vérifier sur du matériel sans avoir à passer par le long processus de fabrication d'un ASIC personnalisé. Par la suite,

nous pouvons apporter les éventuelles modifications nécessaires à la FPGA, en quelques heures au lieu de quelques semaines. Le matériel actuellement commercialisé propose également différents types d'E/S déjà connectées à un circuit FPGA programmable par l'utilisateur. La multiplication des outils logiciels de haut niveau disponibles sur le marché permet de réduire le temps d'apprentissage avec les couches d'abstraction. Ces outils comprennent souvent des cœurs de propriété intellectuelle (fonctions précompilées) utiles pour le contrôle avancé et le traitement de signaux.

- **Coût**: Les coûts d'ingénierie non récurrents (NRE) des ASIC personnalisés sont bien supérieurs à ceux des solutions matérielles basées sur les FPGA. L'important investissement de départ que requièrent les ASIC se justifie largement pour les grands marchés, par exemple, qui peuvent livrer des circuits par milliers chaque année. Cependant, la plupart des utilisateurs finaux ont besoin de matériels personnalisés pour quelques dizaines ou quelques centaines de systèmes en développement. Par nature, les circuits programmables n'impliquent ni coût de fabrication, ni longs délais d'assemblage. Les besoins de la plupart des systèmes évoluent avec le temps ; or la modification progressive d'un FPGA représente un coût négligeable comparé à la dépense considérable qu'exige la reconception d'un ASIC.
- **Fiabilité**: Tandis que les outils logiciels fournissent l'environnement de programmation, les circuits FPGA sont une véritable implémentation matérielle de l'exécution logicielle. Les systèmes basés processeur comprennent souvent plusieurs couches d'abstraction, pour aider à la planification des tâches et à la répartition des ressources entre les différents processus. La couche de driver contrôle les ressources matérielles et le système d'exploitation gère la mémoire et la bande passante du processeur. Sur chaque cœur de processeur, une seule instruction peut s'exécuter à la fois ; c'est pourquoi les systèmes basés processeur risquent toujours de voir des tâches prioritaires entrer en conflit. Les FPGA, qui n'utilisent pas de système d'exploitation, minimisent les problèmes de fiabilité car ils assurent une exécution véritablement parallèle et un matériel déterministe dédié à chaque tâche.
- **Maintenance à long terme** : Comme nous l'avons vu, les circuits FPGA sont évolutifs et nous épargnent donc la dépense de temps et d'argent qu'implique la préconception des ASIC. Les spécifications des protocoles de communication numériques, par exemple, évoluent avec le temps. Or les interfaces basées sur ASIC peuvent poser des problèmes de maintenance et de compatibilité. Comme ils sont reconfigurables, les circuits FPGA sont capables de s'adapter aux modifications éventuellement nécessaires. À mesure qu'un produit ou qu'un système évolue, nous pouvons y intégrer des améliorations fonctionnelles sans perdre de temps à reconcevoir le matériel ou à modifier l'implantation du circuit.

II.9. La programmation des FPGA parXSG/MATLAB-SIMULINK :

Malgré la puissance des outils traditionnels de conception matérielle (HDL), pour certaines applications, ils sont compliqués à mettre en œuvre et nécessitant des professionnels. D'autre part, les langages matériels ne sont pas très populaires dans le domaine de la commande automatique des systèmes où l'environnement MATLAB/Simulink est le plus utilisé. Heureusement, avec l'incorporation du Toolbox 'Xilinx-System-Generator (XSG)', proposé par Xilinx, dans l'environnement Matlab/Simulink, il est devenu possible de programmer, de simuler et d'implémenter les descriptions matérielles en utilisant l'environnement graphique de Simulink. En plus de cet avantage, le XSG permet d'exécuter ce qu'on appelle 'the Hardware In the Loop (HIL), le Co-design et la Co-simulation. En effet, ces opportunités sont très appréciées du fait qu'elles permettent de tester virtuellement un algorithme ou une partie d'un système compliqué sont aller directement sur le matériel et évitant, par conséquent, les dégâts pouvant être engendrés **[27].**

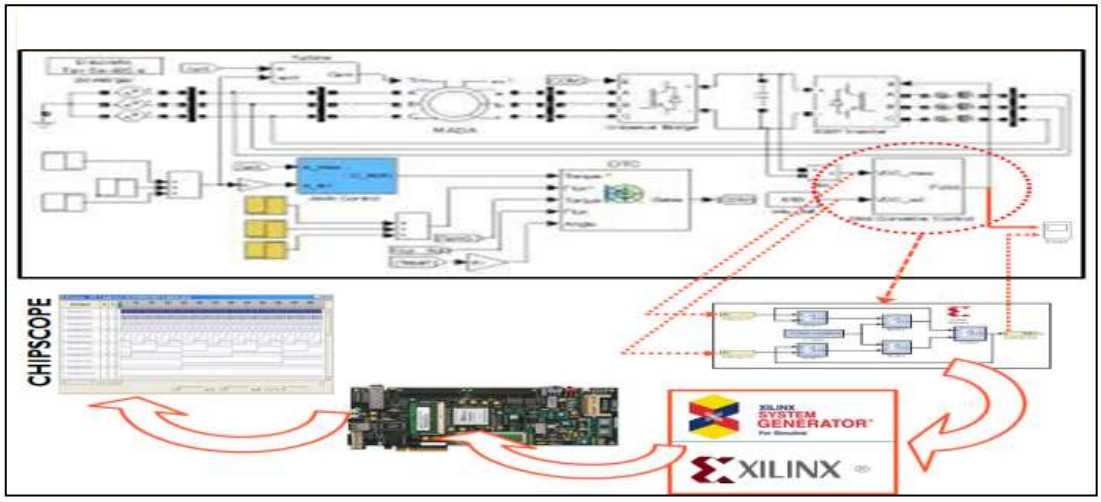


Figure II. 8: Hardware Co-simulation XSG.

II.10. Les étapes d'implémentation d'une application sur un FPGA :

Pour implémenter une application sur un FPGA, quatre étapes importantes sont à suivre telillustré par la figure II.9

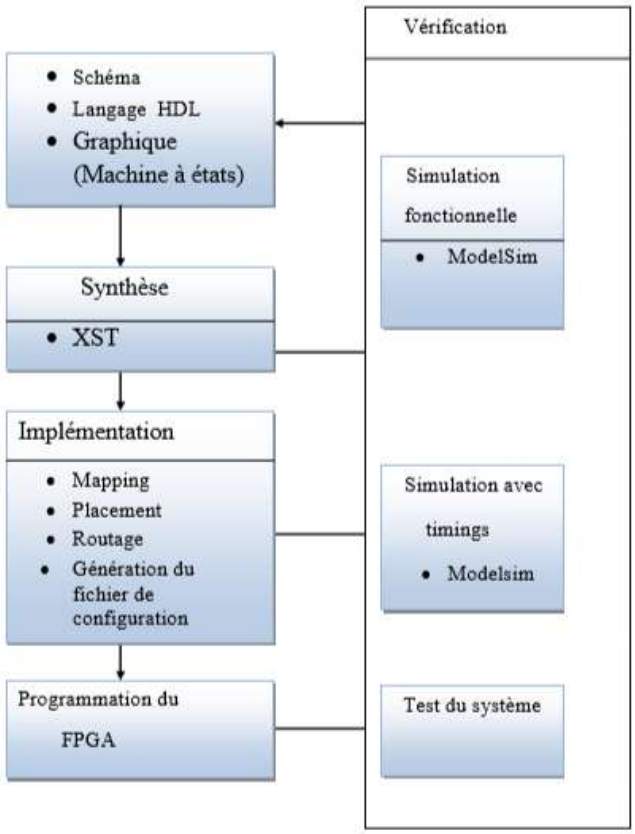


Figure II. 9:Les étapes d'implémentation d'une application sur un circuit FPGA

- **Spécification :**

Le terme spécification est un terme qui regroupe les trois modes (schématique, diagrammes d'états ou HDL) de saisie d'un circuit électronique. La spécification est synthétisée pour générer un fichier appelé NETLIST qui décrit les interconnexions entre les registres.

- **Simulation et Vérification [28] :**

La simulation est la partie la plus important dans étape de flux de conception sur FPGA. A ce point, nous avons une conception qui doit être vérifiée. Sans souci du type de conception, le but de la simulation est de vérifier que la conception effectue les fonctions requises. Typiquement, la simulation peut être effectuée à trois endroits dans le processus de développement: sur la sortie de la conception, la synthèse et phases d'implémentation. La plupart des temps, la simulation est effectuée uniquement sur la conception et non pas sur la netlist ou un fichier produit par synthèse ou des phases d'implémentation. Une vérification de la

conception peut également être effectuée en utilisant l'équipement de laboratoire, tels que des analyseurs logiques; Cependant, cela peut prendre plus de temps et d'une manière moins efficace, surtout pour les nouvelles conceptions. La vérification de laboratoire est moins flexible, ces erreurs peuvent endommager le matériel. En générale, la configuration de re-simuler des mois plus tard, la conception est plus facile et plus rapide que l'obtention et réinstaller l'équipement de laboratoire. Néanmoins la simulation n'est pas la seule méthode pour vérifier une conception de FPGA. Même si la simulation n'est pas nécessaire, elle ne devrait jamais être complètement omis de la phase de développement de FPGA, en particulier pour les nouvelles conceptions. Il semble qu'il n'ést pas nécessaire de simuler petites et simple modifications, mais ce sont ceux qui peuvent causer des problèmes les plus importants.

- **Implémentation [29] :**

Une fois le NetList (les interconnexions entre les portes logiques) décrit la conception en utilisant les portes logiques en tenant compte du fabricant et d'une famille de composant bien définie. Une fois la vérification est terminée, le circuit est implémenté sur le composant en spécifiant les références exactes de celui-ci à savoir : le boitier, la fréquence de travail et les autres options spécifiques à chaque composant. Cette étape se termine par un rapport de tous les sous-programmes exécutés, les avertissements, les erreurs, les entrées /sorties utilisés, des données qui permettent de savoir si le composant choisit est le mieux adapté pourl'application ciblée.

Cette étape se décompose à son tour en sous-étapes que voici :

- **Fitting :** c'est le dimensionnement de la conception en fonction des ressources internes du composant cible
- **Place and Route :** les sous-programmes de placement et routage sont exécutés aprèscompilation du code.
- **Place :** c'est le processus de sélection des modules ou blocks logiques où les portes logiques seront placées.
- **Route** : le routage est l'interconnexion physique entre les différents blocks logiques.

II.11. CONCLUSION :

Dans ce chapitre, nous avons fait un aperçu sur les circuits numériques reconfigurables de type FPGA. Nous avons commencé par la présentation de leurs architectures internes afin de comprendre leur principe de fonctionnement. Ensuite nous avons donné une idée générale sur leurs atouts, leurs techniques de programmation et leurs domaines d'application. Finalement nous avons présenté les différentes étapes à suivre afin de développer une application à base d'un circuit FPGA.

La programmation d'un circuit FPGA peut être achevée par les langages de description matérielle ou l'environnement Matlab-Simulink en utilisant l'outil« Xilinx-System-Generator ». Pour notre cas, nous avons utilisé l'outil« Xilinx-System-Generator » pour la conception des différentes architectures de notre projet.

Chapitre III :Résultats des simulations et implémentations

III.1 Introduction :

Dans ce chapitre nous allons présenter les résultats de simulations et les résultats d'implémentation sur FPGA de la technique de codage spatio-temporel d'Alamouti. Les simulations ont été effectuées en utilisant le logiciel Matlab, le Simulink et l'outil « Xilinx system Generator » XSG qui a été intégré dans l'outil de Vivado de Xilinx et qui est compatible avec l'environnement Simulink.

Pour la simulation, le paramètre qui est largement utilisé pour évaluer les performances des systèmes de communications numériques est le taux de l'erreur binaire BER « Binary Error Rate » en fonction du rapport signal sur bruit SNR « Signal to Noise Ratio ». Pour cela nous avons calculé le BER en fonction du SNR pour les systèmes conçus en utilisant l'outil XSG et pour ceux qui sont conçu en utilisant le logiciel Simulink.

Afin de connaitre l'influence de la modulation et du nombre d'antenne de réception nous avons effectué les simulations pour la modulation BPSK et pour la modulation QPSK. En outre nous avons traité le cas du système Alamouti 2×1(deux antennes d'émission et une antenne de réception) et le cas du système 2×2 (deux antennes d'émission et deux antennes de réception).

Pour la simulation des systèmes de communications, nous nous servirons de deux logiciels qui sont le « System Generator » de Xilinx et le Matlab de Mathworks qui demeure l'un des outils le plus utilisé dans l'ingénierie de nos jours.

Le System Generator est un outil qui est devenu très populaire pour développer des applications de traitement du signal sur FPGA. Constituant une interface entre MatLab/Simulink et Vivado de Xilinx, il permet de concevoir et de simuler des systèmes numériques dans un environnement graphique à partir de blocs IP (Intellectual property) et de codes MatLab.

La bibliothèque du System Generator possède plus de 90 blocs DSP quisont fournis dans le jeu de blocs Xilinx DSP pour Simulink. Ces blocs comprennent les blocs de construction communs tels que les additionneurs, les multiplicateurs et les registres et également sont inclus des blocs de construction complexes tels que blocs ForwardError Correction, FFT, filtres ...

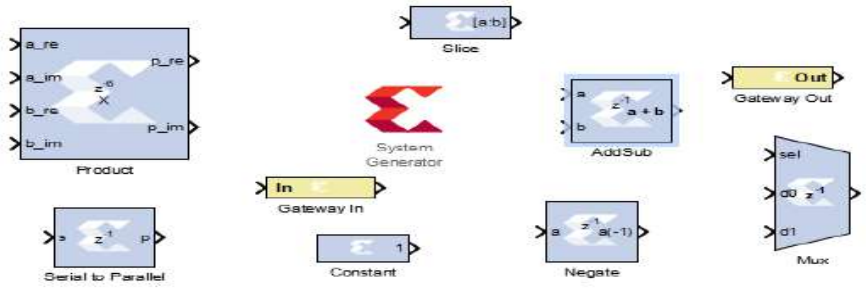


Figure III. 1 : Quelques exemples de bloc de système Generator.

III.2 Performances des modulations numériques pour un canal AWGN:

Dans le cas d'un canal de type AWGN nous n'avons pas besoin d'utiliser le codage spatio-temporel pour améliorer les performances du système de communication. Dans cette partie nous allons évaluer les performances des deux modulations BPSK et QPSK , cas d'utilisation du Simulink et cas de conception en utilisant l'outil « System Generator »

III.2.1 Utilisation de Simulink :

Le schéma de simulation d'un système de communication utilisant la modulation BPSK pour un canal AWGN sous Simulink est donné dans la figure III.2. Ce schéma contient : une source aléatoire binaire de Bernouli, un bloc de modulation, un bloc modélisant le canal AWGN, un bloc de démodulation et un bloc de calcul du BER.

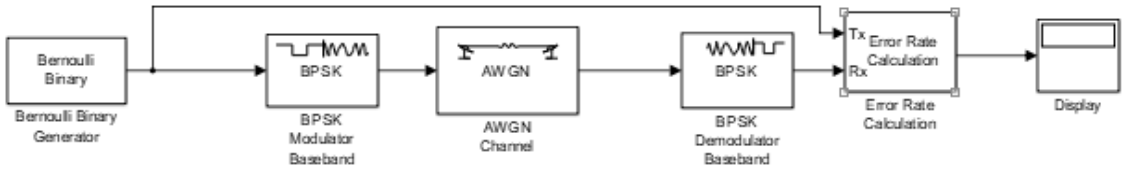


Figure III. 2: Schéma bloc d'un système utilisantla modulation BPSK pour un canal AWGN.

Pour le cas de la modulation QPSK, on change uniquement la source, le bloc de modulation et le bloc de démodulation. Les résultats de simulation sont reportés dans le tableau III.1.

SNR	SNR	0	2	4	6	8	10
BER	BPSK	0.0813	0.0401	0.0155	0.0025	0.00021	2*10-6
	QPSK	0.1657	0.0998	0.0339	0.0059	0.00034	7*10^-6

Tableau III. 1: BER des deux modulations BPSK et QPSK pour un canal AWGN.

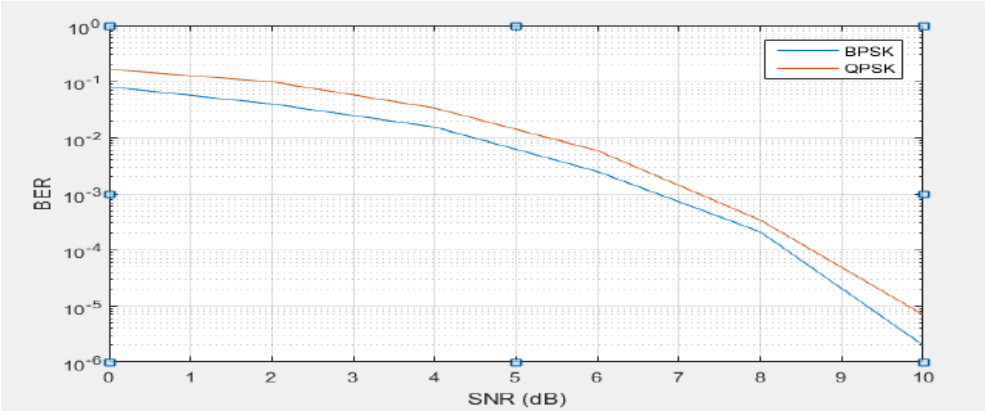


Figure III. 3: Comparaison des performances des deux modulations QPSK et BPSK pour un canal AWGN.

La figure III. 3 présente le taux d'erreur par bit (Bit Error Rate) en fonction du SNR pour une modulation BPSK et QPSK. On remarque que le BER diminue en fonction du SNR pour les deux types de modulation. Nous constatons aussi que plus en augmente le nombre de bits par symbole plus le taux d'erreur augmente. L'avantage de la modulation BPSK est sa simplicité avec moins d'erreur BER>$2*10^{-6}$ pour un SNR=10dB.

III.2.2 Utilisation de « System Generator » pour la conception de la modulation et la démodulation :

Pour l'implémentation de la modulation BPSK nous avons utilisé le diagramme de constellation de la figure suivante.

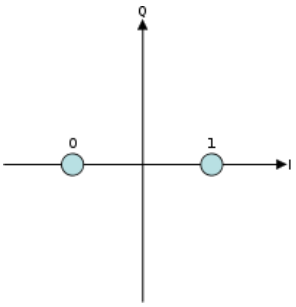


Figure III. 4: Diagramme de constellation BPSK

Suivant la constellation donnée dans la figure III.5, nous avons utilisé un schéma très simple qui est donné dans la figure suivante :

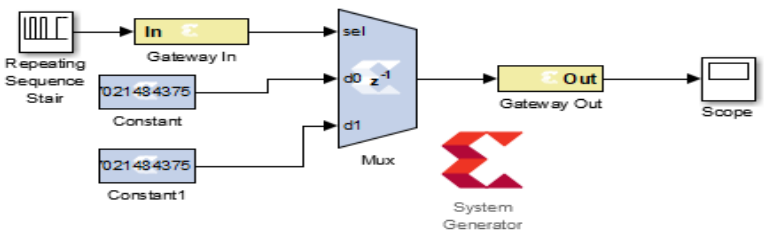


Figure III. 5: Schéma bloc de modulation BPSK sous System Generator.

Pour la modulation QPSK nous avons utilisé le diagramme de constellation à quatre points à équidistance autour d'un cercle, avec quatre phases, le QPSK peut coder deux bits par symbole.

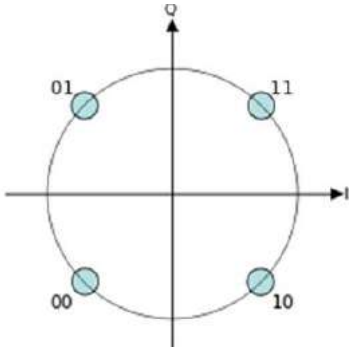


Figure III. 6: Diagramme de constellation QPSK

A partir du schéma de constellation de la figureIII.6, nous avons proposé un circuit d'implémentation de la modulation QPSK. Ce circuit est donné dans la figureIII.7

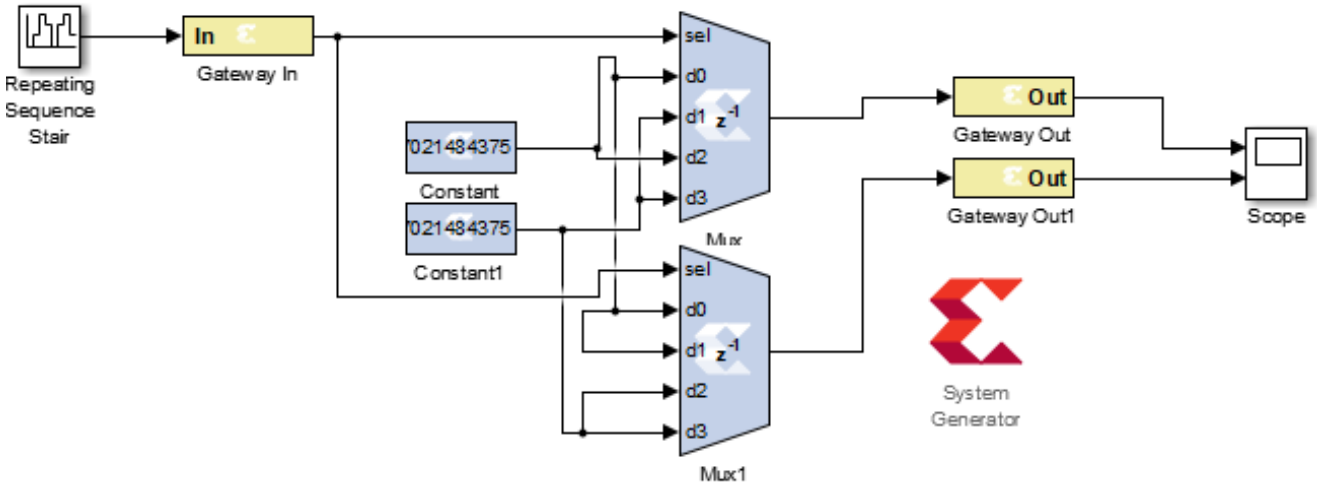


Figure III. 7: Schéma bloc de modulation QPSK sous System Generator.

Après vérification du bon fonctionnement des deux schémas de modulation (BPSK et QPSK), nous avons intégré ces deux schéma dans la chaine de communication conçue précédemment sous Simulink afin d'évaluer leurs performances. La figure III.8 montre une chaine de communication qui intègre la modulation QPSK conçu sous System Generator. A noter que la démodulation est réalisée par une simple opération de détection du bit de signe de la partie réelle et de la partie imaginaire des signaux reçus.

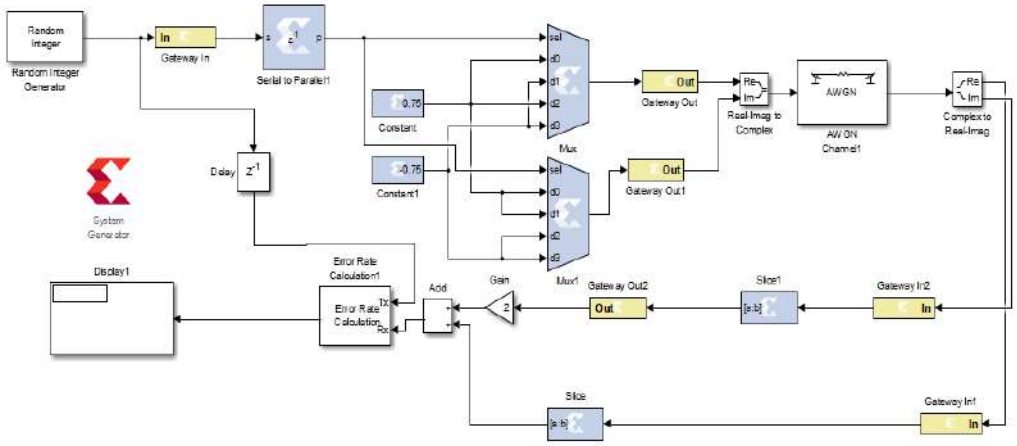


Figure III. 8:Schéma bloc de Modulation QPSK par un canal AWGN.

Le tableau III.2 reporte le BER en fonction du SNR des deux modulations QPSK et BPSK conçues sous System Generator pour un canal AWGN.

SNR(EB/N0)	0	2	4	6	8	10	12
BER BPSK	0.0820	0.041	0.0179	0.00298	0.0003	2.1*10^-5	4.15*10^-7
BER QPSK	0.1545	0.1015	0.0569	0.0229	0.0057	0.0008	3.57*10^-5

Tableau III. 2: BER des deux modulations QPSK et BPSK conçues sous System Generator pour un canal AWGN

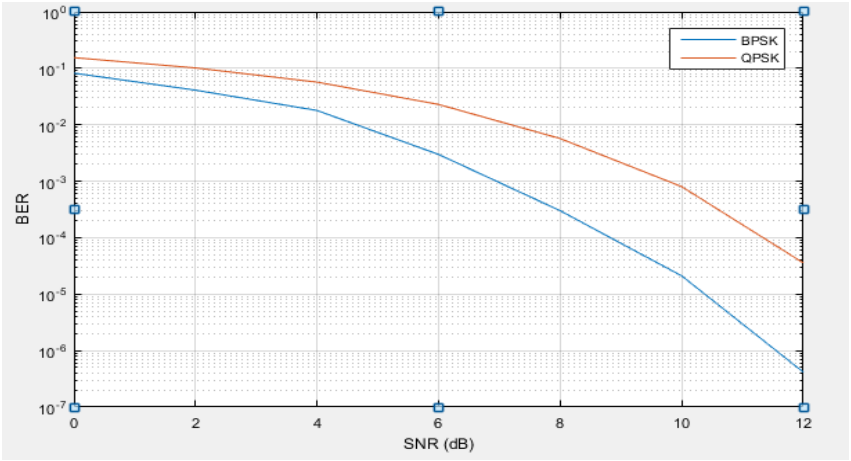


Figure III. 9: Comparaison des deux modulations QPSK et BPSK conçues sous« system Generator ».

Les résultats du tableau III.2 sont présentés sous forme de graphe dans la figure III.9. Les mêmes remarques que concernant la supériorité de la modulation BPSK par rapport à la modulation QPSK peuvent être faites pour ce cas.

Pour connaitre l'influence de l'utilisation de la virgule fixe dans System Generator sur le BER, nous avons fait une comparaison entre les résultats obtenus en utilisant system Generator et ceux obtenus en utilisant Simulink. Sachant que le mode de représentation par

défaut des données pour Simulink est la virgule flottante. Les deux graphes de la figure III.10 montrent que System Generator peut fournir des résultats très proches de ceux obtenus par Simulink si on choisit un nombre suffisant de bits pour la représentation des données. Dans cette simulation nous avons choisi le format 16-14 (16 bits pour la totalité du mot dont 14 pour la partie fractionnaire) pour les données.

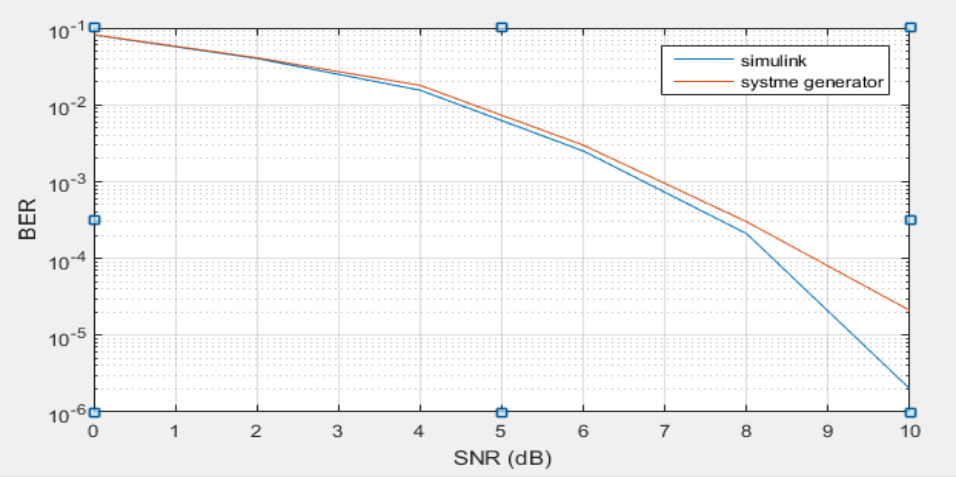


Figure III. 10: Comparaison entre les performances de modulations BPSK par système Generator et Matlab Simulink.

III.3 Performance du codage d'Alamouti pour un canal de Rayleigh:

Pour les canaux à évanouissement de Rayleigh, les performances des systèmes de communication se dégradent dramatiquement. Contrairement aux canaux AWGN, l'augmentation du SNR ne permet pas d'obtenir un BER acceptable pour les canaux à évanouissement de Rayleigh. Une solution efficace consiste à utiliser le codage spatio-temporel pour améliorer la performance du système.

Dans cette partie nous allons commencer par la présentation des résultats de simulation du codage d'Alamouti en utilisant Simulink. Ensuite nous présentons les circuits que nous avons proposés pour l'implémentation du codage et le décodage espace-temps d'Alamouti sur FPGA. Finalement nous comparons entre les résultats obtenus par Simulink (virgule flottante) et ceux obtenus par system Generator (virgule fixe).

Le but de ces simulations est d'évaluer et de valider les performances du système dans différents architectures STBC (2x1 et 2x2) à travers le calcul du BER en fonction du rapport signal sur bruit SNR.

Le schéma de la figure III.11 donne le modèle Simulink d'une chaine de communication utilisant la modulation BPSK et le system d'Alamouti 2x1 pour un canal à évanouissement de Rayleigh.

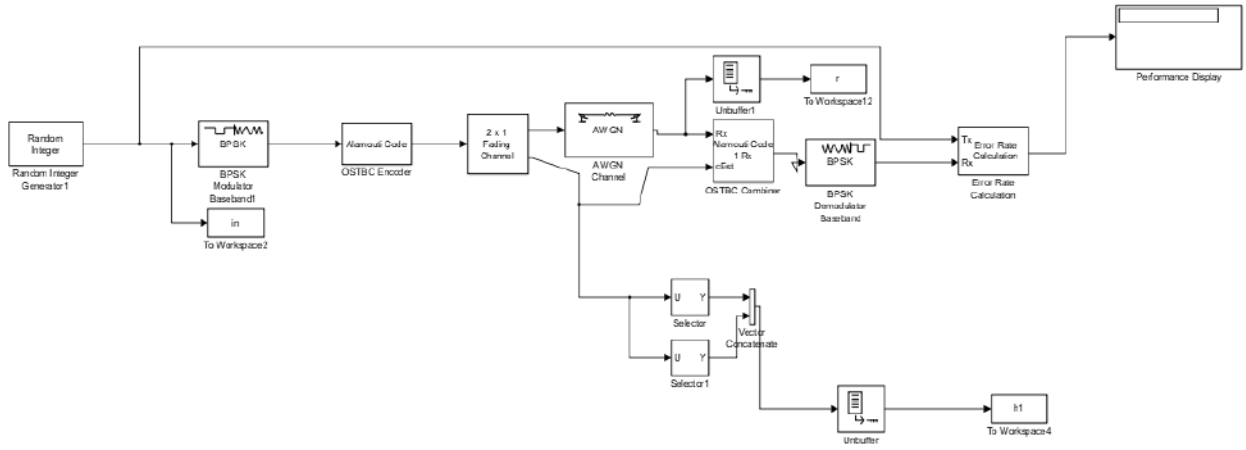


Figure III. 11:Schéma bloc d'une chaine de communication utilsant la modulation BPSK et le codage d'Alamouti 2x1 pour un canal à évanouissement de Rayleigh.

De la même façon nous avons conçu les autres modèles pour la modulation QPSK et pour le codage décodage d'Alamouti 2×2.

III.3.1 Circuit d'implémentation du codage:

La figure III.12 montre le circuit de modulation QPSK et du codage d'Alamouti. Le circuit de codage contient : deux inverseurs qui sont utilisés pour le calcul des conjugués de x_1 et de x_2, deux éléments de retard pour la synchronisation des données, quatre multiplexeurs pour la sélection des parties réelles et imaginaires des deux données à envoyer sur chacune des antennes Tx1 et Tx2 et d'un conteur modulo 2 pour commander les multiplexeurs.

Le codeur permet de générer les deux séquences en phase (partie réelle) et en quadrature (partie imaginaire) qui seront envoyé sur les antennes d'émission Tx_1 et Tx_2selon la matrice suivante:

$$\mathbf{X} = \begin{bmatrix} x_1 & -x_2^* \\ x_2 & x_1^* \end{bmatrix}$$

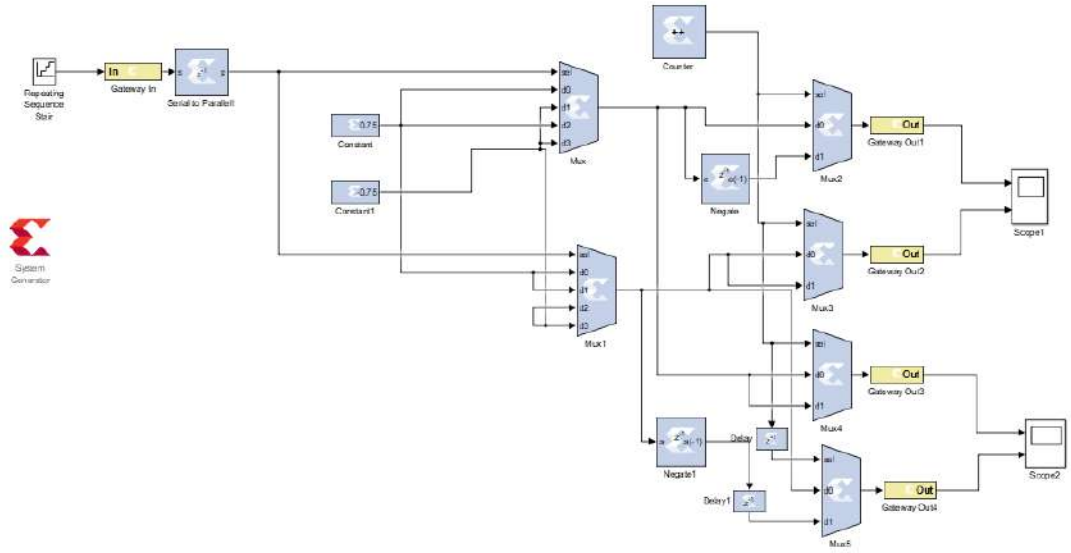


Figure III. 12: Codage d'Alamouti .

III.3.2 Circuit d'implémentation du décodage d'Alamouti 2×1:

Le décodage d'Alamouti est 2×1 basé sur l'estimation des deux séquences x_1 et x_2 selon les deux équations :

$$\tilde{x}_1 = \overbrace{h_0^*.r(1)}^{P1} + \overbrace{h_1.r^*(2)}^{P2} \qquad \text{III.1}$$

$$\tilde{x}_2 = \underbrace{h_1^*.r(1)}_{P3} - \underbrace{h_0.r^*(2)}_{P4} \qquad \text{III.2}$$

Pour calculer les deux métriques d'estimation $\tilde{x}_1$ et $\tilde{x}_2$, le circuit utilise quatre multiplieurs complexes. Chaque multiplieur possède quatre entrées (deux pour les parties réelles et deux autres pour les parties imaginaires). Les entrées sont sélectionnées selon le tableau suivant.

multiplieur	Entrée 1(E1)	Entrée2 (E2)	Entrée 3 (E3)	Entrée 4 (E4)
1	re_h_0	-im_h_0	re_r(1)	im_r(1)
2	re_h_1	im_h_1	re_r(2)	-im_r(2)
3	re_h_1	-im_h_1	re_r(1)	im_r(1)
4	re_h_0	im_h_0	re_r(2)	-im_r(2)

Tableau III. 3: Affectation des entrées des multiplieurs pour un décodeur d'Alamouti 2×1.

Les sorties des deux multiplieurs 1 et 2 sont additionnées par deux additionneur réels (un pour les parties réelles et un pour les parties imaginaires), alors que les sorties des deux

multiplieurs 3 et 4 sont reliées à deux soustracteurs réels. Finalement, on utilise deux multiplexeurs pour la restitution de la partie réelle et la partie imaginaire de la séquence initiale selon le schéma de la figure III.13.

A noter ici que la modulation BPSK utilise uniquement la partie réelle des symboles estimés. Donc, la partie imaginaire n'est pas utilisée pour cette modulation.

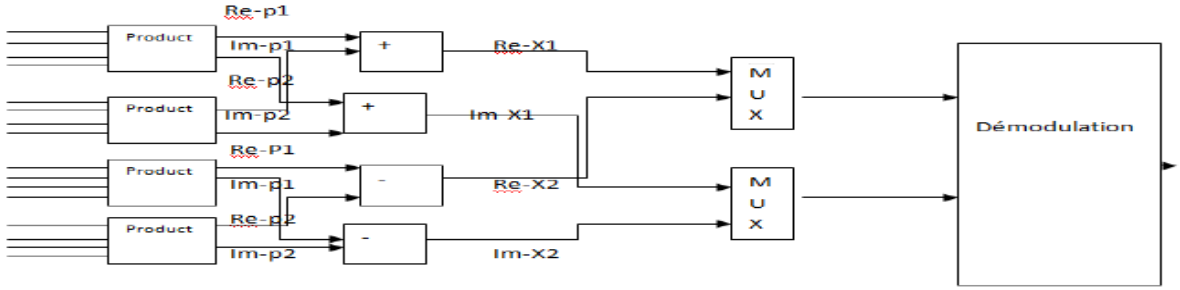


Figure III. 13: Décodage d'Alamouti (2X1) en blocs avec modulation.

III.3.2.1 Résultats de simulation du décodeur d'Alamouti 2×1 :

Dans cette partie, nous avons examiné l'influence de nombre de bits de la partie fractionnaire sur le BER de la chaine de communication. Pour cela nous avons choisi quatre formats pour la représentation des entrées du décodeur qui sont : 12.8,10.6,8.4 et 6.2. Le premier chiffre représente la longueur totale de mot binaire (partie entière +partie fractionnaire) et le deuxième chiffre représente la longueur de la partie fractionnaire (précision). Les sorties des autres composants du circuit sont fixées en mode précision complète « Full précision ».

Le tableau III.4 donne le BER du circuit proposé pour la modulation BPSK et pour les différents formats en comparaison avec les résultats de Simulink.

SNR(dB)		0	2	4	6	8	10	12
BER Simulink		0.11017	0.0722	0.03649	0.02139	0.01009	0.00447	0.0020
B E R	**12-8**	0.1102	0.0732	0.0393	0.0224	0.011	0.0048	0.0021
	10-6	0.1107	0.0749	0.0415	0.0234	0.0119	0.0055	0.0024
	8-4	0.1148	0.0746	0.0444	0.024	0.0121	0.0057	0.0025
	6-2	0.1171	0.0772	0.0473	0.0264	0.0142	0.0077	0.0042

Tableau III. 4: BER du décodeur d'Alamouti 2×1pour la modulation BPSK.

Les résultats du tableau III.4 sont représentés graphiquement dans la figure III.14. Cette figure montre que le format 12.8 permet d'obtenir un BER très proche de celui de la virgule flottante. Ce BER augmente légèrement si en diminue le nombre de bit de la partie fractionnaire.

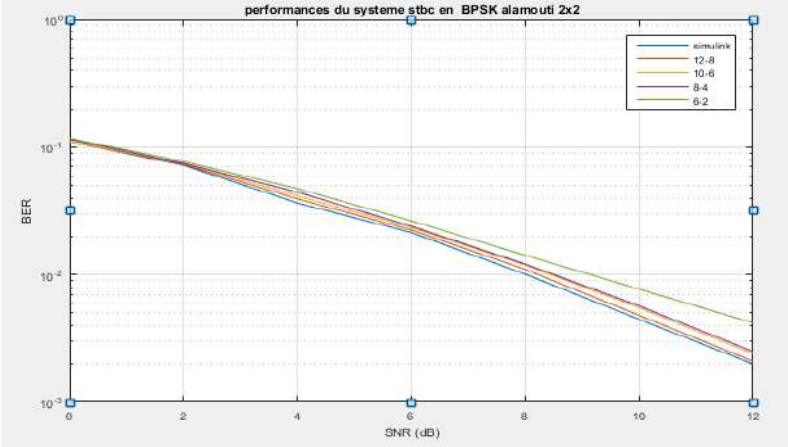


Figure III. 14: Performance du système STBC 2x1 avec BPSK.

Le tableau III.5 reporte le BER du circuit proposé pour la modulation QPSK et pour les différents formats en comparaison avec les résultats de Simulink.

SNR(db)		0	2	4	6	8	10	12
BER simulink		0.33293	0.24585	0.16526	0.09958	0.06158	0.03019	0.01619
B E R	12-8	0.3750	0.2726	0.1788	0.1154	0.0645	0.0311	0.0165
	10-6	0.3755	0.277	0.1868	0.1177	0.0654	0.033	0.0177
	8-4	0.3744	0.2825	0.1892	0.1193	0.0662	0.0347	0.0189
	6-2	0.3763	0.2874	0.1972	0.1232	0.0769	0.0449	0.0236

Tableau III. 5: BER du décodeur d'Alamouti 2×1pour la modulation QPSK.

A partir du tableau III.5, nous avons tracé les graphes du BER en fonction du SNR pour les différents formats. Ces graphes sont illustrés dans la figure III.15.

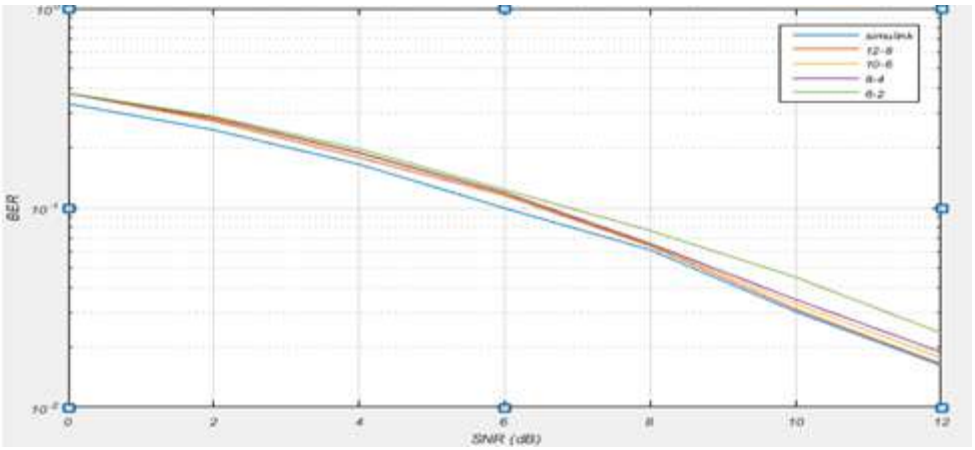


Figure III. 15: Performance du système STBC 2x1 avec QPSK.

III.3.3 Circuit d'implémentation du décodage d'Alamouti 2×2:

L'estimation des deux séquences $x_1$etx_2 est donnée par :

$$\tilde{x}_1 = \overbrace{\overbrace{h_{00}^*.r_0(1)}^{p1} + \overbrace{h_{01}^*.r_1(1)}^{p2}}^{p1+p2_\tilde{x}_1(1)} + \overbrace{\overbrace{h_{10}.r_0^*(2)}^{p3} + \overbrace{h_{11}.r_2^*(2)}^{p4}}^{p3+p4} \qquad \text{III.3}$$

$$\tilde{x}_2 = \underbrace{\underbrace{h_{10}^*.r_0(1)}_{p5} + \underbrace{h_{11}^*.r_1(1)}_{p6}}_{p5+p6} - \underbrace{(\underbrace{h_{00}.r_0^*(2)}_{p7} + \underbrace{h_{01}.r_1^*(2)}_{p8})}_{p7+p8} \qquad \text{III.4}$$

Pour calculer les deux métriques d'estimation $\tilde{x}_1$ et $\tilde{x}_2$, le circuit utilise huit multiplieurs complexes. Les entrées des multiplieurs sont sélectionnées selon le tableau suivant.

multiplieur	Entrée 1(E1)	Entrée2 (E2)	Entrée 3 (E3)	Entrée 4 (E4)
1	re_h_{00}	-im_h_{00}	re_$r_0(1)$	im_$r_0(1)$
2	re_h_{01}	-im_h_{01}	re_$r_1(1)$	im_$r_1(1)$
3	re_h_{10}	im_h_{10}	re_$r_0(2)$	-im_$r_0(2)$
4	re_h_{11}	im_h_{11}	re_$r_1(2)$	-im_$r_1(2)$
5	re_h_{10}	-im_h_{10}	re_$r_0(1)$	im_$r_0(1)$
6	re_h_{11}	-im_h_{11}	re_$r_1(1)$	im_$r_1(1)$
7	re_h_{00}	im_h_{00}	re_$r_0(2)$	-im_$r_0(2)$
8	re_h_{01}	im_h_{01}	re_$r_1(2)$	-im_$r_1(2)$

Tableau III. 6: Affectation des entrées des multiplieurs pour un décodeurs d'Alamouti 2×2.

Les multiplieurs 1 à 4 sont utilisés pour le calcul de $\tilde{x}_1$ alors que les quatre multiplieurs 5 à 8 sont utilisés pour le calcul de $\tilde{x}_2$. Après le calcul des huit produits par les huit multiplieurs on utilise trois additionneurs complexes pour calculer $\tilde{x}_1$ et trois additionneurs complexes pour le calcul de $\tilde{x}_2$. Finalement les deux séquences $\tilde{x}_1$ et $\tilde{x}_2$ sont regroupées en une seule séquence par le biais d'un multiplexeur complexe.

Le schéma global de notre travail est le suivant :

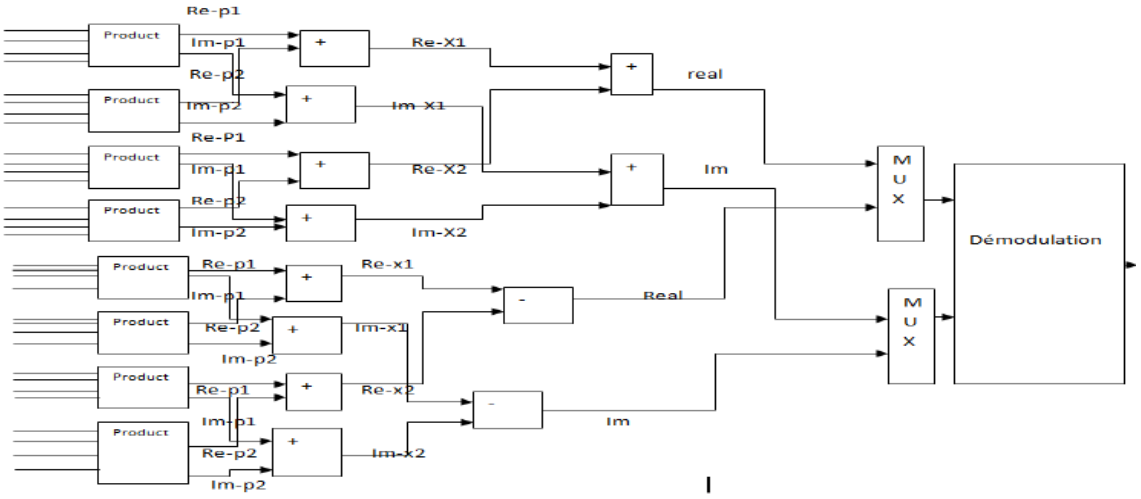


Figure III. 16: Décodage d'Alamouti (2X2) en blocs avec modulation BPSK.

Les deux tableaux III.7 et III.8 reportent le BER en fonction du SNR du circuit de décodage d'Alamouti 2×2pour la modulation BPSK et pour la modulation QPSK respectivement. Le BER a été évalué pour les quatre formats12.8,10.6, 8.4 et 6.2 et comparé avec celui de la virgule flottante (Simulink).

SNR(db)		0	2	4	6	8	10	12
Simulink		0.0114	0.0038	0.0010	0.00025	3.89*10^-5	1.099*10^-5	2.099*10^-6
B E R	12-8	0.0114	0.0039	0.001	2.8*10^-4	4.6*10^-5	1.5*10^-5	3.1*10^-6
	10-6	0.0118	0.0041	0.0012	3.2*10^-4	5.9*10^-5	2.1*10^-5	6.12*10^-6
	8-4	0.011	0.0043	0.0014	3.6*10^-4	6.4*10^-5	2.9*10^-5	7.14*10^-6
	6-2	0.0126	0.0046	0.0016	3.9*10^-4	7.6*10^-5	3.3*10^-5	9.17*10^-6

Tableau III. 7: BER du décodeur d'Alamouti 2×2pour la modulation BPSK.

SNR(db)		0	2	4	6	8	10	12
Ber simulink		0.0734	0.0327	0.0107	0.0033	8.84*10^-4	1.8*10^-4	5.09*10^-5
B E R	12-8	0.0656	0.0284	0.0110	0.0035	9.1*10^-4	2.2*10^-4	5.1*10^-5
	10-6	0.0749	0.0313	0.0123	0.0040	9.4*10^-4	2.3*10^-4	5.5*10^-5
	8-4	0.0728	0.0324	0.0127	0.0044	9.9*10^-4	3.2*10^-4	6.5*10^-5
	6-2	0.0762	0.0343	0.0131	0.0059	0.0019	6.2*10^-4	1.7*10^-4

Tableau III. 8: BER du décodeur d'Alamouti 2×2pour la modulation QPSK.

Les graphes du BER en fonction du SNR du le décodeur Alamouti 2×2 pour les deux modulations BPSK et QPSK sont données dans les deux figures III.17 et III.18 respectivement. Les deux figures montrent que le format 12.8 permet d'obtenir un BER très proche de celui de la virgule flottante (Simulink). En outre, la réduction du nombre de bits de la partie fractionnaire influe légèrement sur le BER.

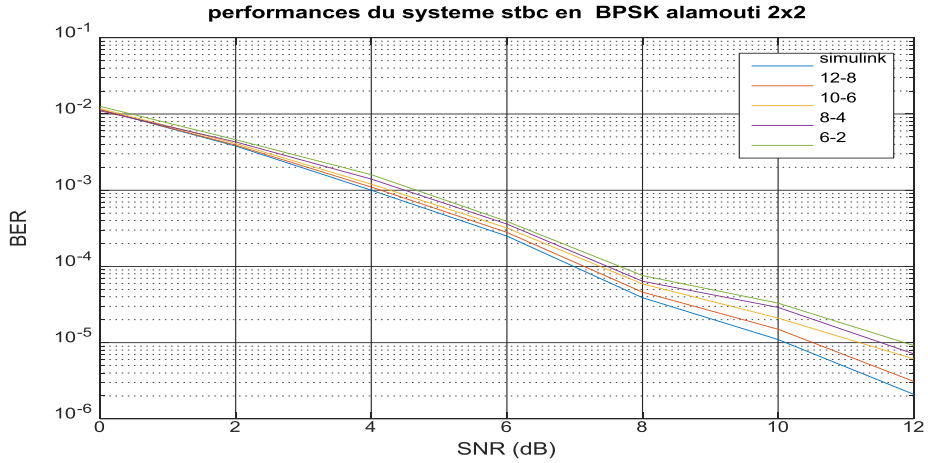


Figure III. 17: Performance du système STBC 2x2 pour la modulation BPSK.

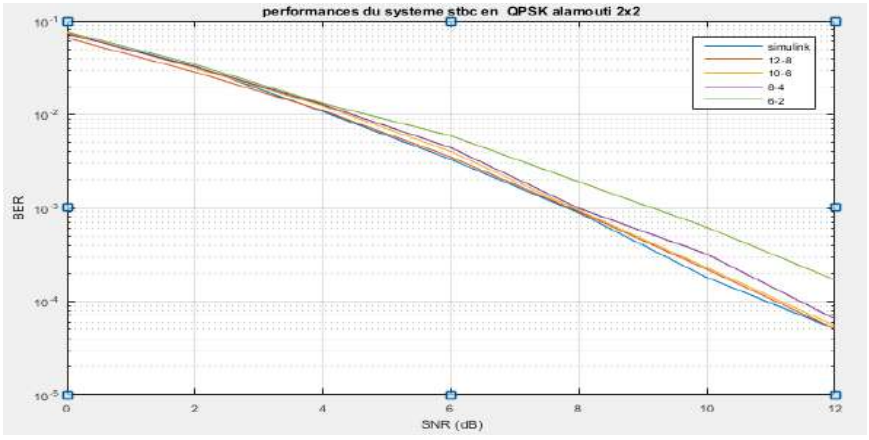


Figure III. 18: Performance du système STBC 2x2 pour la modulation QPSK.

Afin de faire une comparaison entre le système 2x1 et système 2x2, nous avons tracés dans la figure III.17les deux courbes du BER en fonction du SNR pour le système2x1 et pour le système 2x2 en cas de l'utilisation de la modulation BPSK. Cette figure montre que l'augmentation du nombre d'antenne de réception (cas du système 2x2) permet une amélioration significative du BER (en comparaison avec le système 2x2)

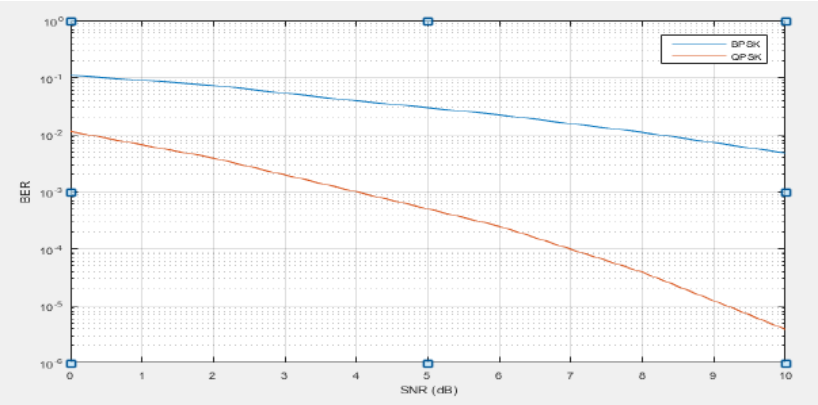


Figure III. 19:Comparaison de la performance du système STBC Alamouti 2x1et 2x2 avec BPSK.

Nous observons que les meilleures performances sont obtenues pour le système ayant une diversité importante c'est-à-dire le cas de 2x2.De plus, la tendance des courbes laisse présager que plus le SNR augmente, plus ce gain est important. Ces résultats confirment bien la théorie, en affichant des performances améliorées plus par le STBC 2x2 par rapport à l'Alamouti 2x1.

Pour la modulation QPSK, la comparaison entre le système Alamouti 2x1 et le système 2x2 est illustrée dans la figure III.20. Les mêmes remarques peuvent être faites pour ce cas.

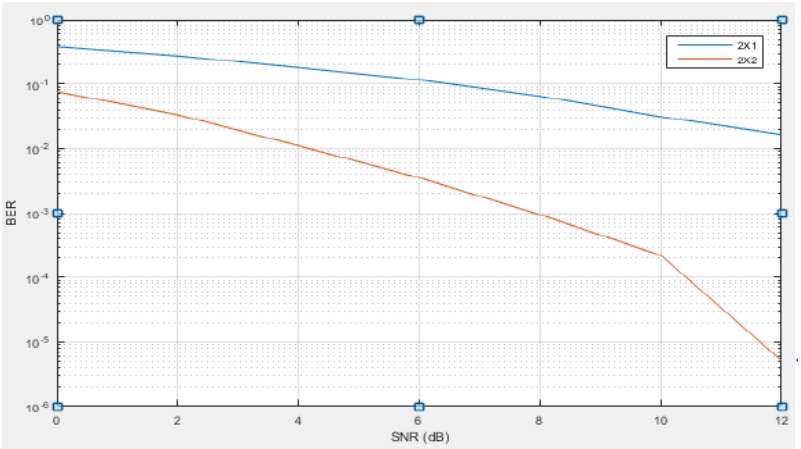


Figure III. 20:Comparaison des performances du système STBC Alamouti 2x1et 2x2 pour la modulation QPSK.

La comparaison entre la figure III.19 et la figure III.20 nous permet de constater la supériorité de la modulation BPSK par rapport à la modulation QPSK en terme du BER pour les deux systèmes 2x1et 2x2. Mais cette supériorité est au détriment du débit binaire car la modulation QPSK permet de coder deux bits par symbole au lieu d'un seul bit par symbole pour la modulation BPSK.

III.3.4 Présentation de circuits réduisant le nombre de multiplieurs :

Les multiplieurs des circuits du paragraphe précèdent ne sont utilisés que durant 50% du temps de traitement ce qui signifie que leur taux d'utilisation est alors égal à 50%. En effet, le temps de calcul des produits est égal à un seul cycle horloge tandis que les symboles sont estimés sur deux cycles horloge car il faut attendre l'arrivée de deux échantillons pour faire l'estimation.

Donc, il est nécessaire d'envisager un circuit qui minimise le nombre de multiplieurs avec un taux d'utilisation de 100%. Dans ce paragraphe nous présentons deux circuits de décodage (un pour le système 2x1 et un autre pour le système 2x2) qui minimisent le nombre de multiplieurs utilisés.

III.3.4.1 *Circuit du décodeur Alamouti 2x1 optimal*

Le schéma du décodeur est donné dans la figure III.21. Le premier multiplieur calcul le produit p_1 durant le premier cycle et le produit p_2 durant le deuxième cycle. De la même façon, le deuxième multiplieur complexe calcul les deux produits p_3 et p_4 durant deux cycles. P_1 est retardé d'un cycle et est sommé avec p_2 alors que p_4 est soustrait de p_3 retardé d'un cycle.

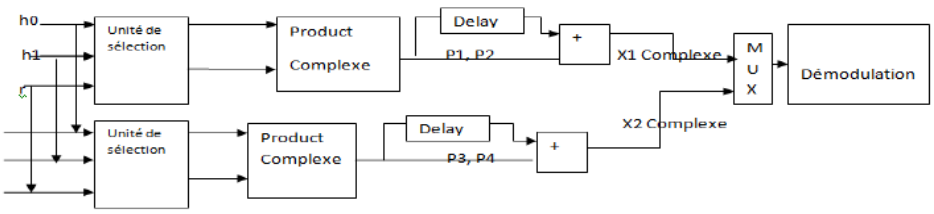


Figure III. 21: Décodage d'Alamouti (2X1) en blocs avec modulation QPSK.

III.3.4.2 *Circuit du décodeur d'Alamouti 2x2 optimal*

Le circuit optimal du décodeur d'Alamouti 2x2 est donné dans la figure III.22. Pour ce schéma, le premier multiplieur calcul p_1 suivie de p_2, le deuxième multiplieur calcul p_3 suivie de p_4, le troisième multiplieur calcul p_5 suivie de p_6 et le quatrième multiplieur calcul p_7 suivie de p_8. Six additionneur/soustracteurs sont utilisés pour le calcul de $\tilde{x}_1$ et $\tilde{x}_2$ (trois pour $\tilde{x}_1$ et trois pour $\tilde{x}_2$). Donc ce circuit utilise quatre multiplieurs complexes au lieu de huit.

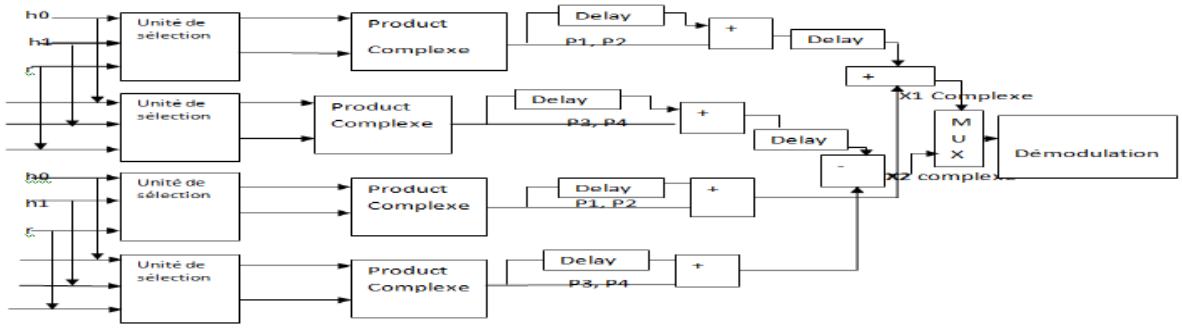


Figure III. 22: Décodage d'Alamouti (2X2) en blocs avec modulation QPSK.

III.4 Présentation des résultats de l'implémentation sur FPGA :

Après vérification du bon fonctionnement des différents circuits conçus en utilisant le logiciel System Generator nous avons passé à l'étape d'implémentation en utilisant le logiciel Vivado de Xilinx.

Vivado contrôle tous les aspects du flux de conception et de développement des applications à base de circuits FPGA. L'interface du navigateur de projet « Project Navigator » (figure III.21) donne accès à toutes les ressources d'un projet et aux outils de l'implémentation. Elle procure aussi un accès aux fichiers et documents associés au projet.

Pour le circuit FPGA cible d'implémentation nous avons choisi le circuit Kintex-7 XC7K325TFBG676-3. C'est un circuit récent qui est très riche en ressources et qui permet d'obtenir des meilleures performances en termes de rapidité et il assure une consommation faible de la puissance.

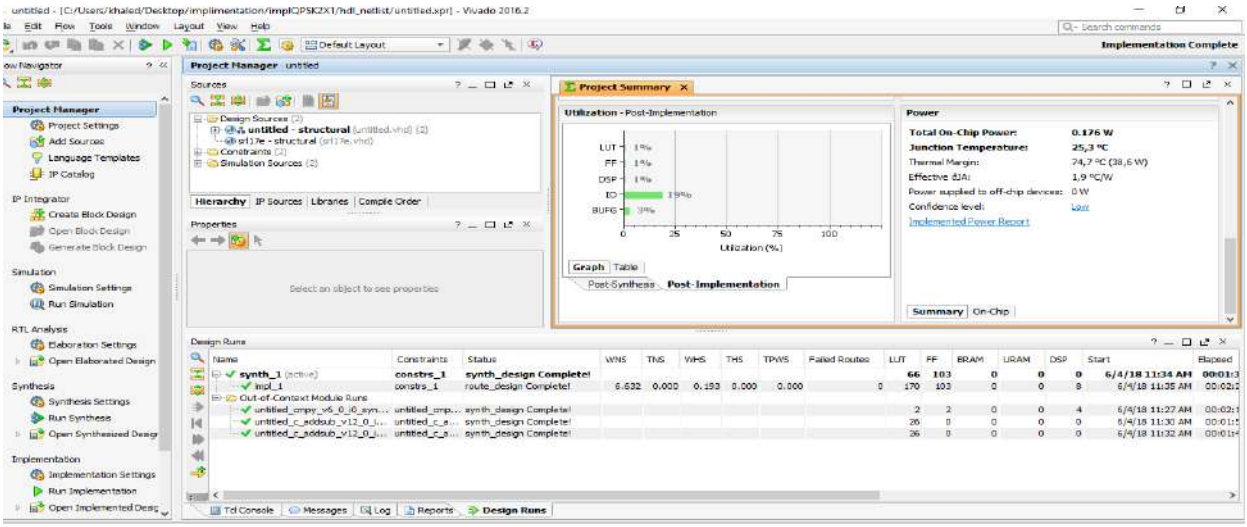


Figure III. 23:projet navigateur du logiciel Vivado2016.2.

Le tableau III.9 donne les ressources donne les ressources utilisées par le codeur d'Alamouti et par le la modulateur BPSK, alors que le tableau III.10 donne les ressources consommées par le codeur d'Alamouti et le modulateur QPSK

Resource	Estimation	Available	Utilisation %
LUT	11	203800	0.01
FF	12	407600	0.01
IO	9	400	2.25
BUFG	1	32	3.13
LUTRAM	7	64000	0.01

Tableau III. 9: Les ressources utilisées par le codeur d'Alamouti et le modulateur BPSK.

Resource	Estimation	Available	Utilisation %
LUT	18	203800	0.01
FF	23	407600	0.01
IO	17	400	4.25
BUFG	1	32	3.13
LUTRAM	10	64000	0.02

Tableau III. 10: Les ressources utilisées par le codeur d'Alamouti et le modulateur QPSK.

A partir des deux tableaux III.9 et III.10 on peut constater que les ressources consommées par le codeur et le modulateur sont négligeable devant les ressources disponible.

Les deux tableaux III.11 et III.12 présentent les ressources consommées par le décodeur 2x1et le démodulateur QPSK et par le décodeur 2x2 et le démodulateur QPSK respectivement.

Resource	Estimation	Available	Utilisation %
LUT	140	203800	0.07
FF	103	407600	0.03
IO	75	400	18.75
BUFG	1	32	3.13
DSP	16	840	1.9

Tableau III. 11: Les ressources utilisées par le décodeur d'Alamouti 2x1et le démodulateur QPSK.

Resource	Estimation	Available	Utilisation %
LUT	385	203800	0.19
FF	107	407600	0.03
IO	147	400	36.75
BUFG	1	32	3.13
DSP	32	840	3.81

Tableau III. 12: Les ressources utilisées par le décodeur d'Alamouti 2x2et le démodulateur QPSK.

Les résultats des deux tableaux III.11 et III.12 montrent clairement que le décodeur d'Alamouti consomme beaucoup plus de ressources que le codeur pour les deux types de décodage. En outre, le décodeur 2x2 utilise plus de ressource en comparaison avec le décodeur 2x1.

Les ressources FPGA utilisées par les architectures optimisées des deux décodeur 2x1 et 2x2 sont reportées dans les deux tableaux III.13 et III.14.

Resource	Estimation	Available	Utilisation %
LUT	170	203800	0.08
FF	103	407600	0.03
IO	75	400	18.75
BUFG	1	32	3.13
DSP	8	840	0.95

Tableau III. 13: Les ressources utilisées par l'architecture optimisée du décodeur d'Alamouti 2x1et le démodulateur QPSK.

Resource	Estimation	Available	Utilisation %
LUT	439	203800	0.22
FF	307	407600	0.08
IO	147	400	36.75
BUFG	1	32	3.13
DSP	16	840	1.9

Tableau III. 14: Les ressources utilisées par l'architecture optimisée du décodeur d'Alamouti 2x2et le démodulateur QPSK.

a comparaison entre le tableau III.11 et le tableau III.13 montre que l'architecture optimisée du décodeur 2x1 utilise la moitié de DSP (8 DSP) utilisé par l'architecture directe non optimisée (6 DSP). La même remarque concernant le cas du décodeur 2x2, car l'optimisation permet de réduire le nombre des DSP de 50%. Cette réduction est très significative parce que les DSP sont des ressources très limitées des circuits FPGA et même rares pour certains types de circuit FPGA.

III.5 Conclusion :

Dans ce chapitre, nous avons conçu un système de transmission qui utilise le codage espace-temps d'Alamouti pour deux modulations différentes (BPSK, QPSK) en utilisant l'outil « XILINX SYSTEM GENERATOR ». Nous avons présenté des simulations pour les chaines de communication utilisant le système de codage d'Alamouti 2x1 et 2x2. L'étape de simulation nous a permet de constater que les circuits conçus sous system Generator pour les deux configurations d'Alamouti 2x1 et 2x2 et pour les deux modulations BPSK etQPSK peuvent achever des performances, en terme du BER, très proches de ceux obtenues en utilisant Simulink.

Après l'étape de simulation, nous sommes passés à l'étape d'implémentation pour le connaitre le nombre de ressources consommées par chaque circuit. Les résultats de simulation ont montré que le codeur et le modulateur au niveau de l'émission consomment moins de ressources en comparaison avec le décodeur et le démodulateur au niveau de la réception. De l'autre côté, le décodeur 2x2 consomme plus par rapport au décodeur 2x1. En outre, nous avons vu que les architectures optimisées pour le circuit de décodage permettent de réduire le nombre de DSP utilisées de 50%.

Conclusion Générale

Conclusion générale

Notre mémoire était consacré à étudier les performances de la technique de codage spatio-temporel d'Alamouti. Cette technique qui est utilisée dans le cadre des systèmes MIMO pour améliorer performances de transmissionen termesdu taux de l'erreur binaire BER en fonction du SNR.

Dans la première partie de notre travail on a d'abord parlé de la transmission numérique sans fil, en citant en premier lieu, les éléments principaux de la chaine de transmission tel que l'émetteur, le canal de propagation et le récepteur. Puis, on a abordé le fonctionnement d'un système de communication numérique en détail. Ensuite, nous avons étudié les caractéristiques principales des systèmes MIMO. Nous avons essayé dans cette partie de proposer une vue d'ensemble du domaine. En particulier, nous avons expliqué la technique de codage spatio-temporel.

Dans la deuxième partie de notre travail, nous avons menu une étude sur les circuits reconfigurables de type FPGAs. Nous avons donné un aperçu de leurs architectures internes afin de comprendre leur principe de fonctionnement. Nous avons présenté leurs avantages majeurs, leurs domaines d'application ainsi que les étapes à suivre pour développer une application.

Dans la dernière partie nous avons présenté les résultats de simulation et les résultats d'implémentation sur FPGA des circuits de réalisation du système d'Alamouti. Les résultats de simulation ont montré la supériorité du codeur d'Alamouti 2x2 en comparaison avec le codeur 2x1 et la supériorité de la modulation BPSK par rapport à la modulation QPSK en termes du BER. En outre, les résultats de simulation montrent que les circuit sconçus sous System Generator permettent d'obtenir un BER très proche de celui des modèles de Simulink surtout pour le format des entrées 12.8. Les résultats d'implémentation ont montré que le codeur d'Alamouti et le modulateur occupent une portion négligeable de la surface totale du circuit FPGA. En plus, le décodeur consomme plus de ressources en comparaison par rapport au codeur. En outre le système2x2 utilise plus de ressource en comparaison avec 2x1. Finalement nous avons constaté que les architectures optimales permettent de réduire le nombre de DSP utilisés de 50%.

Comme perspectives de notre travail nous pouvons citer :

- La proposition d'une architecture configurable qui permet de faire le décodage 2x1et le décodage 2x2 par un seul circuit.
- Proposition d'une architecture configurable qui permet de choisir entre le codage spatio-temporel et le multiplexage spatial.

Bibliographie

Références Bibliographiques

[1].Daniel Roviras ; communication numérique, édition 6, 2012-2013

[2] ZOUHEIR REZKI Etude et optimisation des algorithmes de traitement de signal requis pour un système de communication MIMO ; mémoire présenté à l'école de technologie supérieure de Montréal, le 14 octobre2003.

[3] ADLANE CHABOUB Etude des algorithmes de traitement de signal requis pour un système de communication MIMO ; mémoire présenté à l'école de technologie supérieure de Montréal, le 21 mai 2003 Par

[4] Malik Atif Saeed, Jansher Tariq, Aqil Mehmood, évaluation des systèmes MIMO 4x2 et 4x4 ; Rapport de projet de fin d'année à l'institut de la technologie de l'information de COMSATS à Islamabad en juillet 2010.

[5] M. Boisseau, Les communications par satellite, Hermès, Paris, 1991.

[6] Patrice KADIONIK, "bases de transmissions numériques", Les modulations numériques, Edition l'école nationale supérieur d'électronique, informatique et radiocommunication Bordeaux,2000.

[7] BIC J.C. DUPONTEIL et D- IMBEAUX J.C., Eléments de communications Numériques, Transmission sur fréquence porteuses, Dunod, Paris, 1986.

[8] GUILLAUME Ferré, Codages spatio-temporels et techniques de décodages itératifs pour système multi-antennes, Université de LIMOGES, Juillet 2009. [8] CHEN liao, Performance analysis and design of space-time code, University of Texas at Arlington, Decembre 2009.

[9] CHEN liao, Performance analysis and design of space-time code, University of Texas at Arlington, Decembre 2009.

[10] Ghaya REKAYA-BEN OTHMAN, " nouvelles constructions algébriques de codes spatiotemporels atteignant le compromis "multiplexage-diversité", Thèse de Doctorat de l'Ecole Nationale Supérieure des Télécommunications paris, décembre 2004.

[11] Pascal Djiknavorian, MIMO pour les nuls, Laboratoire de Radio télécommunications et de Traitement du Signal, Édition révisé, Janvier 2007.

[12] G. J. Foschini, Layered space-time architecture for wireless communication in a fading environment.

[13] N. Seshadri and C. E. W. Sundberg, Multi-level trellis coded modulations for the Rayleigh fading channel, IEEE Transactions on Communications, 41(9):1300–1310, September 1993.

[14] G. Ungerboeck, Channel coding with multilevel/phase signals. IEEE Transactions on InformationTheory, 28(1):55–67, January 1982.

[15] N. Seshadri and C. E. W. Sundberg, Multi-level trellis coded modulations for the Rayleigh fading channel, IEEE Transactions on Communications, 41(9):1300–1310, September 1993.

[16] G. Ungerboeck, Channel coding with multilevel/phase signals. IEEE Transactions on InformationTheory, 28(1):55–67, January 1982

[17] S. Alamouti, « A simple transmit diversity technique for wireless communications», IEEE Journal on selected areas in communications, vol. 16, no. 8, pp. 1451–1458, 1998.

Article :

[18] Didier Le Ruyet et Berna Ozbek, Juin 2007 « Systèmes MIMO et codage spatio temporel ».

[19] Ghaya REKAYA-BEN OTHMAN, 17 décembre 2004. « Nouvelles constructions algébriques de codes spatio-temporels atteignant le compromis multiplexage-diversité », Th Dr : Electronique et communications télécom : l'Ecole Nationale Supérieure des Télécommunications paris.

[20] NAOUAR Mohamed Wissem, le 6 décembre 2007 « Commande numérique à base de composant FPGA d'une machine synchrone Algorithme de contrôle de courant ». Mémoire :

Ingénieur : génie électrique. Tunis.

[21] K.HAMIANE et F.KHOUCHANE, Conception de la porte numérique de la commande d'une chaise roulante motorise sur circuit FPGA, USTHB 2001.

[22] TEKOBON Jerry, 2007 « FPGA and Traffic Network Analysis », mémoire : Ingénieur :

Génie Electrique et Télécommunication : Ecole Nationale Supérieure Polytechnique de Yaounde Cameroun.

[24] WASSI Guy, 2005. « Mise en œuvre de l'auto-reconfiguration partielle et dynamique sur FPGA Xilinx Virtex-II ». Mémoire : Master : informatique industrielle et systèmes automatisés : Université Pierre et Marie Curie (Paris VI Jussieu).

[25] NAVABI Zainalabedin, «Digital Design and Implementationwith Field programmable

Devices», Springer Science, 2005, 293 p.

[26] national instrument, 1avr 2012. « Les cinq principaux atouts de la technologie FPGA »

[28] Gina R.smith, FPGA 101, USA, newness, 2010

[29] Zahir Ait Ouali, Application des FPGA à la commande d'un moteur asynchrone, université mouloud Mmmameri de tizi-ouazou.